

# 平台 FPGA 的发展 意味著 ASIC 和 ASSP 的终结吗？



## 当今的多平台 FPGA 产品撼动了 ASIC/ASSP 供应商的地位

作者：Richard Sevcik  
Xilinx 公司可编程逻辑系统和  
IP/ 内核和软件解决  
方案组执行副总裁

有关 FPGA 是 ASIC 和 ASSP 的可行替代品的争论已经持续了将近 10 年。iSupply、Gartner Dataquest™ 和其他行业分析公司论证了 ASIC 设计减少和 FPGA 设计增加的趋势。

基于 90nm 工艺的下一代平台 FPGA 器件，大大扩展了高性能处理和系统集成的选择范围。随著推出附加的应用解决方案，它们继续推动 ASIC 设计的减少。

伴随新千年的开始，在业界首批平台 FPGA 产品—Xilinx® Virtex-II™ 和 Virtex-II Pro™ 器件推出的同时，这一争论仍在继续。Xilinx 的这些高性能器件，具有灵活的器件集成能力、可编程 I/O 以及非常低的总设计成本，能够帮助用户引进和建立片上系统设计方法，因而迅速替代了无数个 ASIC 片上系统设计。

高性能 RISC CPU、块 RAM、数千兆位高速串行 I/O、专用 DSP 功能的增加以及其他系统特性的增强都引发了进一步稳固平台 FPGA 超越同类 ASIC SoC 产品的技术进步。然而，为了获得特定应用领域的高性能 DSP、处理或连接功能，设计者不得不购买规模最大、成本最高的器件。器件

越大从先进特性中得到的受益越多，小器件受益则相对较少。

现在，来自 Xilinx 的新型针对特定应用领域进行了优化的、多平台 FPGA — Virtex-4™ 系列，可以在必需的特性和成本目标基础上实现针对多种应用的器件大小缩放。通过将创新的柱状架构方法所带来的经济效益与工艺技术的进步 (90nm/300mm) 结合起来，Xilinx 已做好准备跨越到 51 亿美元的可编程逻辑市场之外，在 840 亿美元的 ASIC 和 ASSP 市场中占有更多的份额 (资料来源：Gartner Dataquest 2007)。

### 恰当的组合

基于革命性的高级硅片组合模块 (ASMBL, Advanced Silicon Modular Block) 柱状架构方法，Xilinx 现在能够经济高效地开发具有不同性能组合的多种 FPGA 平台。因此，针对特定的应用领域，例如逻辑、DSP、连接功能和嵌入式处理，可以将特定的平台进行优化，以满足先前只有 ASIC、ASSP 和类似器件才能满足的应用需求，并同时保持核心的可编程能力。

设计者或设计团队不仅可以选择理想的平台，还可以选择具有恰当特性组合的器件尺寸，以便以尽可能低的成本，更好地实现所需的容量和性能。

这种针对不同应用领域创建最佳子系统的独特灵活性和能力，为 FPGA 设置了更高的标准。与 ASIC 或 ASSP 器件相比，这种可以进行硬件和软件编程的器件提供更灵活的执行选项。在开发过程的任何时间都可重新进行设计调查、改变或改进系统架构，从而为满足应用要求提供了最佳的工具包。

设计者可以使用同样的性能在现场改进硬件，以满足新的设计要求或避免昂贵的硬件升级。考虑到目前出现了许多新兴标准和相互竞争的标准，具有这种灵活性是至关重要的。

### “总成本”优势

在降低成本、使 FPGA 技术更加适合更广泛的应用范围方面，FPGA 展示了清晰、一致的趋势。90nm 硅片制造工艺和 300mm 晶圆尺寸的组合，产生了累积效应：使得每个晶圆上的芯片数是先前器件的 5 倍。而每个晶圆上芯片数的增加以及架构集成度的提高，则极大地实现了更低的系统成本。

关于可编程逻辑经济优势的一个关键要素也是常常被忽略的因素，在这一技术如何在全球范围内使用方面得到了清晰地展示。没有两个人使用相同的技术、系统或软件，他们也不订购和需要相同的内容。

ASIC 和 ASSP 设计的较高成本和更长设计时间，使它们转而主要用于已证明的具有更低风险的大批量应用。很显然，ASIC 开发成本的快速和显著增加，使得平台 FPGA 在当今前沿应用中的优势得以充分展现。具有零非经常性工程成本 (NRE) 的总成本优势促使同大批量 ASIC 或 ASSP 的交叉点上扬，前所未有地锁定在了 FPGA 产品上。

### 结论

针对特定领域优化的多平台 FPGA 在加速 FPGA 技术应用于更多应用领域方面具有革命性的能力。降低风险、大大缩短设计周期以及零 NRE 的组合优势，将很快使除了大批量应用以外的其他应用，从使用 ASIC 设计，转而采用具有更多灵活性的容错架构，例如当今的针对特定领域优化的 FPGA 产品。更多信息，请访问 [www.xilinx.com/cn/virtex4/](http://www.xilinx.com/cn/virtex4/)。