

Virtex-5 FPGA 系列简介

全球首批 65 纳米 FPGA 重新界定性能、功耗、容量以及价值标杆



作者：Steve Douglass
Xilinx 公司高级产品部
产品开发副总裁

欢迎阅读《赛灵思中国通讯》Virtex™-5 专刊。Xilinx® Virtex-5 系列不仅是业界首批 65 纳米的 FPGA，它还提供了一些迄今为止最先进的架构和最高的性能。作为我们在开发开创性技术的一个传统，过去我们听取了来自不同领域的领先设计工程师的意见，开发出了关键的特性，这些特性使我们的 Virtex-4 FPGA 系列取得了巨大的成功：

- 高性能
- 高逻辑容量
- 低功耗
- 更多高级特性

FPGA 的基本客户诉求是更短的上市时间、更丰富的功能、支持各种不断发展的标准、更低的风险、现场可升级性以及更低的系统成本等。我们的 FPGA 产品可满足您不断改进性能、容量、功耗和成本的要求。

Virtex-5 系列结合了 65 纳米工艺技术的固有优势和创新设计，该创新设计立足于我们对产品应用的更深入的理解。本文中，我将对 Virtex-5 器件进行概述，解释其基础技术，同时简短回顾世界领先的 FPGA 架构设计背后的故事。

工艺技术和架构创新

Virtex-5 FPGA 基于 65 纳米的三栅极氧化层技术，使用先进的硅组合模块 (ASMBL™) 架构并且实现了更高级别的系统集成。这个全新的产品系列提供了一个高级平台，可以满足用户对于建造具有更高性能、更高密度、更低功耗和更低成本的可编程系统日益增长的需求。

满足上述一个或者两个需求也许比较

容易，但是挑战在于我们要同时满足所有这些需求。

我们通过将先进的 IC 工艺、创新的架构以及电路设计相结合，成功地应对了这些挑战。首先在 Virtex-4 系列中引入的成熟的 ASMBL 芯片版图架构，可以提供所要求器件资源（逻辑、存储器、算术、I/O 和 IP）的最优组合，从而为以下四个新平台创造了最佳条件：

- 针对高性能逻辑进行优化的 LX 平台
- 针对具有低功耗串行 I/O 的高性能逻辑进行优化的 LXT 平台
- 针对具有低功耗串行 I/O 的高性能算术和存储密集型 DSP 进行优化的 SXT 平台

- 针对嵌入式处理和超高速串行 I/O 进行优化的 FXT 平台

相对于 Virtex-4 系列，Virtex-5 系列中配置最高的型号的平均速度提高了 30%，容量提高了 65%，动态功耗降低了 35%，芯片面积缩小了 45%，结果实现了达到每项功能的最低成本。

高性能和高密度

ExpressFabric™ 技术实现了逻辑和局部互连布线。它将查找表 (LUT)、六个独立的输入和一个新的对角互连结构结合在一起，如图 1 所示。相对于 Virtex-4 架构而言，ExpressFabric 技术利用更少的 LUT 层次以及更少的串行连接(面向相邻构件)

实现了组合逻辑。这种方法缩短了数据通路延迟，从而提高了设计性能。

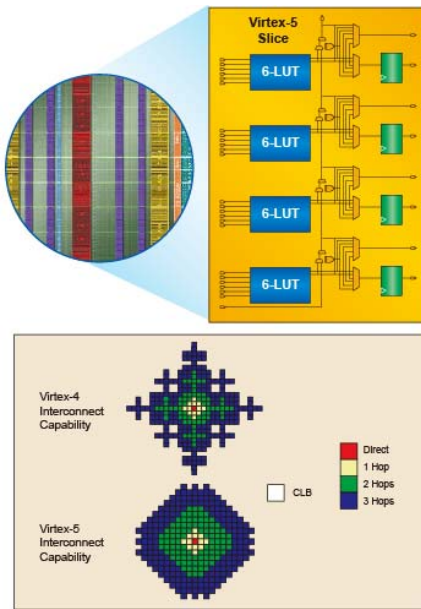


图 1 - Virtex-5 ExpressFabric 技术

先进的 6-LUT 逻辑结构

多年以来，四输入 LUT 一直是业界标准。但是，在 65 纳米工艺条件下，相较于其它电路（特别是互连电路），LUT 的常规结构大大缩小。一个具有四倍比特位的六输入 LUT (6-LUT) 仅仅将 CLB 面积提高了 15% - 但是平均而言，每个 LUT 上可集成的逻辑数量却增加了 40%。更高的逻辑密度通常可以降低级联 LUT 的数目，并且改进关键路径延迟性能，如图 2 所示。

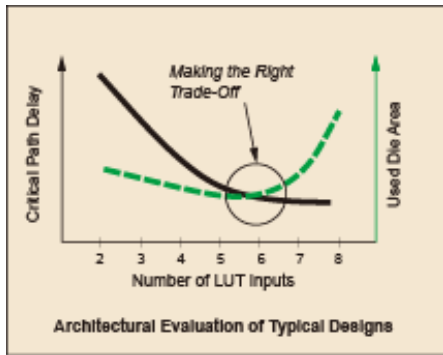


图 2 - 在性能和面积之间达到最佳平衡

我们选择了一套客户设计方案，然后使用 ISE™ 8.1i 软件实现该方案。对于每个设计，我们比较了 Virtex-4 和 Virtex-5 器件实现中所用的 LUT 数目，并将此信息和兆赫兹的性能提升相关联。图 3 中的散点图显示了 X 轴上的性能提升百分比和 Y 轴上根据 LUT 数目的降低计算得出的面积缩小比例。这种新的 6-LUT ExpressFabric 技术在性能提升和资源节约方面都表现出色。

不同于竞争 FPGA 的是，Virtex-5 FPGA 提供了真正的 6-LUT，你可以将它用作逻辑或者分布式存储器，这时 LUT 是一个 64 位的分布式 RAM（甚至双端口或者四端口）或者一个 32 位可编程移位寄存器。每个 LUT 具有两个输出，从而实现了五个变量的两个逻辑函数，存储 32 x 2 RAM 比特，或者作为 16 x 2-bit 的移位寄存器进行工作。

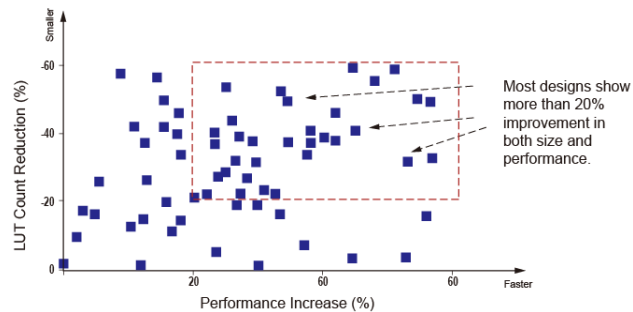


图 3 - Virtex-5 FPGA 和 Virtex-4 FPGA 设计套件的评测基准

新的对角对称互连

一种新的对角对称互连模式通过在更少的布线跳接中获得更多的空间来提高性能。关于 Virtex-5 和 Virtex-4 FPGA 互连模式（每个正方形代表一个 CLB）的比较，请参见图 1。通过色标可以看出，使用 Virtex-5 FPGA 使该模式更加对称，同时利用更少的跳接到达了更多的 CLB。凭借布局布线软件工具，这种对称性可以取得更好的结果。

这些特性对于 Virtex-5 FPGA 的用户来说是完全透明的，并且能够被 ISE 软件自动执行，从而带来更加简单的可布线性和更好的总体性能。

最低功耗的先进 FPGA 解决方案

Virtex-5 器件系列采用领先的 65 纳米、

三栅极氧化层、11 层铜布线的 CMOS 工艺技术。“三栅极氧化层”是指采用不同的晶体管栅极氧化层厚度的数目。I/O 晶体管必须可以承受 3.3V 的电压，因此使用相对较厚的氧化层，但是逻辑和其它核心功能所使用的超高速晶体管则一般采用超薄氧化层。

不幸的是，超薄氧化层和超低阈值电压不可避免地带来较高的泄漏电流。然而，FPGA 中有很多晶体管不需要很高的速度（特别是那些配置存储单元），从 Virtex-4 系列开始，Xilinx 率先采用了第三种中间栅极氧化层厚度，专门针对这一类晶体管。这种三栅极氧化层方法允许我们对器件电路的性能和功耗进行微调。它使得 Virtex-5 器件可以提供业界领先的性能，同时能够大幅度降低泄漏电流，从而降低了静态功耗。

此外，新的 6-LUT 逻辑结构在每个

LUT 中融合了更多的逻辑块，使用了较少的局部互连节点和更少的高电容节点（逻辑功能之间），降低了逻辑层次，从而缩短了路径延迟。这种新的对称布线还使相邻逻辑之间的连接更加直接，这进一步降低了布线电容。

V_{CCINT} ，核心供电电压，现在是 1.0V。所有这些因素都有助于总体动态功耗的降低。Virtex-4 系列的成功告诉我们，很多工程师将性能和功耗看作是系统设计中的两个同等重要的约束条件；因此，我们既需要高性能，也需要低功耗。

我们对 Virtex-5 的逻辑结构进行了彻底的改进，以便充分利用 65 纳米三栅极氧化层的 CMOS 工艺，结果是诞生了迄今为止性能最高的结构，系统时钟频率超过 550 MHz。和 90 纳米 Virtex-4 相比，

Virtex-5 的静态功耗大体相当，但动态功耗至少降低了 35%。就像它的前辈一样，Virtex-5 系列又一次提供了其他高级 FPGA 系列难以比拟的低功耗解决方案。

适用于系统集成的高级特性

在 Virtex-5 系列中，我们在每个时钟管理管道 (CMT) 中加入了一个锁相环(PLL)，现在每个时钟管理管道含有两个数字时钟管理器 (DCM) 和一个 PLL。因此 CMT 同时提供了两个域 (数字域和模拟域) 的最优特性：数字时钟管理器所具备的强健的多功能性和精确的递增相移能力，与模拟 PLL 带来的降低抖动性能。该系列中配置最高的型号具备六个可以产生和操作 550MHz 时钟的 CMT，从而支持 Virtex-5 的逻辑和模块功能。

同步双端口 block RAM 是一个重要的功能块。每个 block RAM 的大小已经增加到 36 Kb，但是你可以将它用作两个单独的 18-Kb block RAM。数据总线宽度从 1 位到 36 位是可编程的。在简单双端口模式 (一个端口写，另一个端口读)，数据总线宽度可以高达 72 位，有效地加倍了数据带宽。你还可以关闭未被使用的 18-Kb block RAM 以节省功耗。

该 block RAM 带有集成的 FIFO 控制逻辑，从而简化了在高达 550 MHz 时钟频率下运行的异步 (或同步) FIFO 的设计，同时无需消耗任何逻辑资源。

72 位宽的 block RAM 现在还包含 64-bit 的检错误和纠错 (ECC) 控制逻辑。类似于集成的 FIFO 支持功能，该集成化 ECC 提高了存储器的性能，同时消除了那些和传统的基于结构的解决方案相关的成本。你还可以使用专用 ECC 逻辑来增强外部存储器接口。

我们最新推出的 ChipSync™ 技术大幅度增强和简化了与外部设备尤其是外部存储器 (比如 DDR、DDR2、QDR II 和 RDRAM II) 的连接。基于我们 LX50T 器件的存储器开发系统 (ML561)，包含通过硬件验证的实用参考设计，该参考设计可以用于目前所有的主流存储技术。

在 DSP 领域，我们推出了一个 25 x 18-bit 的乘法器，主要用于更高效率的浮点设计。这些 DSP48E 逻辑片可以进行直接级联，从而能够在数字滤波或视频广

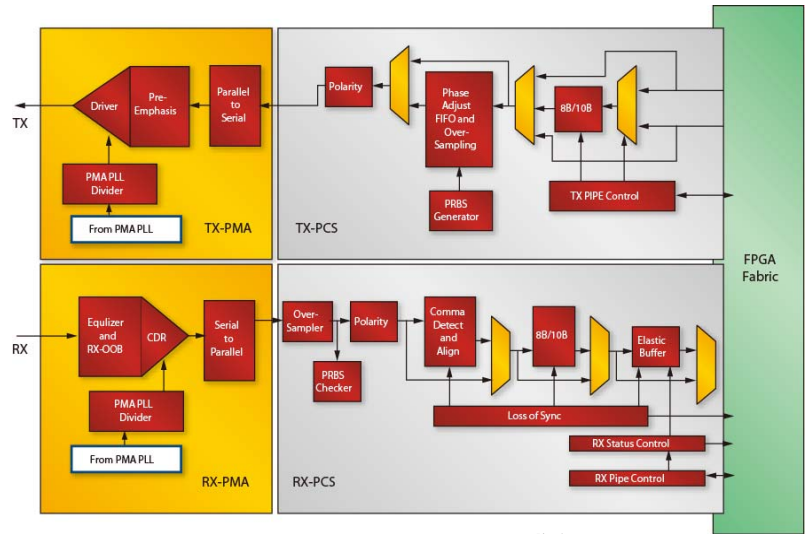


图 4 - RocketIO GTP 收发器

播应用中实现更高的性能。直接级联还可以节省功耗 - 和其它竞争方案比较，我们可以降低 40% 的功耗。

Virtex-5 SelectIO™ 技术继续在业界保持领先地位。所有引脚实际上都支持目前使用的所有 I/O 标准，并且提供高达 1.25 Gbps 的 LVDS 和 800 Mbps 的单端 I/O 性能。

除了提供可编程输入延迟 (步长 75 ps) 的 IDELAY 选项外，新推出的 ODELAY 选项为 FPGA 的输出端提供了同样精细的粒度。每个功能都可以在所有器件的引脚上进行单独编程。

IDELAY 功能是一个重要的特性，可以增强对高速源同步数据和时钟的可靠发送和接收。目标应用包括板级偏斜补偿、总线的位对准以及数据和时钟信号的对准。该功能能够让 LVDS I/O 实现每对引脚高达 1.25 Gbps 的速率。

Virtex-5 LXT、SXT 和 FXT 器件同样提供了嵌入式串行收发器 - 在配置最高的 LXT 器件中包含的这种收发器的数目竟然高达 24 个。在开发高速串行收发器的第四代 RocketIO™ 技术时，我们在降低功耗方面投入大量的精力。在 3.2 Gbps 的峰值速率下，LXT RocketIO 收发器的功耗低于 100 mW，使其成为所有 FPGA 产品中功耗最低的收发器 (参阅图 4)。

每个 Virtex-5 LXT RocketIO 收发器都是可编程的，可以实现各种速率，支持各种串行标准。我们面向每个标准 (比如以太网、HD/SDI、串行 RapidIO、

FibreChannel 和 Aurora) 推出了链路层 IP。最后，我们预计到 PCI Express (PCIe) 端点应用的普遍性，在硬件逻辑中集成了完整的 PCIe 端点协议。Virtex-5 LXT PCIe 端点模块完全兼容 PCIe 标准规范的 1.1 版本，可以支持 x1、x2、x4 和 x8 的通道实现方案。集成式硬 IP 节省了逻辑资源，并且提高了日益普及的 PCIe 应用的性能。对于 x4 PCIe 通道的实现而言，较之软 IP 实现方案，Virtex-5 PCIe 子系统模块节省的 LUT 数目高达 8,500 个。

Virtex-5 器件提供了更多和更小的 I/O bank。外部 I/O bank (配置最高的型号中含有八个 bank) 也经过精心安排，从而方便 PCB 布线，在某些情况下可以节省 PCB 板的布线层级。

为了保证取得 FPGA 业界最佳的同步切换输出 (SSO) 性能，并且实现 FPGA 业界最好的信号完整性 (SI) 解决方案，所有 Virtex-5 器件均利用 Xilinx 的稀疏锯齿技术进行插脚引线的对齐。这种方法确保每个 I/O 引脚都可以被电源引脚和地引脚紧密包围，从而使电流环电感最小，进而提高了信号完整性。

结论

希望我前面的介绍能够让您更好地了解 Virtex-5 器件及其背后的设计动因。我们非常希望系统设计界能够接纳这种全新的架构。我们希望看到您的下一代系统能够从 Virtex-5 增强的性能和功能中获益，将您的复杂设计提升到一个新的高度。