

利用 Virtex-5 FPGA 实现更高的性能

新的架构单元能帮助你达到更高的系统级性能

作者：Adrian Cosoroaba
Xilinx 公司市场经理

在 FPGA 系统设计中，要达到性能最大化需要平衡具有混合性能效率的元器件，包括逻辑构造(fabric)、片上存储器、DSP 和 I/O 带宽。在本文中，我将向你解释怎样能在追求更高系统级性能的过程中受益于 Xilinx® 的 Virtex™-5 FPGA 构建模块，特别是新的 ExpressFabric™ 技术。以针对逻辑和算术功能的量化预期性能改进为例，我将探究 ExpressFabric 架构的主要功能。基于实际客户设计的基准将说明 Virtex-5 ExpressFabric 技术性能平均比前一代 Virtex-4 FPGA 要高 30%。

利用新的逻辑构造（在里面你可以实现诸如计数器、累加器和 RAM/ROM 存储）和可用的硬 IP 模块、存储器及 DSP（经最优化以运行在高达 550MHz 的时钟速率），Virtex-5 FPGA 无疑是针对高性能设计的平台选择。

ExpressFabric 的性能

自从上世纪 80 年代中期第一颗 FPGA 问世以来，大多数 FPGA 的逻辑构造一直是基于相同的基本四输入查找表（LUT）架构。Virtex-5 系列是第一个提供完全独立输入（不共享）的真正 6 输入 LUT（6-LUT）构造的 FPGA 平台（图 1）。向 6-LUT 构造架构转移为 65nm 的 Virtex-5 FPGA 系列提供了在关键路径延迟—决定逻辑构造性能的因素—与裸片面积之间的最有效折衷。

随着工艺技术的进步，互连时间延迟能占关键路径延迟的 50% 以上。Xilinx 已经为 Virtex-5 FPGA 开发了新的互连模式，通过较少的跳跃(hops)到达更多的地方来增强性能。新的模式增加了两到三跳之内可以到达的逻辑互连的数量。此外，更为

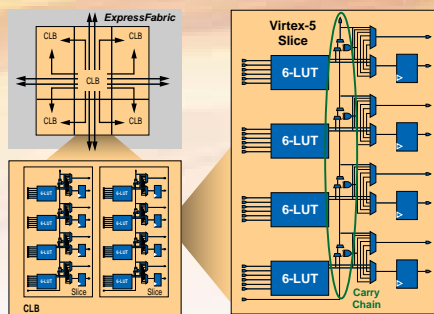


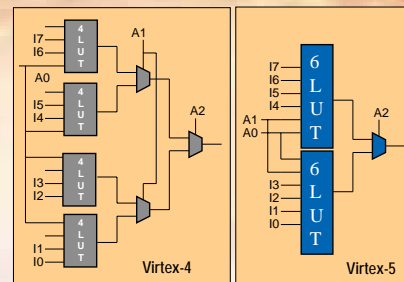
图 1 - Virtex-5 可配置逻辑模块(CLB)构成两个逻辑片，每逻辑片利用 4 个提供更少逻辑级好处的独立 6-LUT。

有序的路由模式使 Xilinx ISE™ 软件更容易找到最优化的路由。所有互连功能对 FPGA 设计工程师都是透明的，但是，将转变为更高的整体性能和更容易设计的可路由性。本质上，Virtex-5 模式根据距离提供快速可预测的路由。

通过把新的 6-LUT 构造与进位链、专用多路选择器和触发器(与把这些单元连接起来的独特方法)这样的特殊功能相结合，创造了非常卓越的性能和实现逻辑及算术功能的效率。

多路选择器(MUX)就是清楚地说明 ExpressFabric 技术好处的例子之一。在 Virtex-4 架构中实现一个 4:1 MUX 需要两个 4 输入 LUT 和一个 MUXF 模块；同样的 4:1 MUX 现在可以在 Virtex-5 器件中用一个 LUT 来实现。类似地，在 Virtex-4 架构中实现一个 8:1 MUX 需要四个 LUT 和三个 MUXF 模块；而新的 Virtex-5 架构仅需要两个 6-LUT，因此，性能更高且逻辑利用更佳，如图 2 所示。

与过去的 Xilinx FPGA 系列一样，



8-to-1 MUX	Virtex-4	Virtex-5	Improvement
Logic Levels	2	1	100%
Path Delay	1.33 ns	1.08 ns	23%

图 2 - Virtex-5 FPGA 与 Virtex-4 FPGA 在 8:1 多路选择器实现上的比较。

Virtex-5 Slice L(逻辑片)利用专用的进位链可以实现逻辑功能、寄存器和算术功能。稍微更复杂的 Slice M(存储器片)提高了在 LUT(SRL)内部实现分布式 RAM 及移位寄存器的性能。

Function	Virtex-4 FPGA Path Delay	Virtex-5 FPGA Path Delay	Improvement
Adder 64-bit	3.5 ns	2.4 ns	46%
Ternary Adder 64-bit	4.3 ns	3.0 ns	40%
Barrel Shifter 32-bit	3.8 ns	2.8 ns	37%
Magnitude Comp. 48-bit	2.4 ns	1.8 ns	34%

表 1 - Virtex-5 FPGA 与 Virtex-4 FPGA 在实现算术功能上的比较。

由 ExpressFabric 架构所提供的各种各样改进当中，新的进位链结构当被用于实现算术运算时实质上产生了更高的性能，其对关键路径延迟的影响可以在表 1 中的若干例子容易地看到。

分布式存储器功能如 LUT RAM 或 ROM 也以若干方式从较大的 LUT 构造获益。新的宽高比容许更为密集地包装小的存储器功能，从而引向重大的性能好处，如表 2 所描述。

Function		Virtex-4	Virtex-5	Improvement
LUT RAM 64 x 1	Logic Levels	2	1	100%
	Path Delay	1.76 ns	1.26 ns	40%
LUT ROM 128 x 12	Logic Levels	3	1	200%
	Path Delay	1.84 ns	1.20 ns	53%

表 2 - Virtex-5 FPGA 与 Virtex-4 FPGA 在实现基于 LUT 的 RAM/ROM 上的比较。

由已改进的具有 6-LUT 架构的逻辑构造和互连结构所提高的性能是有重大价值的，但是，这仅仅是开端。

大多应用需要的片上 RAM 比基于 LUT 的 RAM 能提供的要多。利用增强的 Virtex-5 模块 RAM，你可以实现更高的片上存储器性能。

模块 RAM 性能

随着向 65nm 的转移，Virtex-5 模块 RAM 的时钟速度获得了 10% 的提升，达到 550MHz。然而，为了实现目前大多应用所渴望的性能，模块 RAM 需要的不仅仅是速度更快，而是需要规模更大。

Virtex-5 模块 RAM 的规模已经加倍到 36 kb。这个较大的模块规模(由两个 18kb 存储器构成)在简单的双口模式中将支持 72 位数据字，因此，把模块 RAM 的带宽提高了一倍。此外，Virtex-5 FPGA 提供专用的连接，使你能够在模块 RAM 行中把两个相邻的 36kb 模块 RAM 级联起来，因此，实现一个运行在最大 550MHz 速率的 72kb 存储器。

不断加大的 FPGA 的实用性已经加速了把更多子系统集成到单一器件之中的趋势，使得对多个时钟域进行接口的必要性更为普遍。Virtex-5 器件通过提供集成逻辑来简化灵活和有效的 FIFO 的实现来适应这种趋势。

通过这种增强的组合，Virtex-5 模块 RAM 提供更多片上存储器，更容易构建 FIFO，并获得更高的带宽。

DSP 性能

作为一种针对高性能 DSP 应用的可行解决方案，FPGA 的认知度日益增加是理所当然的。无论作为一种协处理器或一种针对更为苛刻应用要求的单机解决方案，FPGA 都不断提供最佳的性能、功率和成

本组合。

为了满足对更高 DSP 性能看来贪得无厌的需求，Xilinx 的 Virtex-5 DSP 性能在时钟速率和精度两个方面都居于领先地位；时钟速率已经提高到 550MHz，而精度已经从 18 x 18 位提高到 25 x 18 位。

Xilinx 也针对累加器链实现而优化了 Virtex-5 DSP48 片，其强大的性能使创建非常有效的高性能滤波器成为可能。在每一个 DSP48 片输入和输出上的专用路由资源允许在一行内把任意数量的片链接起来。这种专用的路由确保在链中的每一个 DSP48 片将以全速运行而不消耗任何构造路由或逻辑资源，因为其它 FPGA 需要。综合起来看，这些改进把实现通用高精度功能所需要的资源数量减少了一半。例如，对于 35 x 25 位乘法，采用 Virtex-4 FPGA 就需要四个 DSP48 片；在 Virtex-5 FPGA 中具有更宽的 DSP 模块可用，实现这种乘法功能只要采用一半的 DSP48 片。

I/O 带宽性能

随着性能基准的进展，FPGA 能处理数据的速度与器件 I/O 带宽的前后使用情况有关，它就是大量数据能被搬移到器件上及从器件上卸下所用的速度。当利用外部存储缓冲器时，接口必须比数据处理率至少快两倍，因为数据既要写出也要读回 FPGA 之中。

通过既提高每一个引脚的数据率，又利用更大的封装来增加可用 I/O 的数量，Virtex-5 FPGA 提高了 Virtex-4 的带宽。例如，对于流行的存储器接口如 DDR2 SDRAM，每一个引脚的带宽已经从 534 Mbps 提高到了 667 Mbps；数据 I/O 的数量—当考虑 SSO 要求时—已经从 32 增加到了 576。

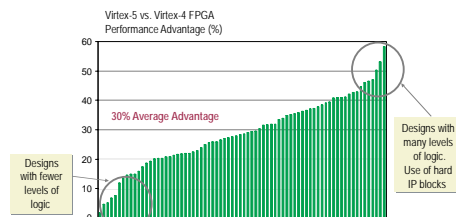


图 3 - 根据利用 ISE 8.2i 软件实现的一套 74 个客户设计的比较。

客户设计基准

为了进一步评估由 Virtex-5 FPGA 逻辑构造所提供的性能改进，我们利用 Xilinx 的 ISE 软件实现了一组客户设计。

这些设计完全采用 VHDL 或 Verilog 编写。我们利用库组件或综合参考的直接调用方法实现了一些像存储器和 FIFO 那样的特殊设计单元，但是许多是利用由 CORE Generator™ 软件生成的 EDIF 模块实现的。

对于这些基准，我们采用 Synplicity 公司的 Synplify Pro 工具以时序驱动方式执行综合，并利用严紧和现实的约束来有效地测量性能。完成这一点就确保所有特殊优化和逻辑复制获得了使用。

在 ISE 软件中的实现是把布局和路由努力设置到“high”来完成的。时钟被以 5% 的增量反复增加，直到该设计不能满足设计约束。

结果是 - 与利用 Virtex-4 FPGA 实现的设计相比 - 平均性能提高了 30%，如图 3 所示。

这些改进最多的设计具备大的逻辑锥体；关键路径常常实现大的复杂逻辑等式。例如，ASIC 原型设计的关键路径中的大量逻辑通常将具有非常少的寄存器。这些类型的设计展示了采用 Virtex-5 ExpressFabric 技术的重大改进。

在展示适度改进的设计中，要么具有较少的逻辑级，要么为使用硬 IP 模块或改进性能的进位链结构提供很少的机会。

图 4 通过把 Virtex-5 FPGA 对前一代 Virtex-4 FPGA 的性能改进进行分类做了总结。

结论

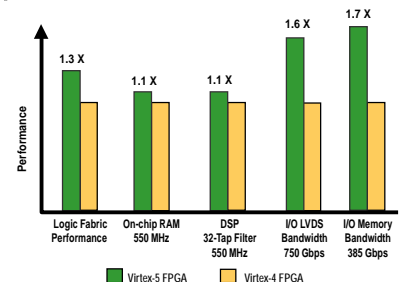


图 4 - Virtex-5 FPGA 性能的提高。

利用其新的 ExpressFabric 技术和对其它高性能硬 IP 及 I/O 的紧密耦合，与前一代架构相比，Virtex-5 FPGA 系列表现了重大的性能提升。