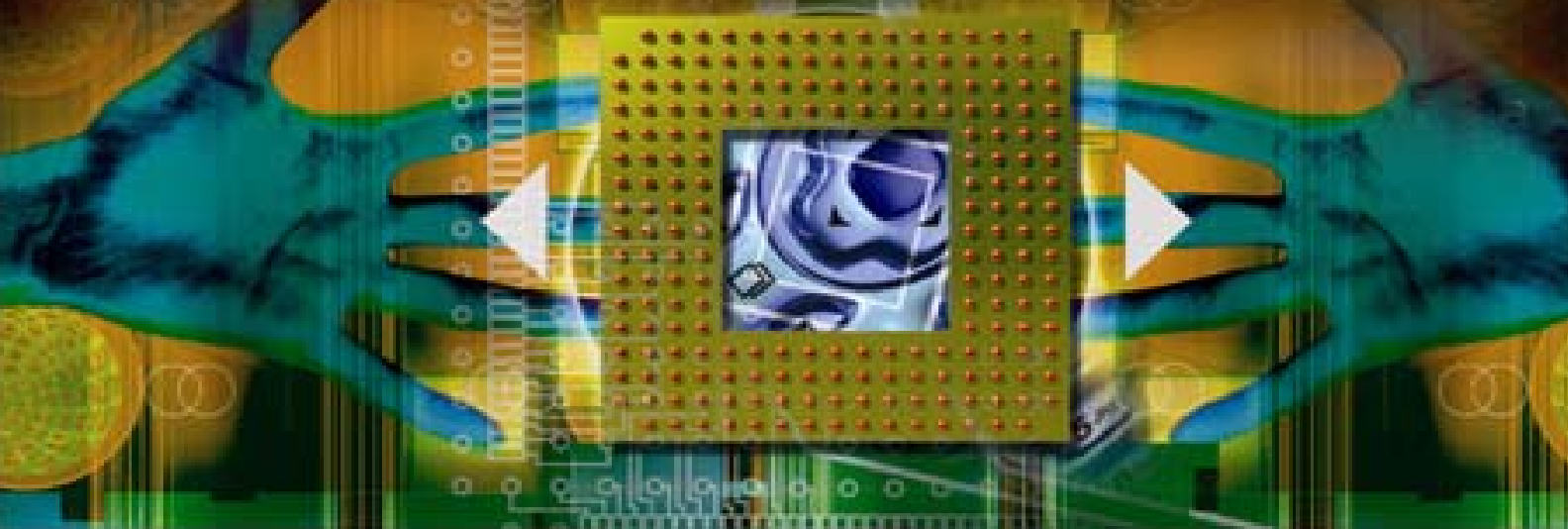


面向大众市场的千兆位级收发器

Virtex-5 GTP 收发器为大批量主流应用带来通用性、易用性、低功耗和成本效益优势



作者：Gang Sun
Xilinx 公司高速串行 I/O 部
高级产品营销经理

由于市场对带宽需求的不断增长，设计人员逐步放弃了采用并行总线 and 低速收发器，转而使用基于串行收发器的接口。因为高速信号可以解决许多设计上的挑战：它们能提供更大的带宽并降低整个系统的成本和功耗。

以上事实使工程师们认为，通过无限地提高收发器的速度，来降低整个系统的成本和功耗。但是，当收发器的速度超过 3Gbps 后，在某些情况下，其面临的工程挑战会出现本质上的变化，这使得降低整个系统的成本和功耗变得十分困难。其原因十分简单：在超高速的情况下，维持信号完整性的难度将越来

越大，有时解决这些问题所做的额外努力要超过数据速率增加所带来的好处。

转变中的收发器

图 1 显示了传统背板通道的频率损耗和串扰情况。在 1.6GHz 时，损耗可以被合理地控制，使得速率等于或低于 3.2Gbps 的收发器相对具有成本效率和功耗优势。

但是，在 3GHz 时，损耗变得十分显著。这使得速率为 6Gbps 的背板式收发器需要利用许多不同的特性。你可能需要判决反馈均衡 (DFE) 这样的先进技术来维持信号的完整性，实现这些先进功能需要利用众多优化特性。

这就是为什么 3Gbps 收发器通常每个通道只消耗不到 100mW 的功率，而采用 DFE 技术的 6Gbps 收发器却要消

耗至少两倍的功耗的原因。对于需要这些先进特性的应用，这一额外的功耗开销是值得的。但如果能同时为尖端应用提供低功耗 3.2Gbps 收发器和高性能收发器，将会凸显出优势 - 从本质上为应用提供最佳工具。

在 5GHz 时，信噪比 (SNR) 变为负值。在此情况下，需要使用更昂贵的材料和更尖端的制造技术来重新设计整个背板，来为 10Gbps 的传输创造条件。因此，通过背板实现 10Gbps 的串行传输会导致在芯片面积和功耗这两方面成本的提高。

前面的例子清楚地显示了工作速率等于或低于 3.2Gbps 的收发器处于“最佳工作区域”，在大多数互联应用中，它们比并行接口和超高速收发器 (6Gbps 和 10Gbps) 具有更高的成本效率和功耗

优势。这一现象导致收发器市场出现了两种不同的趋势：

1. 带宽渴求型应用（如 10 千兆路由器的背板互联）需要 6Gbps 和 10Gbps 的收发器。这些应用在推动性能提升的同时，要付出成本和功耗的代价。
2. 数据速率等于或低于 3.2Gbps 的收发器能很好地满足大众主流应用需求。

Virtex-5 RocketIO GTP 收发器

Xilinx 清楚地认识到高性能市场的特殊要求，并且注意到大规模主流市场的不同要求。大量主流串行协议的数据率等于或低于 3.2Gbps，例如 PCI Express Generation 1、千兆以太网、XAUI、SATA I 和 II、串行 RapidIO、CPRI、OBSI 和 HD-SDI。许多像 JEDEC 数据转换接口和 VESA 显示端口这样的新兴协议也运行在这种相对较低的数据率下。事实上，这些已有的和新兴的协议涵盖了目前超过 90% 的收发器应用。因此，速率等于或低于 3.2Gbps 的收发器是“面向大众市场的收发器”。

Xilinx 采取了创新举措，为 Virtex™-5 FPGA 系列产品开发了两款不同的收发器。其中一款收发器是 Virtex-5 RocketIO™ GTP 收发器，主要用于大规模主流应用，其数据率范围从 100Mbps 到 3.2Gbps。面向大多数系统设计人员的 GTP 收发器具有通用性、易用性、低功耗和低成本特性。

GTP 收发器的用途非常广泛，不仅能支持像 PCI Express Wrapper 这样基于 8B/10B 编码的协议，还能支持像 SONET 这样基于加扰编码的协议。（表 1 给出了 GTP 收发器所支持的完整应用。）因此，GTP 收发器所能支持的应用范围是不受限制的。此外，应用专用设置中对 GTP 收发器的确认和描述，能确保其

符合标准。这些设计和特征化途径共同确保了 GTP 收发器的通用性。

由于得到了最好的 FPGA CAD 工具的支持，GTP 收发器的使用十分简单。Xilinx® Virtex-5 RocketIO GTP 收发器向

导提供了直观的 GUI 界面，为选择 GTP、时钟选项、FPGA 构造块接口、协议栈以及编解码机制提供了便利。在完成所有选择之后，工具将生成一个带有必要功能的 GTP 包裹器。

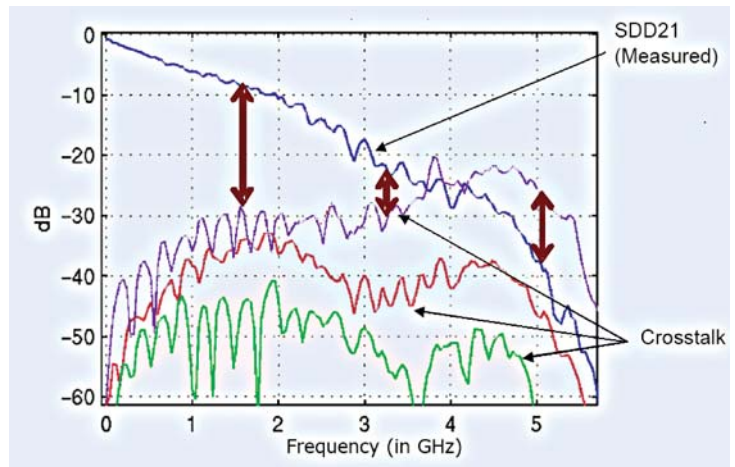


图 1 - 通道 S 参数和串扰

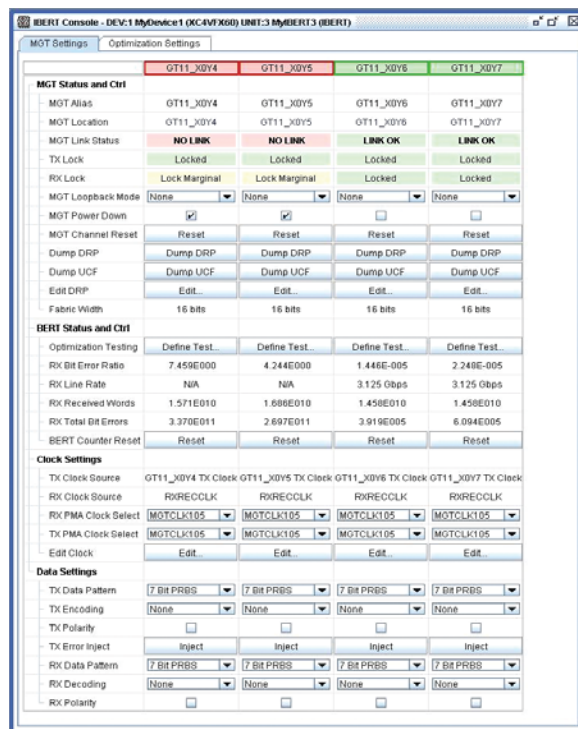


图 2 - ChipScope IBERT 控制台

Xilinx ChipScope™分析器通过内置在收发器里的集成式误比率测试器 (IBERT), 向GTP收发器提供自测试能力。图 2 显示了ChipScope IBERT控制台。

ChipScope 分析器所提供的先进功能包括通道性能测量能力、自动眼图扫描能力 (用来寻找最佳的发送和接收设置) 以及收发器和连接状态报告。这些丰富的工具大大简化了基于 GTP 收发器的设计和制造流程, 对于 GTP 收发器的广泛应用起到了关键的促进作用。

随着 PCB 板上的空间越来越拥挤, 收发器的功耗成为一个关键问题。因此, 对于 GTP 收发器来说, 电源效率是最首要的设计目标之一。每个 GTP 收发器的平均功耗通常低于 100mW。在某些情况下, 每个收发器的功耗能低至 60mW。对于低功耗的广泛需求进一步增强了 GTP 收发器在功耗敏感型应用中的竞争力。

随着大规模主流应用开始使用嵌入式收发器, 成本也成为一项重要的考虑因素。因此, Xilinx 用硬逻辑而不用查找表 (LUT) 的方法来提供某些特定的解决方案。例如, 一种硬件编码的 PCI Express 协议栈包括基于 GTP 收发器的物理层、链路层和应用层。这一实现方案极大地降低了整个解决方案的成本, 使得基于 GTP 收发器的解决方案对于大容量/高利润应用更具吸引力。

结论

数据率等于或低于 3.2 的收发器处于“最佳工作区域”, 绝大多数收发器应用都处于这一数据率范围。由于具有用途广泛、使用简单、低功耗和低成本等特点, Xilinx 的 Virtex-5 GTP 收发器在这一市场中具有很大的优势, 是一款真正大众化的千兆位级收发器。

市场	标准	速率 (bps)	关键特性
电信	OC-3/SDH STM-1	155Mbps	• 对于同步工作, 能够旁通 FIFO
	OC-12/SDH STM-4	622Mbps	
	OC-48/SDH STM-16	2.488Gbps	
	OBSAI(Issue 1.0)	768Mbps 1.536Gbps 3.072Gbps	
	CPRI(Version 2.0)	614Mbps 1.228Gbps 2.457Gbps	
	SFI-5	2.448-3.125Gbps	• 同步时钟控制 (旁通 FIFO)
数据	1G Ethernet (802.3z D5.0)	1.25Gbps	
	XAUI (802.3ae D5.0)	3.125Gbps	• 信号丢失 (LOS)
	10G Base CX-4	3.125Gbps(x4)	
计算/通信	PCI Express Specification (Rev1.1)	2.5Gbps	• Tx 接收检测 • 信号丢失 (LOS)/空闲状态检测 • 低功耗状态和 OOB 信标 • 地参考端接
	Serial Rapid IO	3.125Gbps	• 支持从 1.25 到 3.125G 范围内的所有数据率
	InfiniBand	2.5Gbps	
存储	Fibre Channel(Rev4.0)	1.0625Gbps 2.125Gbps	• 数据率协调, 允许 Tx 和 Rx 工作在不同的数据率上
	SATA(Rev1.0a)	1.5Gbps 3.0Gbps	• 对 Gen1/Gen2 进行数据率协调 • LOS 和带外信令信标
	SAS(Rev5)	1.5Gbps 3.0Gbps	
视频	SDI	143Mbps 176Mbps	• 对于视频标准能对内部交流耦合电容进行旁通
	DVB-ASI	270Mbps	• 2.97G 是正在开发的新一代 HD-SDI 标准

表 1 - GTP 支持的应用