

# 赛灵思 中国通讯

## Xilinx News

第五十七期 2015年 秋季刊 Issue 57 Autumn 2015

★ 特别专刊 ★

### Xilinx 客户塑造 美好的未来

5G 无线技术随时随地畅连无阻

即将到来的汽车技术变革

云中的机器学习：FPGA 上的深度神经网络

采用 Zynq SoC 实现  
Power-Fingerprinting 网络安全性



世界首座基于  
Xilinx FPGA 的可  
编程城市问世 18

 **XILINX**  
ALL PROGRAMMABLE™

<http://china.xilinx.com/xcell>

# Xfest

On-Demand

PRESENTED BY AVNET



Products



Events



Webinars

## Unrivaled Technical Training for FPGA, SoC, DSP & Embedded System Designers

Don't miss the world's most technical training program featuring **100+ webinars**, **100+ live events**, and **100+ on-demand courses**.

For more than 25 years, Xfest has been the premier technical training program for FPGA, SoC, DSP & Embedded System Designers. It's the only program that offers on-demand courses, live events, and webinars. Xfest is the only program that offers on-demand courses, live events, and webinars. Xfest is the only program that offers on-demand courses, live events, and webinars.

Technical content includes:



FPGA



SoC



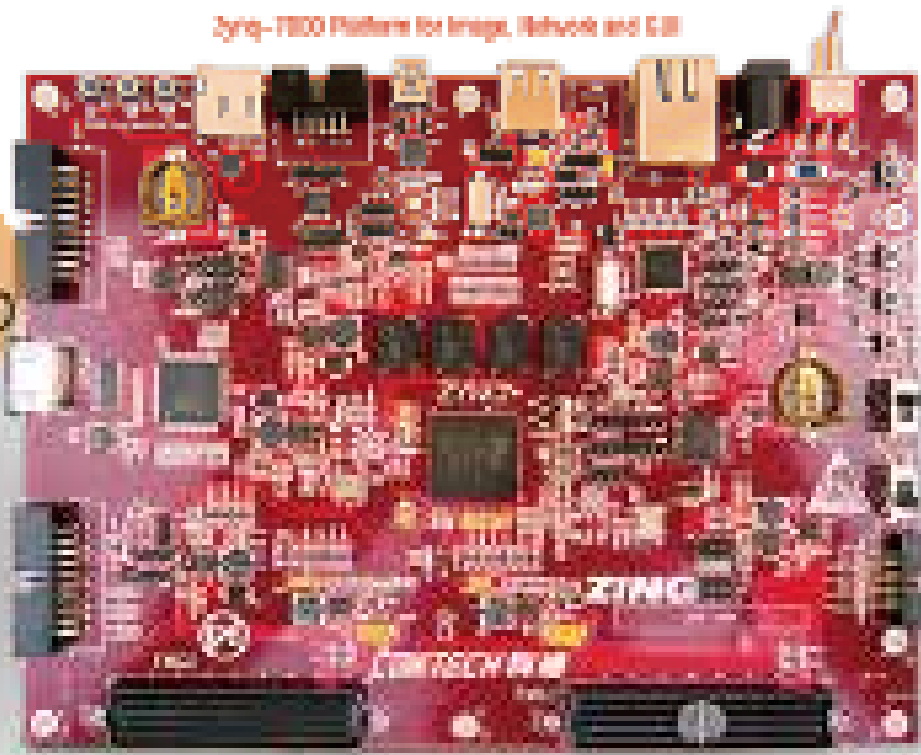
DSP



**ZING Board** 是基于 Xilinx Zynq™-7000 SoC 的开发套件，给高性能系统设计带来帮助，加速设计者创新产品的诞生。

Zynq-7000 Platform for Image, Network and EMI

ONLY  
US\$350



**ZING 开发套件**

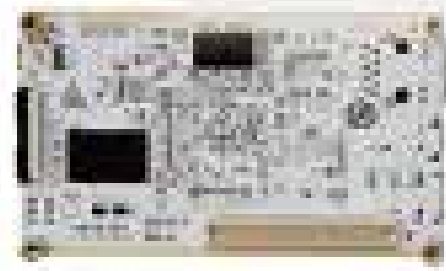
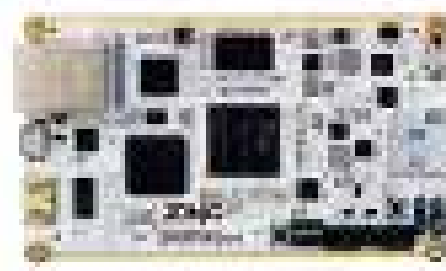
- 高性价比开发板  
包含 Zynq7000, camera, LCD
- 参考设计，便于定制应用开发套件
- 100pin FPC 接口
- 支持多种存储配置方案，支持高速存储
- 支持多种 I/O
- 支持多种 I/O
- TMR

**概念板/硬件加速编程，开启定制化 SoC 设计时代**

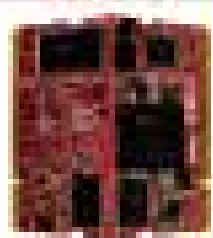
**SNOWLeo**

**主要特性**

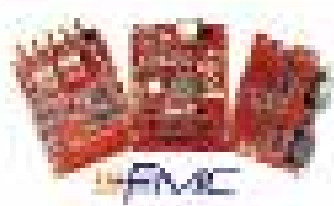
- Xilinx ZYNQ 7010/7020 AP SoC
- 支持 ARM Cortex-A9 主频 600MHz
- 支持 FPGA 百万门可编程逻辑
- 512MB DDR3 SDRAM
- 支持 USB2.0/USB 3.0/OTG/UART
- HDMI 高清输出，支持 HD 1080p 显示
- TF 卡/固态硬盘 高速存储模式
- 高清 H.264 视频



操作系统支持



**ZynqSoM：体积最小的ZYNQ核心模块**  
 专为 OEM/ODM 客户提供高性价比产品而设计，包含定制 ZynqSoM 核心模块，支持 Zynq7000/7010 全系列，支持 DDR3、FLASH、可配置 I/O 接口，支持多种 I/O 接口，支持多种 I/O 接口，支持多种 I/O 接口。



支持多种 I/O 接口支持多种 I/O 接口  
 支持多种 I/O 接口支持多种 I/O 接口

Xcell journal

出版商 Mike Santarini  
mike.santarini@xilinx.com  
408-434-5961

编辑 Jacqueline Denton

艺术总监 Scott Blair

设计/制作 Ten, Schwab & Associates  
1-800-491-5551

广告销售 Dan Tera  
1-800-493-5551  
scelladvice@aol.com

国际 Melissa Zhang, Asia Pacific  
melissa.zhang@xilinx.com

Christie Mwangi, Europe/  
Middle East/Africa  
christie.mwangi@xilinx.com

Yoshiko Sato, Japan  
yosato@xilinx.com

订购往期期刊 1-800-493-5551



www.xilinx.com/xcell/

Xilinx, Inc.  
200 Logic Drive  
San Jose, CA 95124-1099  
Phone: 408-536-7200  
FAX: 408-536-7330  
www.xilinx.com/xcell/

© 2014 Xilinx, Inc. 保留所有权利。本文包含的赛灵思、赛灵思徽标和其他指定品牌均为赛灵思的商标。所有其他商标是其各自所有者的财产。

本期文章、信息和其他材料仅出于为读者提供方便目的而提供。赛灵思对上述任何文章、信息和其他材料及其使用不做任何明示、暗示或规定性担保，因此用户对其使用带来的风险承担全部责任。任何使用上述信息的人或实体均不得因使用上述信息造成伤害、损失、成本而向赛灵思提出索赔。

## 献给客户和新季度的一份厚礼：赛灵思中国通讯软件刊

**欢**迎订阅本期《赛灵思中国通讯》特别刊，祝贺赛灵思客户各辟蹊径，在视觉/视频、ADAS/无人驾驶汽车、工业物联网、5G、SDN/NFV 以及云计算六大新兴市场中开辟全新的创新时代。每一个这样的新兴市场都正在为我们的社会带来真正新锐的产品。随着今后几年技术的发展，这六大领域将融合为万网之网，会给我们目前的日常生活带来天翻地覆的变化。

视觉系统将超越长期以来的安全、数码相机和移动设备等传统领域，迅速迈向普及。同样，高级驾驶员辅助系统 (ADAS) 也在以惊人的速度迅猛增长。ADAS 的智能化水平和应用规模将迈上新台阶，支持用于无人驾驶的车辆间通信 (V2V)，以及车辆与基础设施间通信 (V2I)。V2I可让车辆与智能交通运输基础设施保持同步，协调交通，进而实现最佳的道路和城市交通流量。

智能视觉系统、ADAS 和基础设施技术构成了诸如智能工厂、智能电网和智能城市等新兴工业物联网 (IIoT) 市场的基本构建模块。所有这些新兴市场都需要大量的有线及无线网络容量才能发挥功能。云计算、5G无线以及软件定义网络 (SDN) 和网络功能虚拟化 (NFV) 双重技术将满足大部分这方面的容量需求。

把这些新兴技术融合在一起所发挥的作用将比它们独自力量之和还强大。这些技术的融合将最终实现智能城市和智能电网，提升智能工厂的生产力和盈利能力，借助无人驾驶技术让旅行变得更加安全。

赛灵思客户已开始使用我们的 28nm All Programmable FPGA、SoC 和 3D IC 为这些细分市场开发非凡而卓越的系统。随着赛灵思今后两年更多 20nm UltraScale™ 和 16nm FinFET UltraScale+™ 器件的陆续推出，将会有更多围绕这两种技术的独创性技术呱呱落地。

赛灵思在通过提升器件精密性和健全系统功能实现持续创新的同时，还在不断开辟蹊径，让更多设计团队把全新的创新技术推向现有市场并探索新兴市场。

为此，赛灵思在过去的八个月里向前迈出了大胆的一步——赛灵思宣布推出三款全新的开发环境，进一步壮大 SDx™ 产品阵营品（参见《赛灵思中国通讯》第 56 期的封面报道）。借助最新 SDSoc™、SDAccel™ 和 SDNet™ 解决方案，软件工程师、系统架构师和数学专家（非 HDL 硬件设计专家）能够对赛灵思 All Programmable FPGA 和 SoC 中的逻辑（而不仅仅是嵌入式处理器）进行编程。其结果就是能够大幅提升软件性能，而且还可打造出单位功耗总体系统性能其他任何半导体器件均无法企及的高度优化的设计。

事实上，我将在这里自豪地宣布：赛灵思正在扩大我这个“小而强大”的团队的职权，推出《赛灵思中国通讯》的姊妹刊：《赛灵思中国通讯软件刊》的最新季刊将于今夏问世，主要向软件工程师、系统工程师和任何有意使用赛灵思SDx开发环境及赛灵思联盟计划成员提供的高级工具的用户，介绍高级设计入门方法。

我希望大家都能够喜欢本期《赛灵思中国通讯》特刊，恭贺我们的客户在这些激动人心的新市场上所取得的成就。我们一如既往地欢迎大家投稿，讲述您对赛灵思器件的亲身体验。现在大家可以有二个发表途径：《赛灵思中国通讯》与我们新推出的季刊——《赛灵思中国通讯软件刊》。



Mike Santarini

发行人

# 领先一代

## 业界首款 ASIC级架构FPGA

现已提供详细器件选型表、文档、设计工具和方法

- 消除DSP和包处理的瓶颈
- 显著提升定点及浮点运算性能与效率
- 集成二代3D IC系统及全新的3D IC宽存储器优化接口
- 海量I/O与存储器带宽，大幅降低时延
- 大幅降低功耗



 **XILINX**  
ALL PROGRAMMABLE



## 视点

发行人致语

为客户和新季度献上的一份厚礼：

Xcell 软件杂志... 4

## 封面 专题

Xilinx 客户塑造  
美好的未来

# 8



## XCELLENCE BY DESIGN APPLICATION FEATURES

### 智能城市领域的出色表现

基于 Xilinx FPGA 的世界首座可编程城市问世... 18

### 5G 无线通信领域的出色表现

5G 无线技术让你随时随地畅连无阻... 26

### 工业物联网领域的出色表现

面向工业物联网的创新平台设计... 32

### ADAS/无人驾驶车辆领域的出色表现

即将到来的汽车技术变革及其重大影响... 38

### 数据中心计算领域的出色表现

云中的机器学习：FPGA 上的深度神经网络... 46

### SDN/NFV领域的出色表现

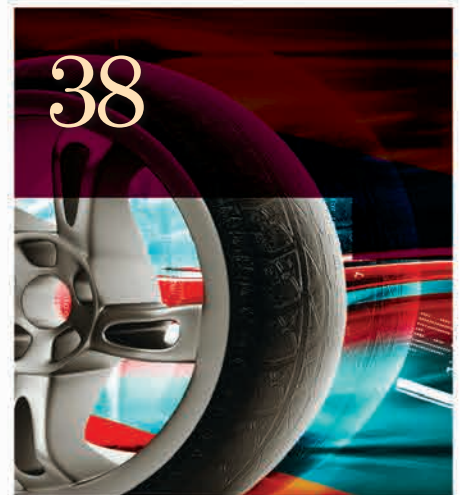
All Programmable SDN 交换机加速网络功能虚拟化... 52

### 软件定义网络领域的出色表现

Xilinx FPGA 助力高性能 SDN... 58

### 网络安全领域的出色表现

采用 Zynq SoC 实现 Power-Fingerprinting 网络安全性... 64





# Xilinx 客户塑造 美好的未来

作者：赛灵思杂志发行人 Mike Santarini  
[mike.santarini@xilinx.com](mailto:mike.santarini@xilinx.com)

SMART VISION

5G

AUTONOMOUS  
VEHICLES



赛灵思的客户们正在引领当今主要新兴市场的发展趋势。赛灵思通过可以提供软件智能和硬件优化的 All Programmable 技术推动着这一发展。



自托马斯爱迪生打开开关启亮第一盏电灯以来，电子行业创新的步伐就从未停止过。我们现在享受着如此众多塑造了我们日常生活的卓越电子创新，所以当真正里程碑事件在电子领域发生的那一刻，我们很容易熟视无睹。今天，我们正快速接近这些里程碑中的其中一个。

六大重要的新兴市场——视频/视觉、高级驾驶员辅助系统 (ADAS)/ 无人驾驶、工业物联网、5G 无线、软件定义网络 (SDN)/ 网络功能虚拟化 (NFV) 和云计算，将迅速融合为一个全方位互联的万网之网，并将为我们所赖以生存的整个世界带来深远的影响。这种智能系统的融合将让我们的生活更加丰富多彩：我们将使用智能工厂制造的智能产品，在智能城市的街道上乘坐安全驾驶的智能汽车。而这一切都通过在云端部署业务的智能有线和无线网络互联在一起。

赛灵思公司多样且精明的客户们正在运用赛灵思 All Programmable 器件和软件定义解决方案，将这些新的市场以及市场与市场之间的融合变为现实。

让我们逐个审视一下这些新兴市场，并看一看它们如何融为一体丰富我们的生活。最后我们将深入探讨客户如何才能借助赛灵思器件和软件定义解决方案在这些新兴市场中打造更智能的、互联互通的、差异化的系统，从而为我们大家塑造一个辉煌的未来（图 1）。

### 一切始于视觉

在当今社会，视觉系统无所不在。您可以在越来越多的电子系统中看到有视频功能的摄像头，从最便宜的移动电话到最先进的外科手术机器人，再到军用和商用无人机和探索宇宙的无人驾驶飞船，无所不有。辅助性通信和存储基础设施近乎一致地迅速转移重点，从传输音频和数据转为快速的视频传输。

就在三十年前，以今天的标准来看，视觉/视频系统还非常地原始。例如当年最精密的监控安保系统，主要由通过同轴电缆连接到显示屏的分辨率很低的视频摄像头构成。然后由一个保安或值勤人员认真（或不那么认真地）地监视。这个摄像头可能会

（或者不会）连接到一个录制设备，而这个录制设备仅仅可以录制有限的几个小时内摄像头所捕获到的图像。

相比而言，如今最先进的监控系统具有高度的智能化。它们用户有最先进的处理功能支持，融合多种传感器单元，包括摄像头、热传感、夜视和雷达等。这些融合的传感器能够在各种天气条件下近乎实时地自动识别面部和目标，发现并跟踪异常或可疑行为，乃至识别和跟踪个人。这类监控系统中的每个单元都能自动捕获可视甚至热图像，通过图像校正算法计算强化图像，甚至可以在本地处理，即刻分析视野内的一切事物。

此外，这些单独的单元还可以通过有线或无线方式联网到大型机系

统，让监控系统的所有点一致地工作，在系统视野内持续跟踪个人，同时持续记录他们的行动并在发现可疑行为时提醒警卫、屋主或警方。

大型机系统还可以采集元数据，供一体化安全中心后续存储、分析和交叉引用。企业还可以将用自己的监控技术采集到的数据用于安保目的之外。例如零售商可以使用元数据分析客户的浏览和购买行为，更好的为自己的客户服务。他们还可以把采集的元数据许可给附属公司及产品厂商，以改善产品营销和销售情况。

根据《赛灵思中国通讯》第48期封面报道的深度探讨，智能视觉/视频技术正在普及，被越来越多的应用所采用。汽车产业的高级驾驶员辅

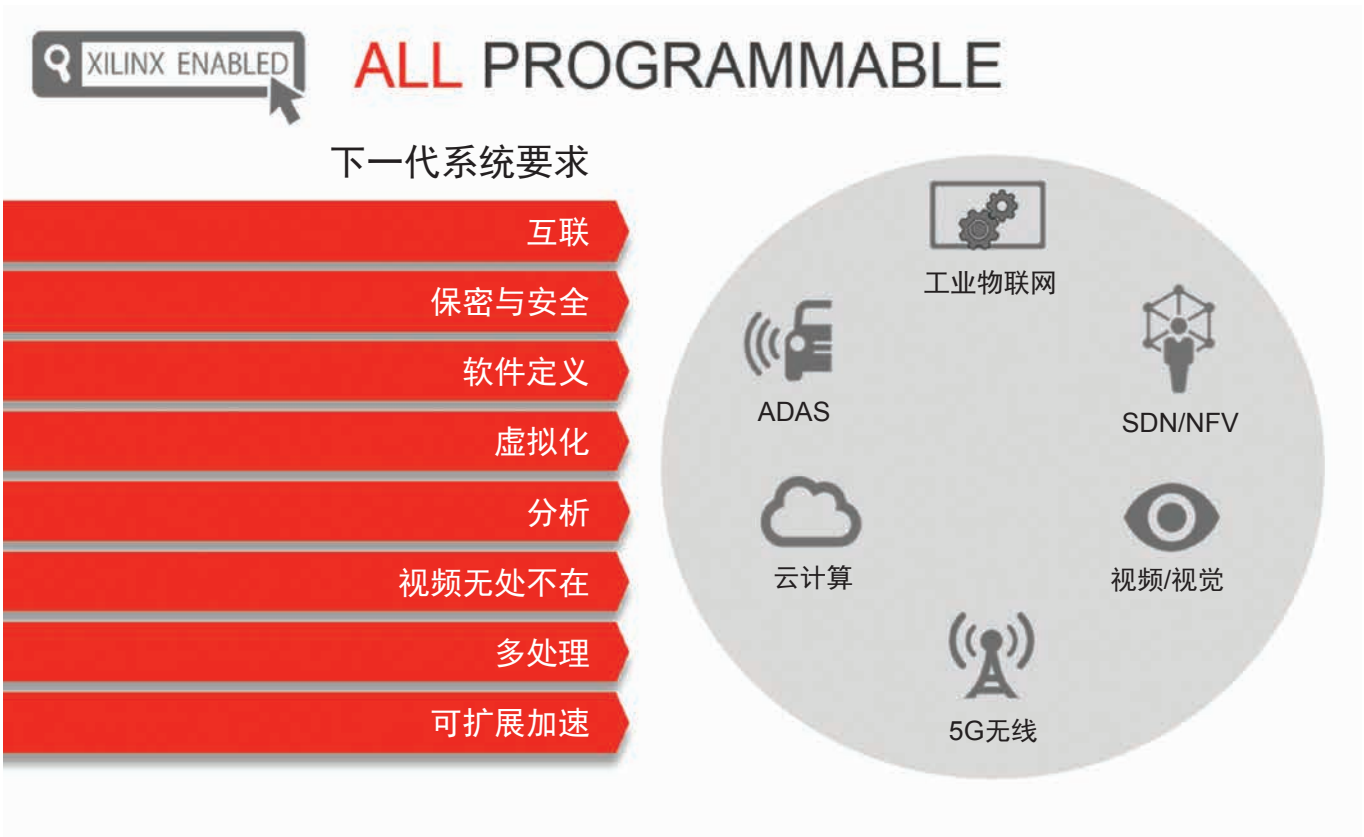


图 1 - 客户正在运用赛灵思 All Programmable 可编程解决方案为 ADAS、工业物联网、视频/视觉、5G 无线、SDN/NFV 网络和云计算等新兴市场开发创新型解决方案。

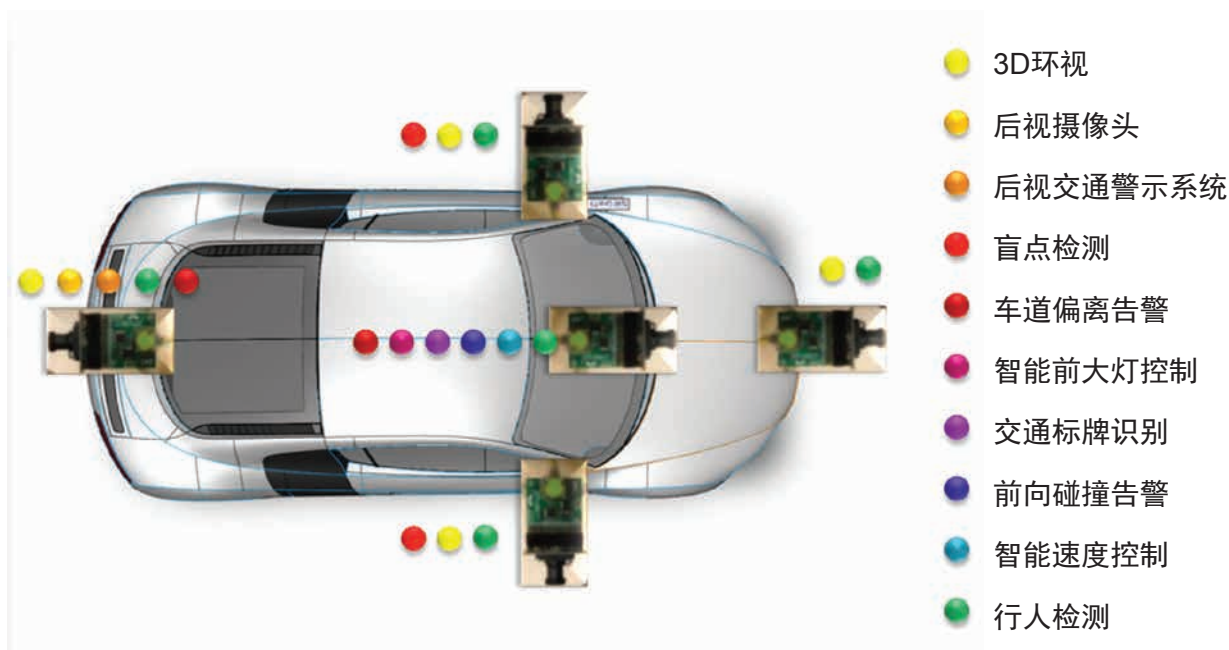


图 2 - 在客户大量使用赛灵思 Zynq-7000 All Programmable SoC 构建融合传感器 ADAS 平台的推动下，高级驾驶员辅助系统的先进性正在迅速提高。

助系统 (ADAS) 就是应用之一。这个领域凭借视觉处理不断发展，有望实现无人驾驶车辆。先进视觉技术还在智能工厂、智能医疗设备、交通运输基础设施乃至智能城市中得到进一步运用。这些都是工业物联网 (IIoT) 市场的新兴领域。

### ADAS 迈向无人驾驶车辆

如果您拥有或者乘坐过过去十年内制造的汽车，很有可能您已经体会到高级驾驶员辅助系统 (ADAS) 技术的价从简单而有效的后视摄像头起步，汽车制造商现为 ADAS 系统提供了 360 度全景环视甚至内视功能。图 2 所示的是当今汽车上采用的众多 ADAS 系统类型，展现了高级处理算

法和专用算法如何让少量相对廉价的传感器能够执行多项任务。

实践证明，ADAS 系统非常成功，而且极为可靠，因此这个领域的竞争就是迈出大胆的下一步，把从 ADAS 技术学习到的经验教训延伸用于车辆间通信 (V2V)、车辆与基础设施通信 (V2I)、半无人驾驶和最终的无人驾驶，让驾驶员只辅助车辆驾驶。当这些技术到位后，可以肯定交通事故会进一步减少。此外车辆还能在公路上有序排列，提高交通运输的效率，从而降低燃料消耗。这样相应地还可能减少化石燃料造成的污染。

目前 OEM 厂商正在积极的开发甚至开始公布自己在无人驾驶车辆方面的进展。例如戴姆勒公司的子公司

弗莱特莱纳 (Freightliner) 已经[得到内华达州的许可，准备运营自己的自动驾驶 Inspiration 超级卡车](#)。此外梅赛德斯奔驰、谷歌、奥迪和特斯拉也属于正在积极把无人驾驶车辆推向大众化市场的众多企业之列。这确实是一场较量。而且风险很高。

对推出全无人驾驶车辆来说，挑战在于需确保车辆知晓自己的位置和周边环境。车辆必须能够实时地根据每秒道路条件变化做出相应动作，确保车辆内及周边的安全。鉴于道路上的车辆并非都是无人驾驶，如何做到这点是一个行业和政府正在争议的问题。答案无疑在于车辆间的智能通信安全标准，以及车辆和市政基础设施之间的更具前瞻性的通信安全标准。



# 工厂 4.0 (Factory 4.0) 的信息物理系统 (CPS) 有望产生重大影响, 把各种不同水平的人工智能带给已经智能化的系统, 让工厂设备具备自动修正和自愈能力并自动运行。工厂生产线上的机器人将能够检测自己是否运行在最佳状态下。

工业互联网这个新兴领域的发展将有助于创建这样的基础设施。

## 工业互联网的演进催生第四次工业革命

“物联网”一词在过去 20 年里赢得了太多炒作和轰动效应。数量如此之大, 以致于对许多人来说, “IoT”在脑海里浮现的图像就是智能冰箱通知用户, 牛奶不够喝了。然后可穿戴设备在接收到冰箱发出的“牛奶不足”通知的同时, 还能显示文本, 跟踪用户心率和报时。这些都是值得拥有的便利技术。

但越来越多的人对 IoT 的意义有更深广的理解。过去两年里行业已将 IoT 划分为两大板块: 一种是属于消费类 IoT 便利技术 (例如漂亮的可穿戴设备和智能冰箱), 另一种是工业互联网 (IIoT), 一个解决和实现真正重大的实质性社会进步的新兴市场机遇。

在德国, IIoT 的制造领域被视为关键市场, 政府正在积极促进 IIoT 的发展。在名为 Industry 4.0 的德国政府战略推动下, 企业正在结合处理技术、传感器融合技术和连接技术, 开创用于信息 - 物理系统 (CPS) 的机器智能, 供工厂、医院和市政基础设施

使用。这将引发第四次工业革命 (图 3)。仅德国企业预期每年在 CPS 设备更新上投入 440 亿美元, 而以制造业为主的中国、台湾和印度, 也需要跟进才能保持竞争力。

CPS 设计采用的智能架构配备与 ADAS 使用的类似的融合传感器。目前最先进工厂中使用的基于融合传感器的智能控制单元能在产品穿过装配线时迅速发现产品中的瑕疵, 并清除故障产品。工厂还可以使用智能控制系统创建虚拟围护, 避免工作人员进入不安全区域。企业已让这些传感器与工厂中的机械设备联网, 在工作人员过于靠近设备的危险部件时, 能立即关闭机械设备。

目前智能传感器系统也能监测工厂电机和部件的磨损情况。传感器与工厂的控制中心和企业系统联网, 有助于企业执行和适时理想地调度设备维护和预先订购需要更换的部件。企业还可以调度工厂的停运时间, 一次性完成多次维修, 以提升工厂效率和生产力, 最终最大限度地提高盈利能力。

不过 Factory 4.0 的信息 - 物理系统的能力还不止于此。它能够将各种不同水平的人工智能带给已经智能化的系统, 让工厂设备具备自动修正和自

愈能力, 且能够自动运行。例如工厂生产线上的机器人将能够检测自己是否运行在最佳状态下。机器人将运行自我诊断, 判断部件是否有磨损, 甚至还可以重启或调整自己的电机性能, 以延迟系统失效。该信息可以联网到工厂的大型机系统, 以便订购新的部件, 同时加快其他机器人的工作速度, 让工厂的总体效率保持不变。

工业互联网市场还包括与智能工厂具有相同的任意连接概念的智能电网和智能交通运输, 但其规模更大, 把自动化和互联互通扩展到了电网 / 飞机、列车、汽车和航运。以特大企业通用电气为例, 其正在将智能化和联网系统推广到它服务的众多行业, 包括电网、交通运输、石油天然气、矿业和水务系统。例如在铁路交通运输中, 通用电气正在运用智能技术改造自己的机车以防范事故, 监测系统磨损情况以开展更准确、更有预防性和预测性的维护。同时通用电气也正在积极开发能与自己的机车联网的智能铁路基础设施。这样便于铁路运营方高效率地运行自己的线路, 相应地调度维护工作, 以提高客货运输效率, 再次最大限度地提高运营方的盈利能力。

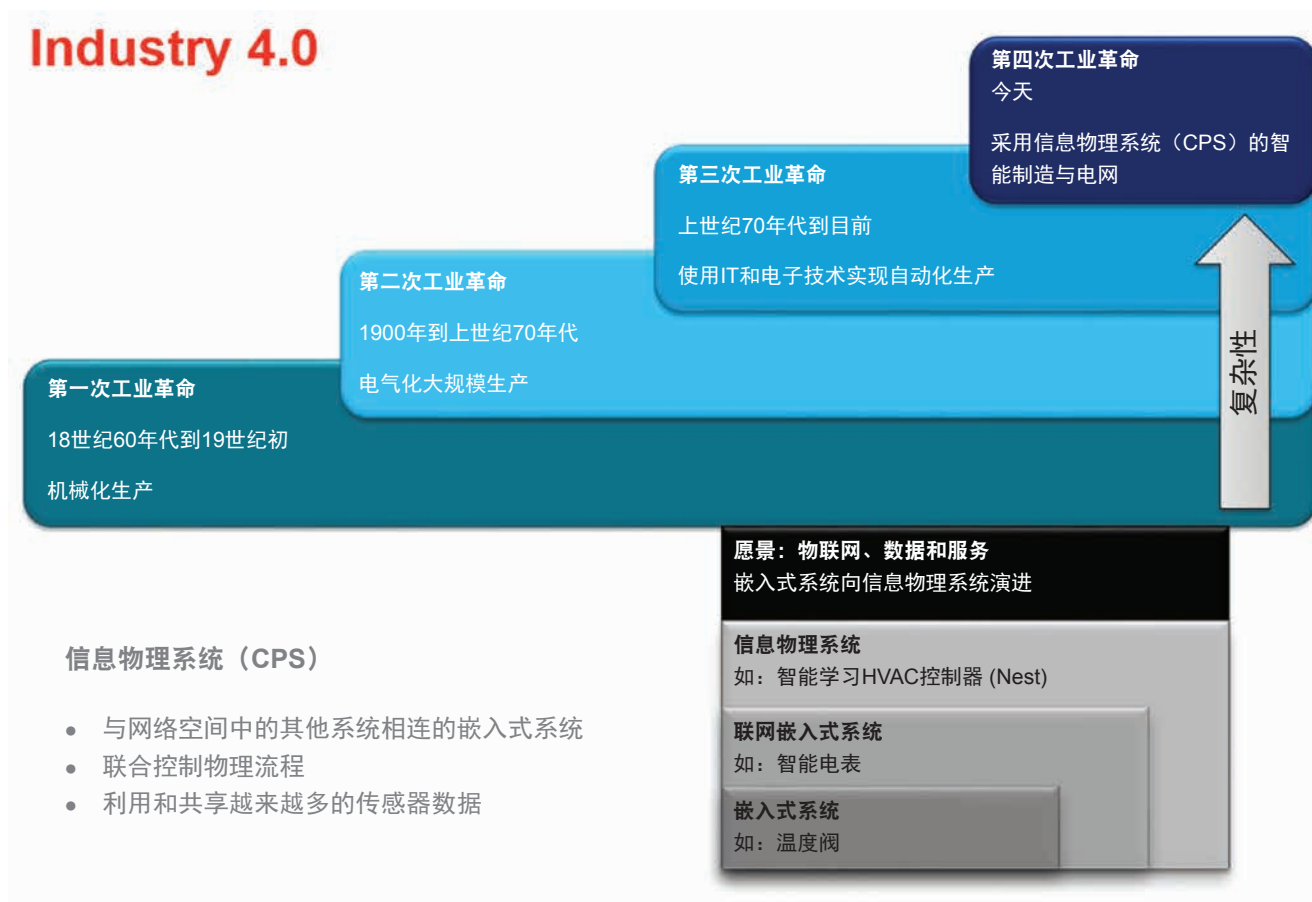


图3 - Industry 4.0 是从嵌入式系统向信息-物理系统迈进的一场变革，其凭借先进处理能力让智能制造、智能基础设施和智能城市变为现实。这很可能掀起世界第四次工业革命。

各种类型的这些智能基础设施技术现在正在集成到被称为智能城市的 IIoT 细分市场上，预计到 2020 年这一更为庞大的产业全球市值将达到 4,000 亿美元。在本期一篇投稿中您将了解到，从英国布里斯托目前正在开展的一个项目中可以一瞥未来城市面貌。这个项目正在把城市环卫和维护、交通和电网管理、应急服务与企业及个人通信整合在一起，以创建真正联网的智能化城市。为此这个“开发的布里斯托”项目正在大力运用最新开放式安全网络拓扑，让希望为智能城市开发解决方案的企业把自己的

网络连接到项目的主网络上。汉堡、芝加哥和东京等众多其他城市也正在积极发展智能城市。

随着网络流量在未来数年呈指数级增长，有线通信领域兴起的软件定义网络 (SDN) 和网络功能虚拟化 (NFV) 趋势，加上 5G 无线技术的问世，将成为大规模电子系统融合时代实现智能城市及其它工业物联网市场进一步发展的关键。

### 任意连接

为满足对更优质更经济网络拓扑的需求，经济高效地应对线上商务与

娱乐和众多新兴 IIoT 应用所需的数据业务的爆炸式增长，通信行业正着力于两种相关的网络拓扑：软件定义网络和网格功能虚拟化。

传统有线网络以相当死板的专有硬件为基础，可编程性和多用性有限。SDN 试图通过让决定数据发送目的地的顶层控制层功能与路由器和交换机等底层数据层功能（即实际转发数据到选定目的地的设备）去耦来提升网络管理灵活性。在控制层和数据层间插入软件可编程抽象层，操作人员得以在软件中配置新应用，优先考虑和优化数据在控制层中的交付

目的地，且在能根据不断变化的服务需求缩放的现有专有硬件上交付数据（或是通过厂商无关硬件利用添加的NFV实现）。

NFV方法让企业能进一步优化数据层功能。通过在软件中虚拟化原本极为昂贵专用硬件（路由器和交换机）的功能，NFV让在较廉价且较为通用的硬件上（个人计算机和商业数据中心）运行软件衍生的虚拟化功能成为可能。NFV让网络硬件资源能低成本扩展，同时在加入SDN后，能随世界各地的流量负荷增减按需缩放。

相应地，支持云业务和存储需求的数据中心也需要大规模扩展，以容纳5G无线网络和SDN/NFV无线拓扑带来的惊人流量。当今的数据中心正在努力满足流量需求，但它们的功耗也在呈指数级攀升。数据中心目前消耗的电力占世界总电量的3%，同时排放20亿吨二氧化碳。如此巨大的耗电量让数据中心每年支付的电费超过600亿美元。鉴于数据中心流量预计到2017年年增长7.7ZB，难怪数据中心运维人员会寻求的新的硬件架构，在控制功耗上涨的情况下提升性能。

似不要求安全的系统也是如此。

### 赛灵思锐意推动客户创新

在过去三十年里，赛灵思的客户已成为所有这些市场的领导者和关键创新者。在每一代视觉/视频、ADAS、工业以及有线和无线通信细分市场上赛灵思扮演者越来越重要的角色，如今赛灵思客户将赛灵思All Programmable FPGA、SoC和3D IC放在他们正在为这些新兴细分市场开发的更智能技术的核心位置。

**预计到2020年,无线行业的无线网络将连接世界各地500多亿台设备。在相对于4G的众多优势中,5G有望将最终数据率提升10至100倍,同时降低下载时延达5倍。**

在无线通信前沿，5G有望达到新的数据率水平，不仅为手机用户带来更快的数据下载和视频流，还能提供更高带宽，促进IIoT和智能城市应用的融合。预计到2020年无线行业的无线网络将连接世界各地500多亿台设备。在相对于4G的众多优势中，5G有望将最终用户数据率提升10至100倍，同时降低下载时延达5倍。此外带宽增长还能够让更多个人和企业用上云服务和云存储。更多企业将能够创建覆盖世界各地新客户的虚拟存储，同时消费者也能够随时随地存储和访问数据。

### 无处不在的安全

随着来自所有这些新兴智能市场的系统走向融合，实现大规模互联和功能交织，对于不法分子会有更多切入点，从而给更多基础设施和个人带来更大伤害和不利影响。正在积极把这些融合智能技术推向市场的企业意识到确保他们产品中所有接入点的安全性的严肃性。黑客使用价值100美元的消费类IoT设备攻破智能核反应堆的后门是一个严重的问题。因此融合网络中所有接入点的安全性将成为最优先考虑的问题，即便是对过去看

### 赛灵思的更智能视觉/视频方案

凭借其在空间探索、军用航空和安全系统领域的丰富经验，赛灵思长期以来一直运用先进的视觉视频平台以及IP和方法为该市场服务，帮助客户打造智能视频/视觉系统。

客户正在自己的视觉平台中使用赛灵思All Programmable FPGA和SoC开展实时分析，开发具有高速对象检测/识别功能的ADAS系统、帮助外科医生以高精度度引导机器人装置的、拥有近乎实时敌友识别与跟踪能力的无人机和侦察系统。



即将推出的 16nm Zynq<sup>®</sup> UltraScale+™ MPSoC 拥有七个板载内核：四核 ARM<sup>®</sup> Cortex<sup>®</sup>-A53、双核 Cortex-R5 和一个 Mali GPU 内核。借助该器件，赛灵思客户将能够开发出更智能、高集成度视频系统，推动 ADAS 向无人驾驶车辆发展，推动工业物联网向 Industry 4.0 工厂和智能城市基础设施发展。

## 从 ADAS 迈向无人驾驶车辆

在本世纪初，赛灵思就已经将汽车级产品纳入其 FPGA 产品组合。从那时起，汽车客户就让赛灵思产品在其通过电子产品丰富驾驶体验的努力中发挥越来越重要的作用。

在电子产品的支持下，汽车行业经历了一场伟大的质量、安全和可靠性变革。数十年来，汽车电子主要由连接车灯和收音机到电池和交流发电机的线束组成。随后到本世纪初，OEM 厂商开始使用电子控制单元来取代极不可靠的机械作动器。自那时起，每年 OEM 厂商都会为自己的车辆产品线添加更先进的电子产品。而且，相当程度由于赛灵思 All Programmable 器件的广泛使用，把这些创新带给消费者的开发周期在缩短。赛灵思器件曾经通过信息娱乐系统第一次登上汽车，但现在它们是 ADAS 不可或缺的组成部分。

如今赛灵思 Zynq-7000 All Programmable SoC 正在迅速地成为高级 ADAS 系统的事实平台提供方。奥迪、梅赛德斯奔驰、宝马、福特、克莱斯勒、丰田、马自达、尼桑、丰田、阿库拉和大众均属于在自己的 ADAS 系统中使用 Zynq SoC 或其他赛灵思 All Programmable 器件的 OEM

厂商之列。Zynq SoC 发挥着多摄像头多功能驾驶员辅助平台、高分辨率视频与图形平台、车载网络和连接平台以及图像处理与识别平台的作用。客户将用于自己设计的最复杂、计算强度最高的功能的算法实现在 Zynq SoC 的逻辑部分，并把板载 ARM 处理系统用于串行处理。

拥有七个处理器的赛灵思最新 Zynq Ultrascale+ MPSoC 旨在进一步促进创新，推动 OEM 厂商向半无人驾驶和全无人驾驶车辆发展。由于在同一器件上集成了 64 位应用处理器、实时处理器、图形处理器、片上存储器和 FPGA 逻辑，OEM 厂商可以开发出含 V2V 通信在内的更尖端的融合系统。此外，IIoT 智能基础设施和智能城市还可利用同样的 Zynq MPSoC 平台实现 V2X。内在的可编程性让 V2V 和 V2I 网络能够随标准的演进以及路上无人驾驶车辆的增多而扩展。

## 实现工业物联网 (IIoT) 使用的信息物理系统

过去二十年来工业市场客户使用赛灵思器件在工厂效率和安全性方面已经取得了明显的进步。如今，IIoT 所有主要细分市场的客户都在利用赛灵思 All Programmable FPGA 和 SoC 构建具备传感器融合、智能运动/电机控制和更智能更快速企业级连接功能的、且符合保密性和安全性标准的智能平台。这些 All Programmable 平台也是由众多智能风机组成的智能风电场的基础技术，每台风机因此都能够适应不断变化的天气条件，实现最大效率。这些风机与控制系统和企业级系统连接，由控制系统和企业级系

统监测磨损情况，并安排预防性维护，避免整个系统发生故障。

随着 UltraScale™ 和 UltraScale+ 的容量、功能及处理能力的提升，赛灵思 IIoT 客户将能够推动这些智能平台进一步发展，使其具备更高的智能化，从而满足新一代信息物理系统需求。比如使用 Zynq MPSoC 的七个处理器，客户可将更多传感器和电机/运动控制功能集成到单个器件中，实现用其他 ASSP+FPGA 配置无法企及的实时响应。Zynq MPSoC 的片上处理和逻辑将提供更出色的自我监测和诊断功能。当设备状态改变时或需求增减时，设备可采用自愈算法或部分重配置功能来优化性能。另外，Zynq Ultrascale+ MPSoC 还能与基于 Zynq SoC 的系统良好协同工作。

在智能城市应用中，企业可在智能城市监控网边缘网使用基于 Zynq SoC 的智能传感器系统来增强摄像头分辨率，并开展对象检测和实时威胁分析。然后，企业可以使用 Zynq Ultrascale+ MPSoC 来同步从每个基于 Zynq SoC 的智能传感器接收到的数据，一旦发现有威胁、异常行为、事故或拥塞情况，就通报给交通管理部门或有关部门。

除了构成信息 - 物理系统的核心，在工厂中 Zynq Ultrascale+ MPSoC 也起着类似的作用，可作为由基于 Zynq-SoC 的电机控制系统、运动控制系统以及融合工厂生产线质量安全系统组成的工厂网络的宏控制器。企业可运用七个处理器协调从 Zynq SoC 控制系统接收的实时响应和分析任务。同时可以开展元数据分析并通过专有网络（完全符合安全性和可靠性标准）及新兴高速 5G 无线网络

# 在 SDN/NFV 领域，赛灵思 All Programmable 技术可帮助客户打造出具备侵入检测、负荷均衡和流量管理等功能的设备。赛灵思支持数据流的有效管理和路由、各种通信协议并可按需提供可编程数据层加速功能。

和 SDN/NFV 有线网络将分析结果通告给整个企业。

## 赛灵思的 5G、SDN/NFV 和云计算方案

自上个世纪 80 年代以来，赛灵思器件在每一代无线和有线网络基础设施中都发挥着重要的作用。随着每一个摩尔定律周期，赛灵思器件的容量和功能不断增长，以致于今天的 All Programmable 器件让设计团队能够打造出具有前所未有高系统可编程性和差异化的新型网络系统。

借助其 7 系列、20nm Ultra-Scale 和即将推出的 16nm UltraScale+ 器件，赛灵思使其客户今天能够将具有最高可编程功能的 5G 和 SDN/NFV 基础设施快速投放市场。赛灵思 All Programmable FPGA、SoC 和 3D IC 是满足 5G 和 SDN/NFV 提出的不断演进的软硬件要求的最灵活的平台。此外，在云计算业务将随 5G 和 SDN/

NFV 网络发展迅速扩张的大势下，赛灵思器件还是满足处于云计算业务核心的数据中心系统的单位功耗性能的理想可编程解决方案。

在 SDN/NFV 领域中，赛灵思 All Programmable 技术可帮助客户打造出具有侵入检测、负荷均衡和流量管理等功能的设备。赛灵思支持数据流的有效管理与路由，各种通信协议，并可按需提供可编程数据层加速功能。

在 5G 应用中，客户正在运用赛灵思 All Programmable 器件开发分布式小型蜂窝、带有数百个天线的大规模 MIMO 系统和通过 Cloud-RAN 开展集中化基带处理的平台。

对处于云计算中心地位的数据中心而言，赛灵思器件能帮助客户企业开发出具有最大可编程性和极高单位功耗性能的设备。这些设备能够针对不断变化的处理能力、时延和电源要求而精心优化，满足机器学习、视

频转码、图像和语音识别、大数据分析、Cloud-RAN 以及数据中心互联等各种应用需求。

## 赛灵思智能安全方案

有如此多令人振奋的技术正在开发中并必将达到全新的先进度、自动化和智能化水平，同时还要互联互通，安全措施必须要跟上。

赛灵思在军用 / 航空和安全领域拥有数十年的经验，通过防篡改技术提供物理安全，保护实现在赛灵思器件上的 IP 和敏感数据免遭物理攻击。赛灵思还通过容错设计提供应用安全。这种设计技术可确保设计能够防止错误扩散。使用赛灵思器件和 IP 核，客户能实现多种类型的容错技术，包括实时系统监控、模块化冗余、看门狗报警、按安全等级或分类隔离、隔离测试逻辑以便安全移除。

## 头脑越聪明，创新越多

为在如此众多的市场中让所有这些蓄势待发的创新更快地瓜熟蒂落，赛灵思近期推出了用于简化编程工作的 SDx™ 开发环境。这款新产品将赛灵思器件的性能及可编程性优势带给比以往广阔得多的用户群。SDx 环境通过高级语言提供设计入门，让软件工程师和系统架构师能使用自己习惯使用的语言为赛灵思器件编程（见《赛灵思中国通讯》第 56 期封面报道）。世界上的软件工程师数量远超硬件工程师数量，比例达到 10 : 1。

为推动 SDN 进一步创新，赛灵思推出最新 SDNet™ 软件定义环境，让系统工程师能够运用高级语言构建可编程数据层解决方案，以满足网络的独特性能和时延要求。为推动 NFV

和其他网络架构及拓扑进一步创新，开发人员可借助赛灵思的 SDAccel™ 环境，让系统工程师和软件工程师使用 C、C++ 和 OpenCL™ 在赛灵思 FPGA 中为逻辑编程，以提升虚拟化网络功能 (VNF) 的性能。

为推动需要嵌入式处理的视频 / 视觉、ADAS/ 无人驾驶车辆和 IIoT 应用进一步创新，软件和系统工程师可利用赛灵思 SDSoC™ 开发环境并采用 C++ 语言创建完整的系统。这

样他们就能够让该环境的编译器把速度较慢的功能实现在 Zynq SoC 的逻辑块中或 MPSoC 的逻辑块中，达到优化系统性能的目的。这种，架构师和软件工程师可以创建出用双芯片平台无法企及的具有卓越性能和功能的系统。

在我们迅速接近视频 / 视觉、ADAS/ 无人驾驶车辆、IIoT、5G 无线、SDN/NFV 和云计算融合的里程碑之际，我们肯定会看到一系列为我

们的社会带来重大变革，而且很可能是有益改变的创新。今天我们正处在所有这些创新的初期阶段，赛灵思已准备好帮助客户，把卓越的产品推向市场。在本期《赛灵思中国通讯》特刊的后续篇幅中，读者将有机会洞窥赛灵思客户正在为这些新兴市场开发的众多令人振奋的创新技术的一角，一瞥他们今天如何运用赛灵思的 All Programmable 解决方案让这些创新很快变为我们所有人的现实。🌈

## Xilinx 宣布投片业界首款 All Programmable 多处理器 SoC 采用 TSMC 16nm FF+ 工艺并瞄准嵌入式视觉、ADAS、I-IoT 以及 5G 系统开发

将提升系统级性能功耗比提升 5 倍，支持任意连接，并提供新一代高度灵活的标准平台所需要的安全性及保密性

2015 年 7 月 3 日，中国北京 - All Programmable 技术和器件的全球领先企业赛灵思公司 (Xilinx, Inc. (NASDAQ:XLNX)) 今天宣布开始投片业界首款全可编程 (All Programmable) 多处理器 SoC (MPSoC)，采用台积电公司 (TSMC) 16nm FF+ 工艺，并面向 ADAS、无人驾驶汽车、工业物联网 (I-IoT) 和 5G 无线系统等嵌入式视觉系统开发。All Programmable Zynq® UltraScale+™ MPSoC 将系统级性能功耗比提升了 5 倍、支持任意连接，并提供新一代系统所需要的安全性和保密性。

作为全球首款异构多处理 SoC，该新型器件集成了 7 个用户可编程处理器，其中包括一个四核 64 位 ARM® Cortex™-A53 应用处理器、一个双核 32 位 ARM® Cortex™-R5 实时处理和一个 ARM® Mali™-400 图形处理器。Zynq UltraScale+ MPSoC 系列还包括诸多集成式外设，并具备安全和保密功能，以及高级电源管理功能。结合最近推出的 SDSoC™ 开发环境，该最新系列器件既能支持软件定义的系统，还可支持硬件优化的系统。

赛灵思公司执行副总裁兼可编程产品部总经理 Victor Peng 指出：“面向新一代智能互联应用，Zynq UltraScale+ MPSoC 提供了完美的软件智能、硬件优化、安全性与保密性、任意连接等功能组合。Zynq UltraScale+ MPSoC 经过量身定制，致力于满足 ADAS、无人驾驶汽车、工业物联网和 5G 无线系统等新一代嵌入式视觉系统开发的独特需求，并可运用于众多其他应用。”

### Zynq UltraScale+ MPSoC 开发环境

赛灵思还为 UltraScale+ 产品组合配套提供了极为全面的早期试用工具集，其中包括可作为系统和软件工程师备选方案，能够实现完整软件定义开发的 SDSoC 开发环境。此外，最新版 Vivado 设计套件能帮助硬件设计人员快速打造最佳 Zynq MPSoC 平台。赛灵思还提供源码，以支持 Linux、FreeRTOS、OpenAMP、Yocto、QEMU 以及 XEN 等开源社区。最后，赛灵思还配套提供了赛灵思的软件开发套件 (SDK)、PetaLinux 工具、运行时间驱动程序以及各种库，有助于简化应用的开发。



智能城市领域的出色表现

# 世界首座基于 Xilinx FPGA 的可编程城市 问世

作者: Bijan R. Rofoee

高级网络工程师

Bristol Is Open

[Bijan.Rofoee@bristol.ac.uk](mailto:Bijan.Rofoee@bristol.ac.uk)

Mayur Channegowda

SDN首席科学家

Zeetta Networks

[www.zeetta.com](http://www.zeetta.com)

Shuping Peng

研究员

布里斯托大学

虚拟化首席科学家

Zeetta Networks

George Zervas

高性能网络教授

布里斯托大学

Dimitra Simeonidou

Bristol Is Open 的首席技术官

高性能网络教授

布里斯托大学



## 英国布里斯托成为智能城市技术试点城市。Bristol Is Open 项目是物联网发展过程中的生活实验室。

**到** 2050 年，世界人口将达到 90 亿，城市居民占 75%。英国已经有 80% 左右的人口居住在城市地区，因此英国需要确保城市适应数字时代要求。智能城市有助于打造出高效、可持续发展、更清洁的环境、更高品质的生活以及繁荣昌盛的经济。

为此，布里斯托大学和布里斯托市共同创办的 [Bristol Is Open](#) (BIO) 合资企业与行业、大学、当地社区及当地和国家政府部门开展通力协作。Bristol Is Open ([www.bristolisopen.com](http://www.bristolisopen.com)) 正在推动这座拥有 50 万人口的英格兰西南部城市成为世界第一座可编程城市。

布里斯托将成为生机勃勃的全新工业物联网（即智能城市基础设施组成部分）市场的开放式测试场。Bristol Is Open 项目在很多开发及部署领域采用赛灵思 All Programmable FPGA 器件。

### 智能城市的愿景

智能城市利用信息和通信网络以及互联网技术来解决城市难题，旨在大幅改善宜居性和资源可持续性。预测显示<sup>[1]</sup>，全球智能城市产业到 2020 年市值将超过 4000 亿美元，预计英国至少占 10% 的份额，即 400 亿美元。英国政府对智能城市的投资包

括：为英国研究委员会资助的智能城市研究活动投资的 1.5 亿美元；五年内为技术战略委员会在伦敦建立的全新未来城市发展中心指拨的 7900 万美元；今年年初为未来城市示范项目投资的 5200 万美元；以及近期为物联网 (IoT) 研究与示范项目投资的 6300 万美元。

Bristol Is Open 正在示范构建一个城市规模研究与创新的测试平台。目标是推动未来智能城市的数字创新：使开放式可编程社区成为 21 世纪后五十年的标准。

BIO 测试平台配备业界领先的可编程网络技术，并采用名为 NetOS 的全市范围操作系统，允许智能城市应用与城市基础设施进行交互，以针对网络功能进行编程、虚拟化和量身定制，进而获得最佳性能。赛灵思器件可作为高性能通用平台，用在城市中包括有线、无线和 IoT 网络基础设施以及仿真设施在内的众多节点上。

下面我们来了解一下这种新型城市社区，先看看可编程城市的整体愿景。然后，我们将深入了解布里斯托项目如何利用赛灵思器件构建城市“白盒子”并提供各种网络功能。

### 未来智能城市

未来十年全世界将产生 100 多座 100 万人口的城市<sup>[2]</sup>，同时，在这十

年里，人口向城市的不断涌入将使城市居民数量每年增长 6000 万。<sup>[2]</sup>因此到 2050 年，世界上将有超过 70% 的人口居住在城市里。另外，考虑到城市只占世界 2% 的陆地面积，却消耗约四分之三的资源，因此当前的城市化会带来诸多经济和社会挑战，并对城市基础设施形成压力。不断发展的城市将不得不对各种挑战，以保持经济发展、环境可持续性以及社会弹性。

解决方案是让城市更智能。尽管智能城市没有绝对性定义，但智能城市的运行却有几个被广泛认可的关键方面。<sup>[3]</sup>它们包括：

- 以市民为中心的服务交付，包括优先考虑市民需求。
- 结果 / 绩效的透明度，使市民可以对每个机构和每个区域的绩效进行对比和评判。
- 智能物理基础设施，使服务提供商能够高效管理服务交付、数据收集和数据分析。
- 一个数字安全的开放式现代化软件基础设施，可让市民在需要时访问他们所需的信息。

智能城市的技术驱动因素灵感来源于物联网；Gartner 数据<sup>[4]</sup>显示，到 2020 年物联网设备的安装数量将增长到 260 亿台。相比之下 2009 年的安装数量为 9 亿台，总数实现了将近 30 倍的增长，技术和运营营收超过 3000 亿美元。智能城市大规模部署 IoT 技术，不仅可使从传感器和设备采集的数据出现在生态系统中，而且还可促进对数据的分析并将命令反馈至控制



城市功能的执行设备中。

从感应和分析角度来看，信息可回送到城市基础设施的执行设备中，以动态控制运行状况。在这种方式下可以：利用智能交通设施实现无人驾驶汽车；利用智能照明技术获得更高的能效；针对不同时间（白天和季节性变化）管理网络资源；根据事件调动资源，例如体育赛事需要高质量广播及新闻报道；以及有效处理紧急情况（城市疏散）。

### 可编程城市与智能城市

智能城市意在通过探索网络、IT 和云技术，以更经济有效方式改善和加强为市民提供的公共和私有服务。为达此目标，智能城市需要大量使用从市民、环境、汽车以及城市中一切事物中收集到的数据。所提供的数据越多，对城市运行的分析就越准确，从而可以设计并推出智能城市服务。

就网络基础设施而言，进行整个城市数据的检索和处理意味着需要收集、聚合大量传感器数据并传送到计算设施（数据中心）中进行存储和可能的处理。应用情景和类型的多样化就智能城市中的网络和计算基础设施要求方面提出了重大挑战。城市中原有的信息与通信技术（ICT）基础设施会成为智能城市运行的主要瓶颈，因为它们不具备所需的容量、灵活性和扩展性，因而无法保证高资源要求的新兴智能城市技术具备足够扩展性以满足未来需求。

可编程网络技术提供的独特功能可提高智能城市运行性能。这些技术采用开放的软件和硬件平台，用户可针对不同用例要求对平台进行编程以

量身定制网络功能。改善网络中的控制、监控和资源分配是部署可编程网络的明显优势。更为重要的是，可编程技术有助于网络与 IT 设施的集成，提高应用感知。

软件定义网络（SDN）是可编程网络的主要支持因素之一。SDN 的基础在于将基础设施控制与数据层进行去耦，这样不仅可显著简化网络管理和应用开发，同时还允许在网络中部署用于实现网络功能的通用硬件。

基于 SDN 的简化可扩展网络管理还可为网络虚拟化提供极大的帮助。网络虚拟化本质上可帮助相互隔离的多个用户通过共享物理资源进行工作，从而可减少安装附加物理硬件的需求。网络功能虚拟化（NFV）是比较新的虚拟化创新技术，可通过软件实现商业硬件的网络功能。防火墙、深度数据包检查、负载平衡等网络功能以可插拔软件包的形式在通用机器上部署，从而能够以特别低的成本加速网络服务部署。

除了软件驱动网络以外，硬件和基础设施的可编程性也将提高，进而超越固定功能硬件数据层的范畴。向数据层添加高级可编程性以及更高级的功能性，并通过标准软件 API 进行访问，这样能够更加智能和高效地管理网络资源，以加快创新速度。

### BRISTOL IS OPEN: 愿景与架构

2013 年启动的 Bristol Is Open 项目不仅得到了当地、国家以及欧洲各界政府的资助，而且还得了私营经济的资助。BIO 已经交付了有助于智能城市和物联网发展的研发举措。

BIO 的目标是成为生活实验

室——实现城市数字创新的研发实验基地。它提供一个用于为信息与通信基础设施开发和测试全新解决方案的多租户管理平台，因此可形成一个核心 ICT 实现平台，充分满足未来城市开发日程的需求。在基础设施层面，BIO 包含五个与众不同的 SDN 基础设施，如图 1 所示：

- 作为光电网络白盒的活动节点：使用 FPGA 可编程平台和异构光学 L2/3 网络基础设施
- 异构无线基础设施：包含 Wi-Fi、LTE、LTE-A 和 60GHz 毫米波技术
- IoT 传感器网络基础设施
- 网络仿真器：包含一个服务器群和一个 FPGA-SoC 网络处理器群
- Blue Crystal 高性能计算（HPC）设备

城域网上的基础设施提供可支持多 Tb/s 数据流的动态光学开关、多速率 L2 开关（1 至 100GbE）以及 L3 路由。城域网还配备可编程硬件平台和高性能服务器，不仅可实现对基础设施的开放式访问，而且还可创建全新的软硬件解决方案并对其进行实验。基础设施的有线部分还能够与布里斯托的 Blue Crystal HPC 设施连接，支持高级云基础设施实验。

网络接入基础设施包括叠加、无缝的无线连接解决方案（宏蜂窝和小蜂窝无线电技术），其采用蜂窝与 Wi-Fi 两种技术的组合，并具备毫米波回程以及到光学网络的直接连接。这套设施还支持针对最新 5G 和更高级



接入技术（例如具有波束追踪功能的毫米波接入解决方案）的实验平台，以及大规模 MIMO 这样的新功能，以实现 2GHz 频带的超高密度网络。

此外，BIO 还可为该区域内额外安装的传感器节点提供针对基础设施（例如路灯柱）的优先访问，并由适当的数据聚合器、计算和存储资源提供支持。这些资源可以有选择性地直接连入有线和无线网络。BIO 还安装了低功耗无线传感器网络。该网络将为基于物联网的研究提供支持，采用初始传感器实现环境监控（温度、空气质量、污染等级、照明、噪声和湿度）和智能路灯。

BIO 还将实现通过合适的安全接口访问城市中已经安装的、位于任何地方的物联网设备，包括停车传感器、交通信号灯、交通流量传感器、安全监控摄像机以及公共车辆传感器。小型传感器（包括自愿参与者的智能手机和 GPS 设备）将提供关于城市生活的诸多方面的信息，包括能源、空气质量和交通流量等。生成的所有数据将做匿名处理，并通过“开放数据”门户向公众提供。

整个平台使用 SDN 控制原理，因此实验人员和最终用户可对其进行全面编程。BIO 实验网络是世界上第一个此类网络，它将开启令人激动的新机遇，引领未来通信技术及云网络软硬件开发的潮流。

### 用于城市基础设施的软件定义网络

最近几年，通信行业基于 SDN 概念的创新解决方案层出不穷，将 IT 技术进步带到了以硬件为主导的传统电信行业。通过 SDN 对控制和数据进

行去耦，不仅可实现创新的网络控制方法，同时还可依赖在所有网络元素中都很普遍的基本数据转发操作。该方案允许集成新颖的架构概念，例如将以信息为中心的网络 (ICN) 集成到这种基于软件的网络中。此外，SDN 还能促进物理组件成本的降低并使更多运营功能在软件中完成，从而可对 ICT 设备最底层的智能基础设施进行持续投资。

SDN 现在正在从 ICT 基础设施延伸至物联网平台，这样就有可能对计

算和通信基础设施进行完整的适应性调整，以利用感应与真实信息推动网络操作。反过来，可利用网络基础设施及时地向应用和服务提供有意义的传感器信息。对于 BIO 项目，我们的愿景是通过整个系统各层的可编程性与自适应性最终实现我们称之为“生活网络”的理念：在这样的网络中，互联网和物（设备）能够真正融合到能够进行一致性管理与操作的计算和通信环境中。

在整个城市范围内演示基于 SDN

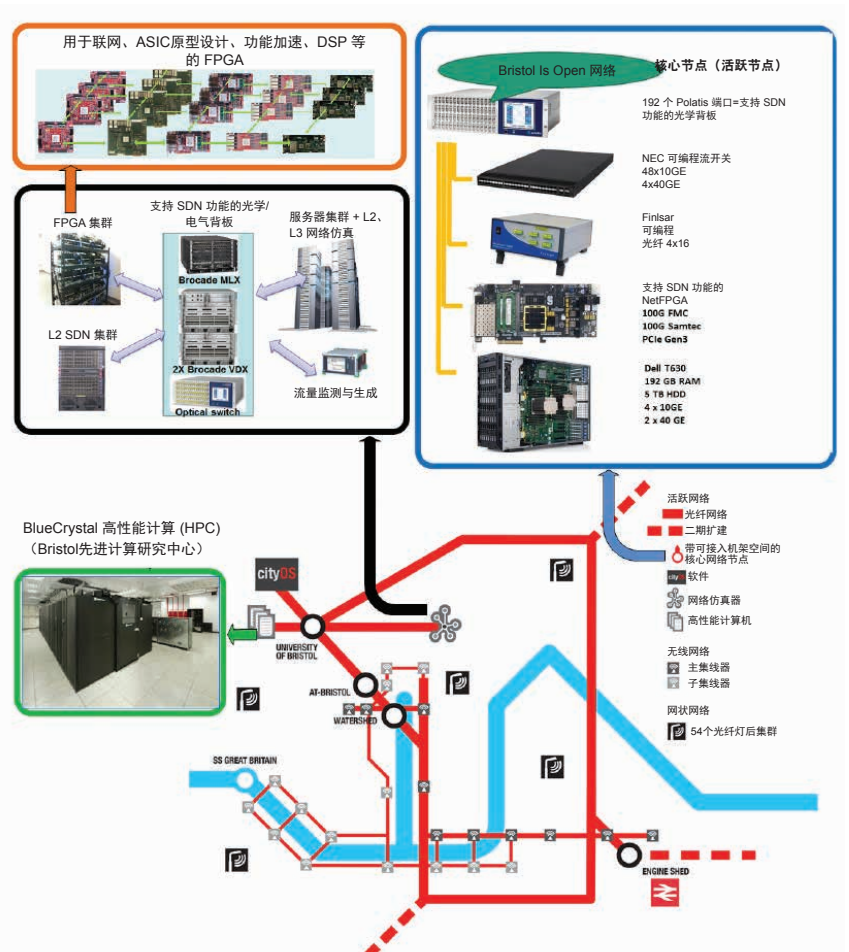


图 1 – Bristol Is Open 光纤网络将活动核心节点放在城市中的四个位置。HPC 设施和仿真通过网络核心访问。无线技术(802.11ac、802.11ad、LTE、LTE-A)由中心展开。

的平台非常重要。未来互联网和 5G 技术会出现在 BIO 测试平台中，特别是使用目前及当代（即 Wi-Fi、LTE 和毫米波）无线电接入技术的 SDN 光主干网基础设施中。令人兴奋的媒体与企业社区贯穿于整个 BIO 测试平台（图 1 中的 engine shed 是创业孵化器的主页，而 watershed 则是布里斯托媒体社区的主页）。这些社区的成员在用例研究中也作为很好的早期用户群体。他们参与 BIO 项目，让我们可以获取城市社区的见解和要求。

有线、无线和 RF 网络网络都与技术无关，根据开放式网络理念，使用可实现网络功能虚拟化的 SDN 技术构建而成。名为 NetOS 的城市操作系统（图 2）也基于 SDN 原理，将为智能城市提供所需的可编程性与自适应性。NetOS 是一种包罗万象的分布式操作系统，跨越终端（甚至更高级的

设备，例如移动机器人和无人机）、网络元素以及云 / IT 资源。这种城域操作系统将基于分布式软件架构应对底层资源的异构问题。NetOS 将作为逻辑实体，以分层方式用分布式软件来实现，从而可在基础设施上映射各种服务。

### 城市基础设施的虚拟化

需要在城市基础设施的顶层支持高度多样化的大量城市应用。例如，有些应用需要大容量和极低的时延。其他应用则消耗非常少的带宽，但需要支持数量非常多的端点。另外，还有些应用对弹性或安全性以及隐私等有很严格的要求。

构建专用基础设施来支持具体的应用，这种方式既不可行也不经济。因此，城市基础设施运营商面临的重要挑战之一就是提供定制的专用网络

解决方案代替通用 ICT 基础设施。当与 SDN 控制平台集成时，虚拟化就是应对这一挑战的关键技术环节。虚拟化能创建多个共存且隔离的虚拟基础设施；它们能够并行运行，充分满足租户的应用要求。

通过全面分析每个租户在社会政策、安全性和资源方面的要求，就可采用某个网络拓扑组建虚拟基础设施，指明虚拟节点与虚拟链路的互联方式。在虚拟节点及链路中指定性能参数（例如时延）和资源要求（例如网络带宽，计算 CPU/ 存储器）。一般通过对物理资源进行分区和聚合来获得虚拟资源（节点和链路）。因此，可编程硬件基础设施对于支持组成具有高精细粒度和高可扩展性的虚拟基础设施而言非常重要。

在城市环境中，在城市基础设施中部署的设备是异构型的，包括无线



图 2 – NetoOS 是一个基于 SDN 的平台，构建于多层结构之中，可与网络、IT 和物联网技术进行通信。该平台原生支持数据收集、虚拟化、信息建模并可连接第三方应用。

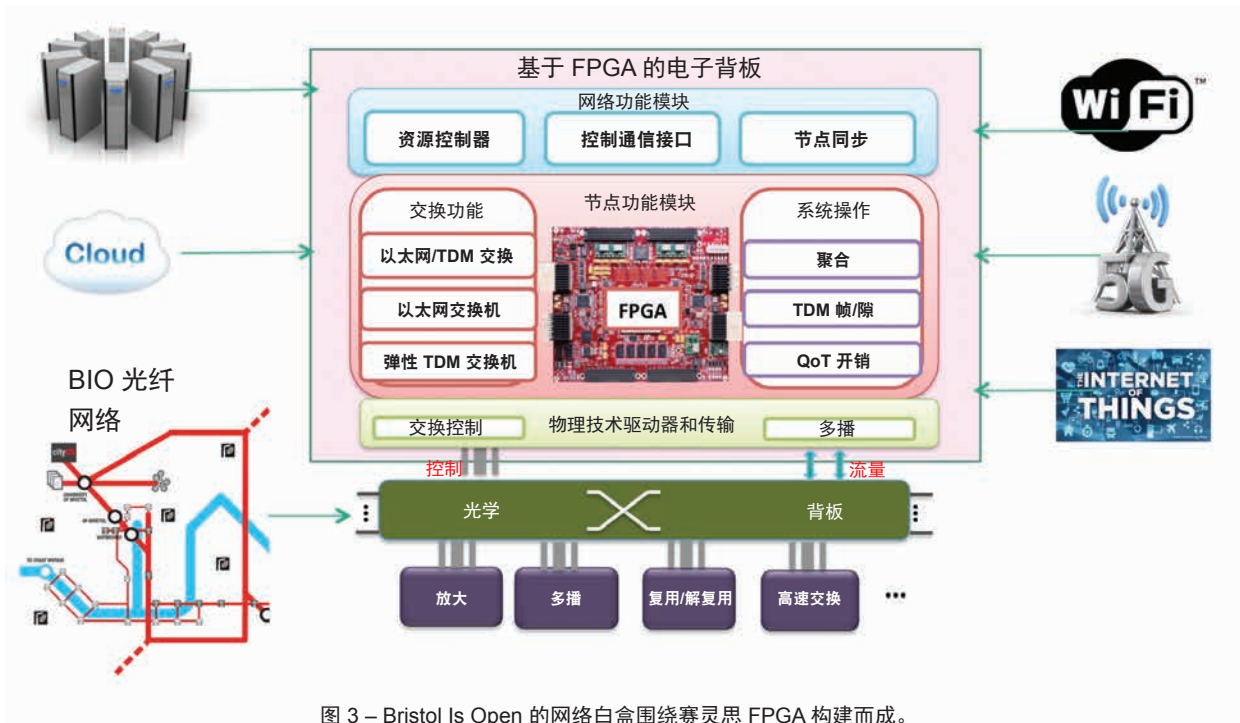


图 3 - Bristol Is Open 的网络白盒围绕赛灵思 FPGA 构建而成。

/ 移动、有线、光网络、数据中心 / 云以及功能性家用电器。要实现无缝业务提供，就必须在多技术、多领域城市基础设施上支持采用虚拟网络功能强化的聚合虚拟基础设施，这样每个租户才能获得城市基础设施中其应有的一部分。不过，目前对这些技术领域的控制与管理都是孤立的。BIO 中具有 SDN 功能的 NetOS 提供一个逻辑集中化的控制平台，其可打通管理壁垒，将不同技术进行桥接。该操作系统可对异构城市设备进行抽象化，隐藏其复杂的技术细节，统一展示基础设施。

### 白盒技术展望

开放网络设备或网络白盒，使用非品牌通用模块化可编程硬件平台。这类设备不仅可加载定制操作系统，而且还可按需重新定义网络功能，不受特定厂商设备限制。网络处理器是

实现底层网络硬件可编程性的第一步，可充分利用通过软件 API 定义功能的便捷性。网络处理器是人们所熟知的硬件平台，不仅可提供类似于通用 CPU（具有更多硬件资源）的一般可编程特性，而且还可通过编程执行各种网络功能。基于处理器的架构的主要优势在于能够利用 C 语言等高级语言快速实现网络功能，这对于快速原型设计而言非常有必要。不过，网络处理器没有针对并行工作优化，其对于构建支持高数据速率传输的高性能数据层技术非常重要。

现场可编程门阵列 (FPGA) 是高性能通用处理平台，可利用从晶体管级到 IP 功能级的可编程性。因此，对于设计和原型设计必须具备高度灵活性及可编程性的网络技术而言，它们是非常受欢迎的平台。

我们正在 BIO 基础设施的多个点中使用已经演变成片上系统 (SoC) 的

赛灵思 FPGA，这些点包括：作为光电白盒的工作节点（见图 2）、仿真设施、无线 LTE-A 实验设备以及物联网平台。BIO 使用由现场可编程门阵列 (FPGA) 和光学（交换与处理等）部件构成的可编程、可定制网络白盒。这些盒子支持高容量数据处理与传输、功能可编程性与虚拟化，可通过 SDN 接口进行深度控制。图 3 是基于 FPGA 的平台；该平台不仅能够以可编程的方式容纳多种功能，而且还能够与可编程光电部件连接。<sup>[5]</sup>

FPGA 具备多种优势，包括：通过功能的可重编程实现硬件重用，升级更加简便，而且设计到部署的周期比专用标准产品 (ASSP) 更短。

网络白盒的光电部件采用一个光学背板，以便将一系列光电功能模块插入到诸如放大、多播、波长 / 光谱选择、信号添加 / 丢弃等光学功能中。重要的是，输入和输出链路要与



节点提供的所有功能去耦，以提高灵活性、效率和可扩展性，而且可在服务过程中实现无损重用，从而最大程度减少破坏性的部署周期。

### 基于 ZYNQ SOC 的仿真平台

为了扩展 BIO 设施的功能以对更大更现实的情景进行实验，我们在 BIO 中部署了一个网络仿真器。该平台能够实现网络仿真以及资源虚拟化和虚拟基础设施构成技术，以实施高级网络、云计算方面的研究。这个仿真平台还采用本地和远程实验室设施以及分布式研究基础设施（网络与计算）。图 4 展示了位于 Bristol Is Open 基础设施核心的多层、多平台仿真设施。

该仿真设施提供一系列功能，用以加强与 BIO 城市网络和其他远程互联实验室联合进行的网络研究：

**1. 节点与链路仿真：**该平台可仿真多种网络元素，例如有线和无线领域的路由器和交换机，以及具有各种

物理属性的互联链路。

**2. 协议仿真：**无论是集中式还是分布式，网络节点都要依靠协议进行通信。能够对网络技术进行精确建模的仿真设施允许用户或研究人员尝试不同通信协议并大规模研究其行为。

**3. 流量仿真：**根据仿真情景（无线网络、数据中心网络等）的不同，可以生成具有任意间隔和操作速度（从数 Mb/s 到数 Tb/s 不等）的流量模式，并应用于相应的仿真或物理网络。

**4. 拓扑结构仿真：**使用 BIO 仿真设施可得到目标节点与链路的任何拓扑结构。这样，用户就可以在部署和安装之前对真实网络结构上相应技术的各个方面进行全面检查。

与提供计算机主机仿真环境的其他设施不同，BIO 的独特之处在于包含了可编程硬件（FPGA、网络处理器），以及到多技术测试平台的动态灵活连接功能，以及丰富的专用连

接基础设施。可编程硬件和外部互联的使用让用户可以大规模精确仿真网络和计算技术的功能与性能，并用它们来综合具有代表性的复杂系统。凭借 FPGA 的并行处理能力和高速 I/O，BIO 可以大规模精确仿真当前的或实验的网络技术和拓扑结构，有线或无线均可。

网络仿真器使用大量高级网络和 IT 技术。FPGA 群、服务器群和 L2/L3 可编程网络设备是网络设施的主要构建块，使用户可以构建数据层和控制层中的各种网络技术（如虚拟化、SDN 和 NFV、资源/工作负载分配工具和算法等），并对其进行实验和使用。

仿真器通过 10、40 和 100Gbps 端口连接到 BIO 城市网络。仿真网络可以使用标准数据层协议（例如以太网、OTN 和 Infiniband）或定制的和专有的协议与其他网络域实现互联。

仿真器使用赛灵思的 ARM<sup>®</sup> Zynq<sup>®</sup>-7000 All Programmable SoC 平



图 4 – Bristol Is Open 中的仿真设施包括以 FPGA 和网络处理器为主要形式的可编程硬件。

台，该平台是一款单芯片的 FPGA 处理器件。算法加速是 Zynq SoC 的目标用例之一，也就是将用于资源分配、路径计算和负载均衡等的计算密集型任务交给基于 FPGA 的并行处理技术来执行。硬件辅助式网络功能虚拟化是我们在 BIO 中使用 Zynq SoC 平台的另一个实例，目的是运行性能要求较高的虚拟网络功能 (VNF)，例如深度数据包检测、服务控制与安全等。基于 Xen 的 ARM 内核虚拟化还有助于在相同 SoC 芯片上运行多个操作系统。这样，BIO 就可让多个操作人员

并可对并行硬件计算资源实现共享和/或专用访问，以提高性能。

### 实验即服务

城市运行方式日新月异。BIO 使用数字技术创建了一个开放的可编程城市，能为市民提供更多的方式来参与城市生活和促进城市运转。我们称之为“城市实验即服务”。开放的方式能指导我们的采购活动、数据管理以及我们所使用的软硬件。开放意味着 BIO 利益相关方能主动与其他城市、科技公司、高等学校和市民分享我们学到的知识。🌟

### 参考资料

1. <https://www.gov.uk/government/news/uk-set-to-lead-the-way-for-smart-cities>
2. 世界城市状况报告，2012/13, <http://www.unhabitat.org/pmss/listItemDetails.aspx?publicationID=3387>
3. [https://www.gov.uk/government/uploads/system/uploads/attachment\\_data/file/246019/bis-13-1209-smart-cities-background-paper-digital.pdf](https://www.gov.uk/government/uploads/system/uploads/attachment_data/file/246019/bis-13-1209-smart-cities-background-paper-digital.pdf)
4. <http://www.gartner.com/newsroom/id/2636073>
5. Bijan Rahimzadeh Rofoee, George Zervas, Yan Yan, Norberto Amaya 和 Dimitra Simeonidou, “All Programmable 与综合光网络：架构与实现”，《光通信与网络杂志》5, 1096-1110 (2013)

## OSVR 联盟选择 Xilinx 实现业界首款全面可升级的虚拟现实耳机

2015 年 8 月 20 日，中国北京 - 赛灵思今天宣布开源虚拟现实联盟 (Open-Source Virtual Reality Consortium) 选择其 All Programmable 产品实现业界首款全面可升级的虚拟现实耳机：开源虚拟现实 (OSVR) 黑客开发套件。这款开发套件为虚拟现实开发人员提供了一个完全模块化的平台，使他们能够在 OSVR 基础上创建自己的内容。该套件包括一个定位与头部跟踪设备、一个显示屏以及多个双透镜光学组件。

OSVR 联盟由高性能游戏软硬件和系统领域的全球领先提供商雷蛇 (Razer) 等公司联合组成，为虚拟现实输入设备、游戏和输出设立了一个开放式的标准，能提供最佳的虚拟现实体验。作为 OSVR 生态系统的一员，赛灵思提供的关键技术能加速虚拟现实平台开发，缩短生产时间，并支持包括 HDMI、Display Port 和 USB 在内的多种接口标准。

Razer 的 OSVR 业务开发高级总监 Lau Lee Yang 指出：“赛灵思的 FPGA 和 All Programmable SoC 提供多个定制选项，让黑客开发套件 (HDK) 成为了一款多功能且易于重新编程的通用工具。这样开发人员就能够对功能进行调整，比如针对计算机视觉处理新增多个传感器和算法。在不久的将来，黑客开发套件 (HDK) 还能够通过其内置硬件来处理光学失真校正等软件处理任务，而且也有望执行图像增强功能。”

赛灵思公司消费类细分市场总监 Steven Fong 指出：“我们很高兴能与 Razer 合作推出业界首款模块化虚拟现实耳机 OSVR 黑客开发套件。“赛灵思业界领先的 All Programmable 产品组合非常适合 OSVR 平台等应用，这种应用需要低密度可编程解决方案，能以较低成本为不同集成度、性能和功耗需求提供丰富的特性集。”

### 供货情况

OSVR 黑客开发套件现已开始针对部分开发商出货。更多信息和优先进入注册，敬请访问：<http://www.osvr.org/hardware.html>。

### 关于 OSVR

OSVR™ 软件平台旨在为虚拟现实输入设备、游戏和输出制定开放式标准，以打造最佳虚拟现实游戏体验。OSVR 框架在业界领先企业支持下将开发商和游戏玩家整合到统一平台上。即插即玩 (Plug in. Play Everything)。



# 5G 无线技术让您随时随地畅连无阻

作者: David Squires  
业务开发副总裁  
BEEcube, 国家仪器下属公司  
[david.squires@ni.com](mailto:david.squires@ni.com)

随着 5G 通信市场初现端倪, 无线设备制造商转向使用基于赛灵思 FPGA 的仿真系统。





正当无线运营商为提高盈利水平而争先恐后向消费者提供新业务、新设备，增加带宽和业务方案之际，基础设施企业也在竞相把构成新一代无线通信基础的 5G 设备投入实用。为将这种 5G 无线基础设施变为现实，近期被国家仪器收购的 BEEcube 公司利用灵思 FPGA 和 Zynq<sup>®</sup>-7000 All Programmable SoC 为 5G 设备制造商提供新的仿真系统和移动手持终端仿真器。BEE7 及 nanoBEE 正在提升设计团队的创新力和生产力，这样他们就能领先竞争对手把 5G 技术投放市场。

在详细介绍 BEEcube 基于 FPGA 的新款产品之前，我们先简单介绍一下无线通信行业对 5G 市场的愿景和该市场面临的技术挑战。

## 5G 愿景

构建无线行业未来的关键部分就是 5G 无线网络的大规模部署。5G 的首要目标旨在支持千倍容量增长，支撑至少 1000 亿台设备的连接需求，为单个用户提供 10Gbps 数据速率。此外，这些新网络能够在人、机器和设备之间提供大规模低时延连接。5G 网络有望从 2020 年开始部署。通过演进 LTE 和 Wi-Fi 等现有无线射频

接入技术，并结合全新技术可打造出 5G 无线接入技术。

虽然业内已设定 5G 的最终目标，但究竟如何实现这些目标是一个需要投入数十亿美元才能解决的问题。世界各地的众多企业都正在开发 5G 基础设施设备以及通过 5G 进行通信的大量先进设备。

5G 的详细技术方案虽然尚未确定，但有几件事是很明确的。未来的无线系统将利用通过大规模 MIMO 提供的空间分集，以及波束成形和相关技术，更高效地发挥现有带宽的作用。新分配的频谱将专门用于蜂窝通信，增大整体信道容量。通过载波聚合技术和新频带，将实现更高的用户吞吐量。城市蜂窝站点的密度将增大，同时功耗要求将降低，给定区域的频谱利用率也将显著提高。核心网络将增加云在数据和控制方面的用途。

由于 5G 标准尚未制定，如果企业能使用拥有海量 I/O 且计算功能强大的 FPGA 平台来演示正常运行的“无线”系统，将有助于让其思路和规格为国际标准组织所采用。这些平台能实现快速原型设计，便于在现场使用真实数据测试算法并连续运行数天或数周。

## 理想的无线基础设施原型设计平台

没有单个平台能够满足对 5G 原型设计的全部要求。但已经能够明确关键要求。

数据吞吐量提升 1,000 倍会给所有 5G 通信硬件带来压力。所有原型平台的容量密度必须能够扩展到数十 TBps，接入数百条光纤，并支持数十 GS 的 RF 模拟数据。

实现大规模 MIMO 中使用的众多天线与扇区上的高阶调制方案所需的

DSP 处理能力极高。需要数万个乘法累加器 (MAC) 单元。

随着新型通信系统日趋复杂，除最大型 OEM 厂商外，不是所有的 OEM 厂商都能保有其全部 IP。拥有包括大规模 MIMO、CPRI、多波形和 LTE-Advanced 协议栈在内的丰富 IP 集可以显著加速开发进程（见侧边栏）。

全球各地的运营商都在努力把尽量多的处理推送到云端。这一努力可充分利用数据中心的规模效益，而且通过这样做，可以降低每次调用的处理成本。高效连接至云端需要 10GE、40GE 或 PCIe<sup>®</sup> 接口。

编程模型必须支持现有的主要 C 语言、C 语言转逻辑门、VHDL、Verilog 设计流程和各种高级建模环境 (LabVIEW 和 MATLAB<sup>®</sup>/Simulink<sup>®</sup> 属于两种最常见的)。

在时钟方面，为了保持高信息密度的宽带无线信号的完整性，该硬件必须能够从 CPRI 或同步以太网提取嵌入式时钟，同时还能够清除时钟，并在高达 6GHZ 的 ADC 采样频率下使设备的机架保持时钟抖动低于 300fs。

为应对这些挑战，BEEcube 已开发出一个名为 BEE7 的功能强劲的新型仿真平台。该平台可充分发挥赛灵思 Virtex<sup>®</sup>-7 FPGA 的业界一流特性。

## BEE7 平台架构

BEE7 平台是 BEEcube 全新设计的，用来满足上述新一代通信系统要求的高端架构。下面我们将详细介绍 BEE7，并了解如何用平台解决 5G 原型设计问题。

在开发高级无线原型设计架构时，您所面临的一个最大挑战就是连接。需要快速高效传输的数据量极为

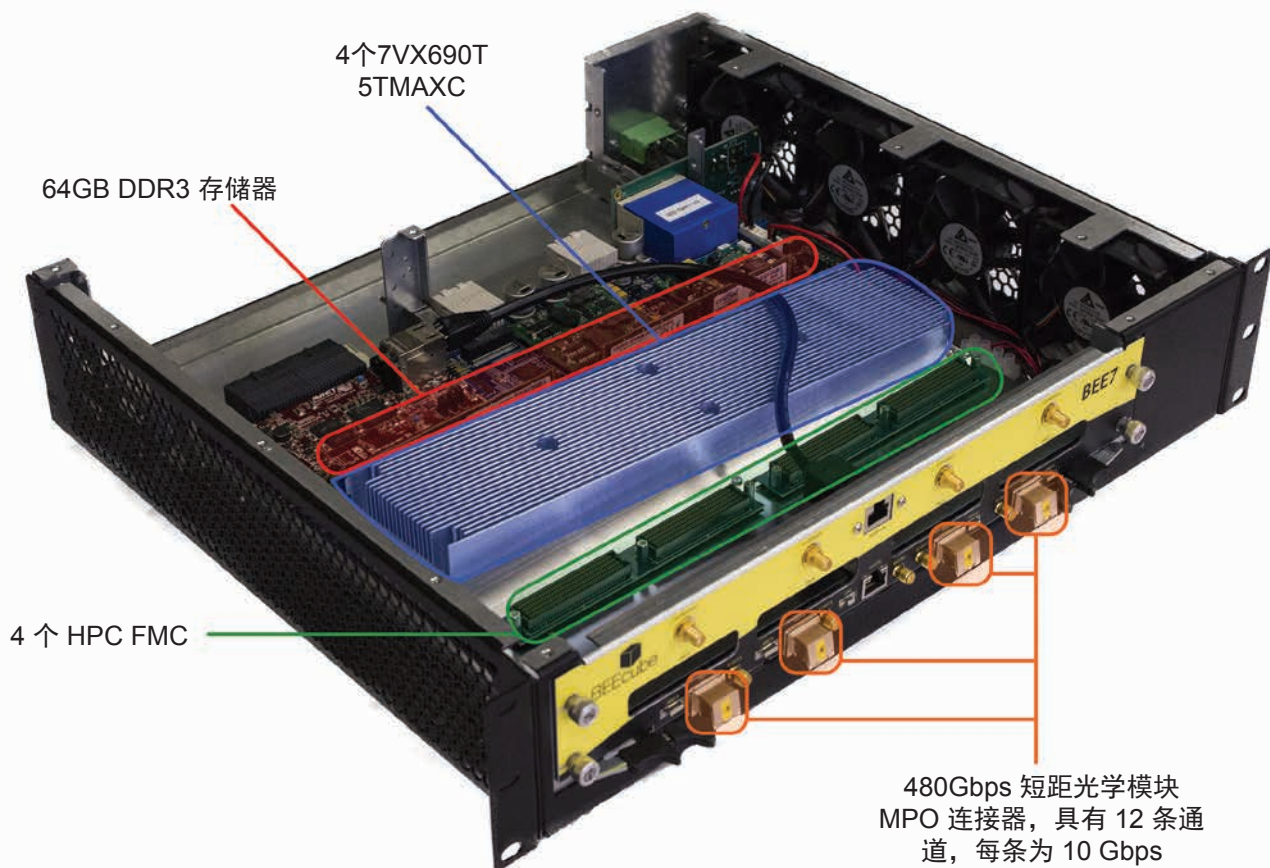


图 1: ATCA 机架上的 BEE7 刀片, 用于要求最严苛的 5G 无线应用 (包括 C-RAN、大规模 MIMO 和毫米波) 的原型设计和现场测试。

庞大。BEE7 原型设计系统的核心是赛灵思 XC7VX690T。该器件将 80 个串行收发器和 3,600 个 DSP Slice 结合在一起, 让 690T 成为高级无线应用的世界一流引擎 (对原型和对早期现场试用均是如此)。

图 1 是 BEE7 刀片。注意: ATCA 板型通常用于电信行业。这样便于把 BEE7 用于现有的基站箱中, 供现场试用。四个 690T FPGA 采用图 2 所示的方式连接。四个 FMC 插槽把每个 FPGA 都连接到一个高性能模拟卡上, 支持 5.6Gsp/s 的采样率。总容量为 64GB 的 DDR3 存储器既可用来采

集数据, 也能用作广播数据的缓冲器。该存储器在原型设计的初期阶段极为有用。设计团队可使用国家仪器的 LabVIEW 或 The Mathworks 的 MATLAB 来创建仿真向量, 然后将它们下载到系统存储器中以供回放, 或是对采集的数据进行详细分析。

690T 器件中串行收发器的额定传输速率为 13.1Gbps。电信中使用的许多标准都以 10Gbps 为中心, 比如 10 千兆位以太网和 CPRI (接口速率: 8), 这也是我们在 BEE7 中使用的性能指标。这样每个 FPGA 都能提供 800Gbps 的连接速率, 具体分配如图 2 所示。

下面我们介绍 BEE7 原型设计环境的具体方面和设计过程中需要做出的部分利弊权衡和设计决策。

### 点对点连接

BEE7 架构的目标之一是提供尽可能低的数据流时延和有保证的流吞吐量。使用共享总线架构根本无法实现这些目标, 因为总线上的不同客户会在任何给定时间连接到总线上, 增大时延, 并干扰其他用户使用的真正流环境。因此, BEE7 使用点对点连接模型来取而代之。

高速串行解串器是 BEE7 环境中

数据传输的骨干。通过精心调试 PCB 走线宽度、介电材料厚度、通孔布局和尺寸，可提供点对点 100 欧姆传输线，从而确保最佳性能和信号完整性。在许多情况下，高性能走线埋设在内层板中，以降低 EMI 辐射，同时更容易通过 CE 认证或 FCC 审批。

从 BEE7 刀片到其他设备（包括其他 BEE7 刀片）的连接可分为三个类别：短于三米、超过 300 米和居于其间。

对短于三米的链接，可以使用铜缆连接，而且这肯定是成本最低的替代方案。使用 SFP+ 或 QSFP 连接器加上短跳线电缆，就可以在 BEE7 环境中使用，而且推荐用一个设备机架中的刀片对刀片通信。对长至 300 米的较长距离，短距光通信可提供性价比最高的替代方案。BEE7 内置有短距

光学模块。图 2 所示的是每个 FPGA 有 12 条串行解串器通道连接到模块间光收发器 (iMOT)。这些接口都布置在 BEE7 刀片的正面，用于通过通用公共无线接口 (CPRI) 直接与旁边的远端射频单元 (RRH) 相连。

较长距离则需要特殊的长距光收发器。这种收发器无需使用中继器即可传输长达 40 公里的距离。这些收发器可以方便地插入后端转换模块 (RTM) 的 SFP+ 和 QSFP 连接器中，用于距离 BEE7 超过 300 米的 RRH。

从 RTM 到 BEE7 ATCA 刀片的总连接速率为 640Gbps；从前端 iMOT 连接器到 BEE7 ATCA 刀片的总连接速率为 480Gbps。如果不需要模拟 I/O，使用合适的 FMC 卡就可额外提供 320Gbps。

在设计串行解串器时通常遇到的

挑战包括如何解决延迟、校准和计时等问题。BEEcube 的 BPS 软件能够在启动时进行自动校准，且抽象掉串行解串器的大部分底层细节。这样设计 BEEcube 中的串行解串器相对简单直观，因为每个多千兆位收发器 (MGT) 的延迟特性均类似 FIFO。

### 计时问题

在分布式系统中，如果让时钟和数据分开传输，将很难进行长距离传输。CPRI 等标准是无线领域中从远程射频单元向基带处理单元传输数据的规范。恢复的嵌入式时钟（例如在 CPRI 中）一般具有低劣的相噪特性。BEE7 基于 PLL 的特殊电路能将这种相噪降至 300fs 以下。这些时钟相乘即可生成 GHz 级采样时钟，同时将相噪保持在 300fs 以下。

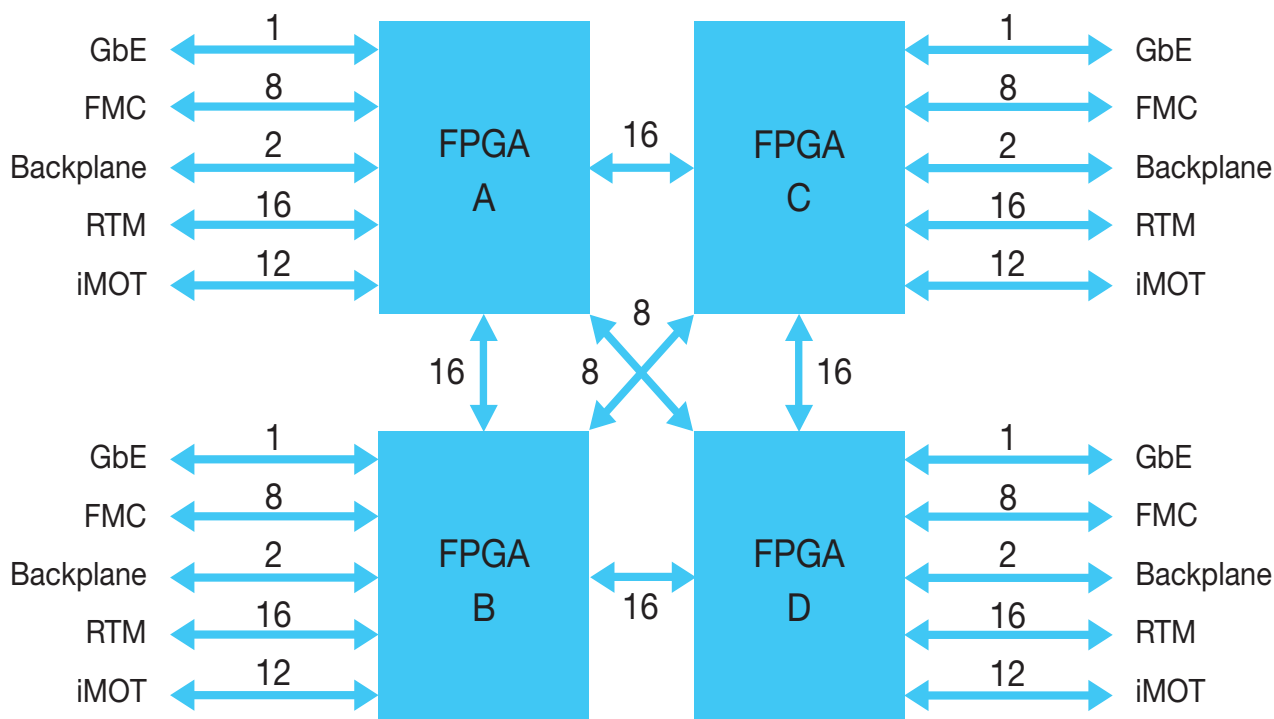


图 2: 本 BEE7 互联架构图显示了 10Gbps 通道的数量。每 FPGA 总串行收发器连接速率为 800Gbps。



灵活的时钟可分配给模拟 FMC 卡（对采样时钟最为关键）和 FPGA。

### RF 考量因素

高达 6GHz 的直接 RF 采样和综合长期以来一直是软件定义无线的发展目标，但直到最近高速 DAC 和 ADC 的问世，它们才得以现实。BEEcube 已经开发出一个模块架构，可通过连接到主板的 FMC 卡支持高性能模拟接口。

目前采样速率高达 5.6Gsp/s 的模块现已开始供货，利用该模块可直接综

合 2GHz 频谱或对其数字化并在该模块和 FPGA 主板间往返传输，以满足调制 / 解调及其它处理要求。该模拟 FMC 卡支持第一和第二奈奎斯特域，因此用户可以核验低于 2GHz 的整个频谱，或是更高频率范围内的 2GHz 频谱块。

高速 DAC 和 ADC 极难有效地集成到现实系统中。它们采用交错布局以实现最高性能，同时要求极为稳定的时钟，时钟抖动应低于 500fs。在使用 307.2MHz 基准时钟的情况下，当测得的相噪分布在 100Hz 到 10MHz 范

围内时，BEE7 平台提供的典型时钟抖动不足 300fs。这些 DAC 和 ADC 也需要特殊的训练序列，在向高速器件推送数据或从高速器件拉取数据时，需把数据选通信号的相位设置为最大数据完整性。BEEcube 的平台能在开发板第一次启动时完成所有的训练序列。因此开发人员无需关注这些底层细节，从而实现“开箱即用”操作。

### 设计流程和 IP

C/C++、MATLAB、VHDL、Verilog、LabVIEW 和 Simulink 在新一

## IP：加速 5G 开发之路

5G 无线标准化进程蜿蜒曲折，任何想要全新开发 5G 的企业都需要投入大量资金。企业可以与已经拥有丰富的必备 IP 的厂商合作，以加速 5G 开发工作。

什么类型的 IP 可以加快这方面的工作呢？在最基本的层面，10GE、CPRI 和 DDR 等 IP 是任何高性能无线系统不可或缺的。沿这个链条往上，任何 5G 系统必须支持传统 LTE-A 系统，估计基本的 LTE-A 协议栈仍然是必不可少的。随后是针对不同 5G 研究领域的 IP，包括空中接口波形、大规模 MIMO、毫米波和 C-RAN。

新的空中接口波形包括 GFDM、UFDM、FBMC 等。这些波形主要用于提高频谱效率和功耗特性。LTE-A 中使用的 OFDMA 拥

有较高的峰值 / 平均功耗比，因此需要昂贵的线路让功率放大器保持线性工作，从而降低带外干扰和互调失真。

毫米波要求不同的通道模型估算，因为在这些频率上有着不同的传播特性。IP 必须针对非常高的带宽（高达 5GHz）以及随之而来的高峰值数据速率。

只有可用的 IP 是不够的。用户必须能够方便地将 IP 连接在一起。国家仪器提供 IP 经过精挑细选，可运行在多种类型的 FPGA 和处理器上，并提供以 5G 原型设计为重点的库。该 IP 能够在国家仪器提供的 LabVIEW 通信系统设计套件中轻松实现连接。LabVIEW 还提供用于激励和分析设计所需的全部波形源文件和分析工具。

LabVIEW 加上各种 IP 库，能节省数月的开发时间。此外，所挑选 IP 都能正常工作。LabVIEW 与赛灵思工具链无缝互动，便于快速探索和实验。结合使用国家仪器提供的各种硬件平台，这无疑是实现有效的 5G 通信设计原型的最快速径。值得一提的是，现在作为国家仪器下属公司的 BEEcube 将在不久的将来为自己的硬件提供 LabVIEW 支持。

– David Squires



图 3: nanoBEE 是设计用于加快新一代无线产品开发进程的终端仿真系统。

代 5G 设计的开发中均发挥一定的作用。BEEcube 平台一直具有设计工具无关性，便于设计人员使用自己偏好的任何设计流程。当所有基础问题都从工具流角度入手解决时，重点迅速转向 IP。

BEEcube 为构建高性能通信设计提供众多必要的底层接口。在赛灵思支持 CRPI 和 PCIe 的同时，BEEcube 提供 10Gb 和 1Gb 以太网内核，并结合用于实现 FPGA 间内部通信的赛灵思 Aurora 内核同步版。此外，提供到板载 DDR 存储器的接口以及标准 FIFO 和 Block RAM 接口。

高级 IP 模块是加快设计流程的有力途径。侧边栏对此进行了详细探讨。

### NANO BEE--用户设备解决方案

BEE7 可提供基础设施解决方案所需的大规模连接和 DSP 处理能力。有没有一种工具可以仿真手持终端，或行业术语说的用户设备 (UE)? 手持终

端需要适中的 DSP 处理能力和互联，很有可能在移动测试中使用电池运行，拥有高度集成的 MAC 并内置较高层协议处理能力。

5G 用户设备的物理层必须高度灵活，对任何典型的处理器架构而言都极具挑战性，但对 Zynq 7100 器件中的 2,020 个 DSP Slice 来说，实现物理层非常简单直观。在 Zynq 7100 SoC 中实现 10Gbps 的用户设备连接也比较简单直观。

Zynq 系列中的两个 A9 ARM® 内核使其理想适用于用户设备仿真器。这两个内核可实现 MAC 和较高的协议层。大部分现有移动电话都使用 ARM 处理器，因此企业能够把大量现有的代码库重复用于较高层处理。ARM 内核和可编程架构的紧密集成，可保持低时延并提升性能。将 Zynq SoC 及其他 nanoBEE 硬件的功耗保持在 5w 以下，这意味着您可以用电池组为产品供电，对测试用户设备仿真器来说绝

对是利好。

nanoBEE 使用相同的功率放大器、同向双工器、输入滤波器和其他信号链元件来提供能在大多数 LTE-A 频带上以及在无许可的 2.4GHz 和 5GHz 频带上工作，同时符合 3GPP 协议标准的用户设备仿真器。

图 3 所示的 nanoBEE 从概念到产品推出，总共用时不到 18 个月。

### 展望五年之后

众多 5G 技术挑战赛正在如火如荼进行。我们距离商用还有五年时间，但随着标准逐渐固定，许多企业需要对这些新兴算法和应用进行原型设计。将赛灵思 FPGA 和 Zynq SoC 器件与 BEEtube 等公司提供的商用 5G 原型设计平台相结合，相比采用定制原型设计平台进行开发，可节省大量开发时间。这些工具便于系统架构师和设计人员集中精力寻找最佳架构与算法，而不是把精力放在设计平台的架构设计工作上。这些工具也便于电信运营商加快早期试用，获得对新系统、算法和网络架构的经验。

根据我们对 2020 年 5G 广泛部署的展望，很有可能大多数 OEM 厂商届时会销售基于赛灵思 FPGA 和 All Programmable SoC 的生产设备。5G 物理层的硬件复杂性很难保证 ASIC 实现方案不存在硬件缺陷，能够足够灵活地满足不断发展变化的标准。让硬件“软化”是最聪明的 OEM 厂商的明智选择。

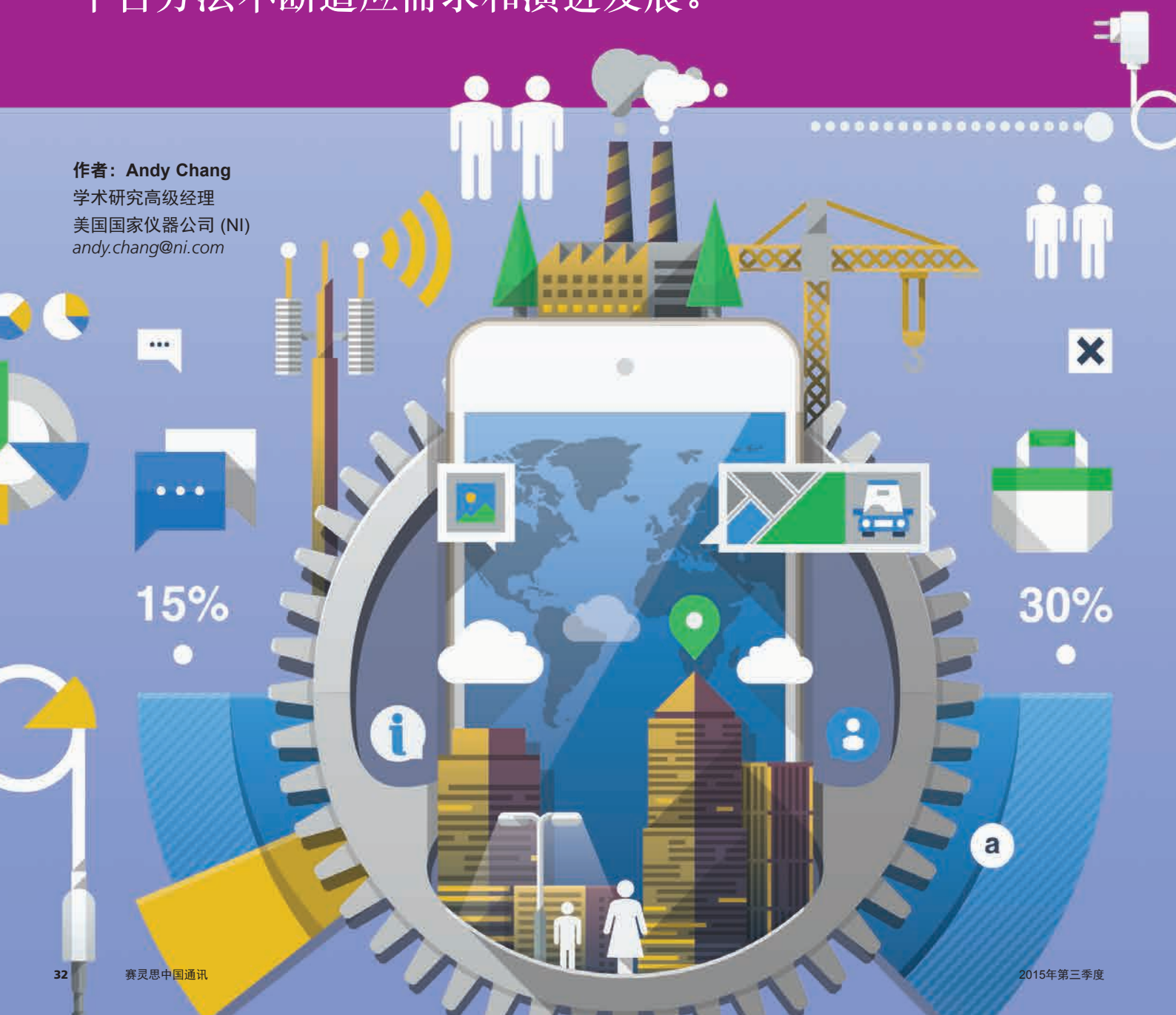
如需进一步了解 BEEcube 的解决方案（和其母公司国家仪器的解决方案），欢迎参加 8 月 3 日到 6 日在德州奥斯汀举办的国家仪器周活动：<http://www.ni.com/niweek>。🌈



# 面向工业物联网的创新平台设计

实现任意互连的高灵活性工业物联网 (IIoT) 系统将通过平台方法不断适应需求和演进发展。

作者: **Andy Chang**  
学术研究高级经理  
美国国家仪器公司 (NI)  
[andy.chang@ni.com](mailto:andy.chang@ni.com)





**在**过去的十年里，我们的社会变得越来越依赖最新的电子与通信技术，例如从移动设备到智能车辆再到家居自动化。通过将物品或“物”嵌入在电子产品、软件和传感器中并利用连接技术将其联在一起，便构成了物联网 (IoT)。物联网概念由技术先驱 Kevin Ashton 于 1999 年提出，指人、机器和基础设施之间连接技术的发展将提升智能、业务洞察力、效率和创新能力。

IoT 潜力巨大，将给我们的生活带来深远的影响。国家仪器的客户在开发、部署和优化物联网核心部件 (如消费类/工业产品与系统) 以及将这些产品与系统连接在一起的有线和无线基础设施方面发挥着关键作用。

国家仪器和赛灵思长达十多年的技术合作推出了众多强大工具，助力工程师和科研人员开拓创新、重塑世界。从 NI FlexRIO 模块到 CompactRIO 控制器，以及 NI 模块上系统 (SoM) 和 myRIO 设备，国家仪器已经在其连续数代最先进的产品上采用了赛灵思最新几代器件。对帮助创新人员使用一体化软硬件平台设计、构建和测试这些智能化设备，国家仪器深感自豪。

### 物联网面临的重重挑战

据 Gartner 公司提供的数据来看，2015 年估计将有 49 亿联网设备投入使用，到 2020 年将增至 250 亿。这些联网系统的覆盖范围广，从智能工厂的机械设备、汽车中的高级驾驶辅助系统 (ADAS)，到智能城市中的电网以及有助于延年益寿的保健可穿戴设备，无所不有。工业物联网的特征可描述为大量彼此通信，协调

数据分析和行为，以提升工业绩效、造福整个社会的联网工业系统。

通过传感器和执行器解决复杂的控制问题，实现数字世界与物理世界对接的工业系统，即为常说的信息物理系统。这些系统正结合使用大模拟数据 (Big Analog Data) 解决方案，并通过数据和分析掌握更深度信息。试想工业系统能够调整自己的环境乃至自己的健康状况。机械设备不会一直使用到出现故障，而是调度自己的维护工作，甚至是动态调整自己的控制算法以弥补磨损部件，然后将该数据通告给其他机器设备和使用这些机器设备的操作人员。

在此基础上，图 1 所示的物联网领域还可以进一步细分为三个部分：智能边缘 (传感器/执行器)、System of Systems (SoS)，以及在满足时延、同步和可靠性要求的同时支持所有连接和数据分析的端对端分析功能。通常，这些智能产品由不同厂商生产，因此所使用的嵌入式处理器、协议和软件各不相同。贯穿整个设计周期直到最终部署过程的产品集成是一项关键挑战实现全联网的世界需要采用基于平台的方法。

### 基于平台的设计

基于平台设计概念源于形式化建模技术、明确定义的抽象层次和关注点分离，以实现有效的设计流程。所有这些因素对设计和构建 IoT 系统至关重要。其旨在为工程师提供合适的抽象层次，以及到其他采用不同软件语言 (或框架) 和不同硬件协议的元件和子系统的连接。在过去四十年里，国家仪器提供了众多强大灵活的技术解决方案，助力工程师和科研人员提升生产力、创新及开发能力。国

家仪器大力投资开发一体化软硬件平台，以帮助医疗保健、汽车、消费类电子、粒子物理等领域的广大客户降低设计复杂性。

具体而言，图 2 所示的 NI LabVIEW 可重配置 I/O (RIO) 架构充分发挥开放性 LabVIEW 软件和商用现成 (COTS) 硬件的优势，为设计和构建 IoT 系统提供通用架构。近期 LabVIEW RIO 再度融合赛灵思 Zynq®-7000 All Programmable SoC 平台。这样通过引入 Linux 实时操作系统 (RTOS) 以及采用相同芯片组创建同时覆盖学术界和工业界的平台，将不断促进开放性和可扩展性。将 LabVIEW RIO 架构与 NI DIAdem 和 NI InsightCM 等技术结合用于数据管理和数据汇聚，客户可以在整个产品设计周期中设计、构建和测试 IoT 设备，运用通用平台和架构开展预防性维护工作。

### 用于医疗保健的智能边缘传感器

物联网已经正在显著地影响我们的生活。我们已经变得越来越依赖智能电话和平板电脑等个人设备以及雀巢的恒温器和飞利浦的 Hue 灯泡等家用设备。与此同时，使用智能联网传感器让患者将数据传送给医疗基础设施进行诊断和预后判断的医疗保健物联网市场板块，到 2020 年市值有望达到 1,170 亿美元。保健可穿戴产品和智能手表等设备刚刚进入市场，研究人员正在积极开发用于居家康复乃至智能假肢的技术。

在这个市场上的 Cyberlegs 项目是一个由意大利圣安娜高等学校生物机器人研究所的 Paolo Dario 教授牵头的欧洲 FP-7 级项目。该项目的目的是为膝上截肢患者开发用于下肢功能替

换的人工认知系统。其目标是开发出一种多自由度系统，能够替换下肢并以其他方式辅助病患。

负责开发和集成 Cyberlegs 系统的 Nicola Vitiello 博士曾广泛地使用 CompactRIO 开发最初的原型和验证子系统和控制算法，以预测不同患者的准确行走步态（见图 3）。在 NI SOM 中利用 Zynq SoC 的可扩展性，可显地缩小所需封装尺寸和功耗。Vitiello 充分利用该平台的自适应性，让传感器和执行器更具智能，从而为假肢配备了一个可以完全活动的膝盖。这一发展让患者活动更自如一些，比如上下楼梯和上下坡。

### 机器对机器 (M2M) 通信

Gartner 估计很快地球上的联网设备的数量就会超过人类的数量。到 2022 年，每个家庭都会拥有超过 500 个联网设备，通信基础设施必须能够处理其产生的 35ZB 数据。随着新的智能设备不断推向市场以及新的通信

标准和协议层出不穷，企业需要确保采用一种可扩展的框架来设计这些 M2M 通信解决方案，并对其进行原型设计和测试，才能在竞争中始终稳居领先地位。

传统的自动测试设备 (ATE) 经优化后，可用来测试遵循了摩尔定律的技术，而且在这方面它做得非常好。但在过去的几十年里，发生了一种微妙的变化，在 IC 中集成越来越多的模拟技术，导致测试挑战远远超出摩尔定律范畴。针对 IoT 的创新要求，测试工程师的任务包括对混合信号系统（同时包括来自传感器、RF 天线等的数字和模拟信号）进行验证，并且要在消费品数量级上确保尽可能低的价格。面对未来的测试挑战，传统 ATE 难以应付。对于 IoT 的智能设备，测试工程师将需要智能 ATE。ST-Ericsson 就是其中的典范。

ST-Ericsson 在智能电话和平板电脑的半导体开发领域堪称业界领先者。它的开发和测试中心遍及世界各

地，并且拥有多个特性描述实验室，用于测试和验证公司产品中使用的 RF 组件和平台。这些平台通常内置多种无线电，例如 GPS、蓝牙、3G 和 4G 等。对单个测试设备，平台大约需要进行 80 万次测量。由于 ST-Ericsson 开发的芯片极其复杂，这不仅要求验证实验室拥有能够支持各种 RF 标准的高灵活性，而且还具有足够高的性能来完成非常严格的测试。甚至与这些芯片实现接口连接也需要多重标准和定制数字协议。传统的盒式仪器，如 RF 分析仪、生成器和数字模式发生器不但体积大、成本高，而且不够灵活。

ST-Ericsson 的测试工程师已经用 NI PXI 平台更换了他们的传统盒式仪器，并选择使用内置 Xilinx Virtex®-5 FPGA 的 NI FlexRIO 与各种不同数字标准进行通信，例如串行外设接口 (SPI) 和内部集成电路 (I<sup>2</sup>C) 等通信。当数字适配器模块不可用时，团队可迅速进行自有开发，而无需担心连接

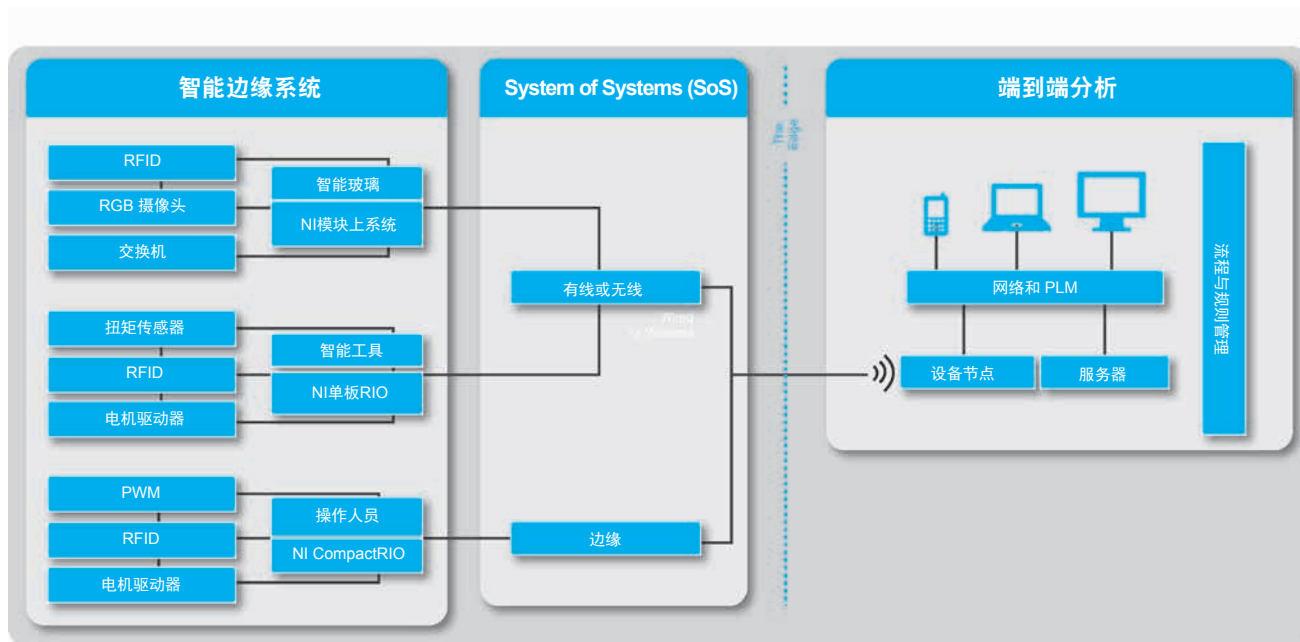


图 1 - 智能系统和物联网的三大基本支柱：智能边缘系统、多个系统中的单个系统和端到端分析。设备将变得越来越智能，并由软件进行定义。

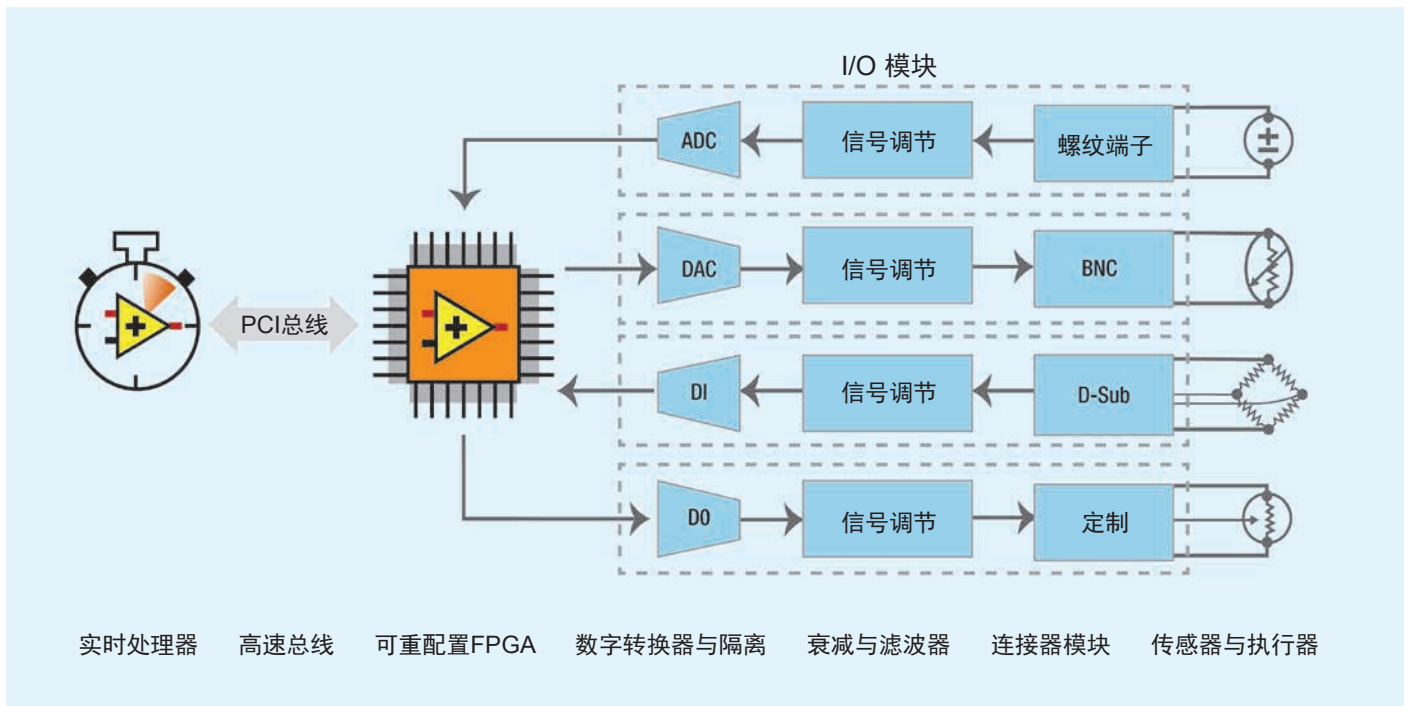


图 2 - NI LabVIEW 的可重配置 I/O(RIO) 架构基于四大组件之上：  
如处理器、可重配置 FPGA、模块化 I/O 硬件和图形设计软件。

PC 的后端以及与 FPGA 的通信。该公司报告称，总体而言，基于 PXI 的系统与前代解决方案相比速度快 10 倍，成本锐降三倍。此外，PXI 平台还可提供能满足多种数字和 RF 标准要求的灵活性。

### 未来工厂

在飞机制造领域居领先地位的空中客车 (Airbus) 正在发起一项旨在推广新兴技术的研究技术项目，以进一步加强空中客车公司在制造工艺（手工操作如今仍占主导地位）领域的竞争力。空中客车的“未来工厂”意味着广泛使用基于 COTS 模块、具有高度抽象层次的模块化平台，如图 4 所示。在“未来工厂 (Factory of the Future)”中，更智能的工具是提升效率至关重要的组件。这些智能设备可与主要的基础设施或在本地与操作人员进行通信，但仅在需要的时候提供

状态感知，并根据网络中的本地和分布式智能制定实时决策。

在生产设备中，智能工具能够通过避免使用物理数据日志和手册，帮助简化生产流程，提高效率。操作人员必须集中精力执行自己的作业任务，在这个过程中他们需要腾出手来使用合适的工具。大多数空中客车之前的无纸化项目措施旨在限制纸张使用，或是用平板电脑取代纸张。但他们仍然在使用被动的“死”数据。

智能工具提供了一种替代方案，即情景数据。这种数据的生成和使用是连续不断的，换言之就是活的数据。空中客车测试了基于 Zynq SoC 的 NI SOM，作为所有这些智能工具的基础平台。使用 NI SOM 能加快从设计到原型设计再到部署的开发流程。在基于 NI SOM 上开发之前，空中客车曾围绕基于 Zynq SoC 的 CompactRIO 控制器 (NI cRIO-9068)

进行了原型设计，使他们能够集成来自现有空中客车数据库和开源算法的 IP，从而对概念进行迅速验证。由于能灵活地使用图形化和文本编程，加上可将第三方开发成果移植到 Xilinx Zynq SoC 和 NI Linux RTOS 上进行重用，NI SOM 为开发这些工具提供了完美的抽象层次。空中客车工程师现在能将他们在 NI SOM 上开发的代码作为已部署的解决方案进行重用，而不必重新开始整个设计流程。

空中客车评估了数种 SOM 和嵌入式单板计算机 (SBC)，发现没有能匹敌国家仪器的基于平台设计方法和软硬件集成方法。空中客车工程师估计，在国家仪器系统设计方法带来的生产力的帮助下，尤其是在 NI Linux Real-Time 和 LabVIEW FPGA 模块的帮助下，交付 NI SOM 所需时间仅为使用其他方法的十分之一。由于 NI SOM 提供了软件，因而空中客车能



够更专注于系统主要特性的开发，如 FPGA 上的图像处理。

### 智能可再生能源

另一项重要的工业 IoT 应用是可再生能源。随着化石燃料发电厂停运，可再生能源的需求迅猛增长。电网运营商发现传统的测量系统覆盖范围有限，无法有效处理这些新挑战或管理他们面临的新风险。为英国近 2,000 万人口供电的输电系统运营商“英国国家电网公司”正在部署一种先进的可升级电网测量系统，为英国电网的运行状况提供更高质量的运营数据。

与众多能源提供商一样，英国国家电网公司面临的挑战来自于瞬息万变的电网。因此公司正专注于开发灵活的解决方案，以便能够根据电网测量的需要和可用数据量的演变采用最新软件进行升级（见图 5）。从各个电

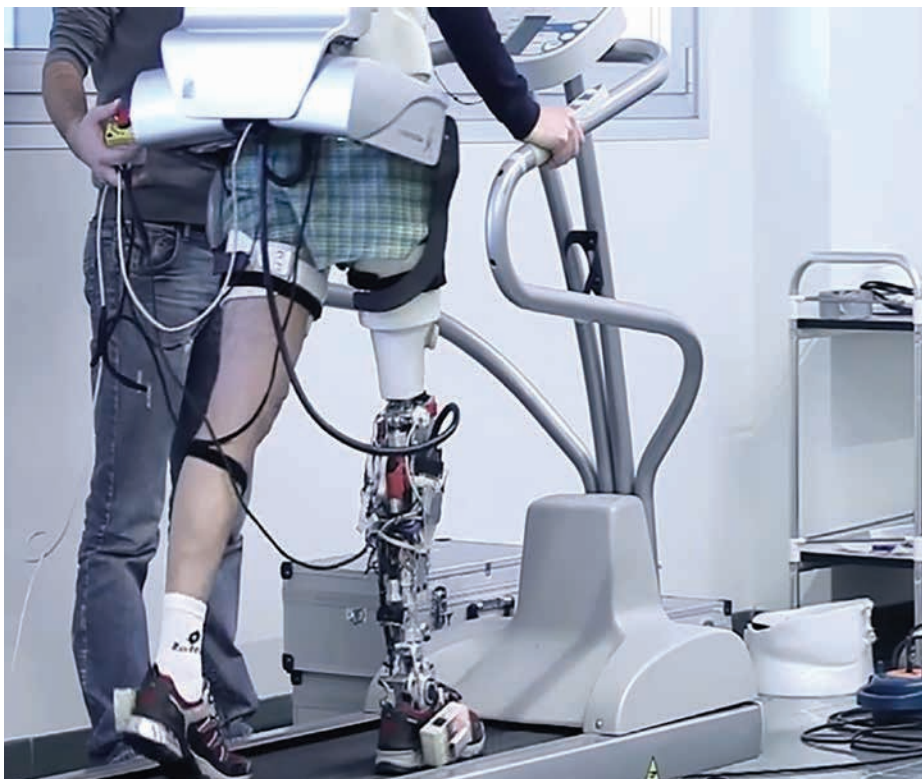


图3 - 意大利的 Cyberlegs 项目已开发出一套人工识别系统，用以替代下肢并进行康复训练。

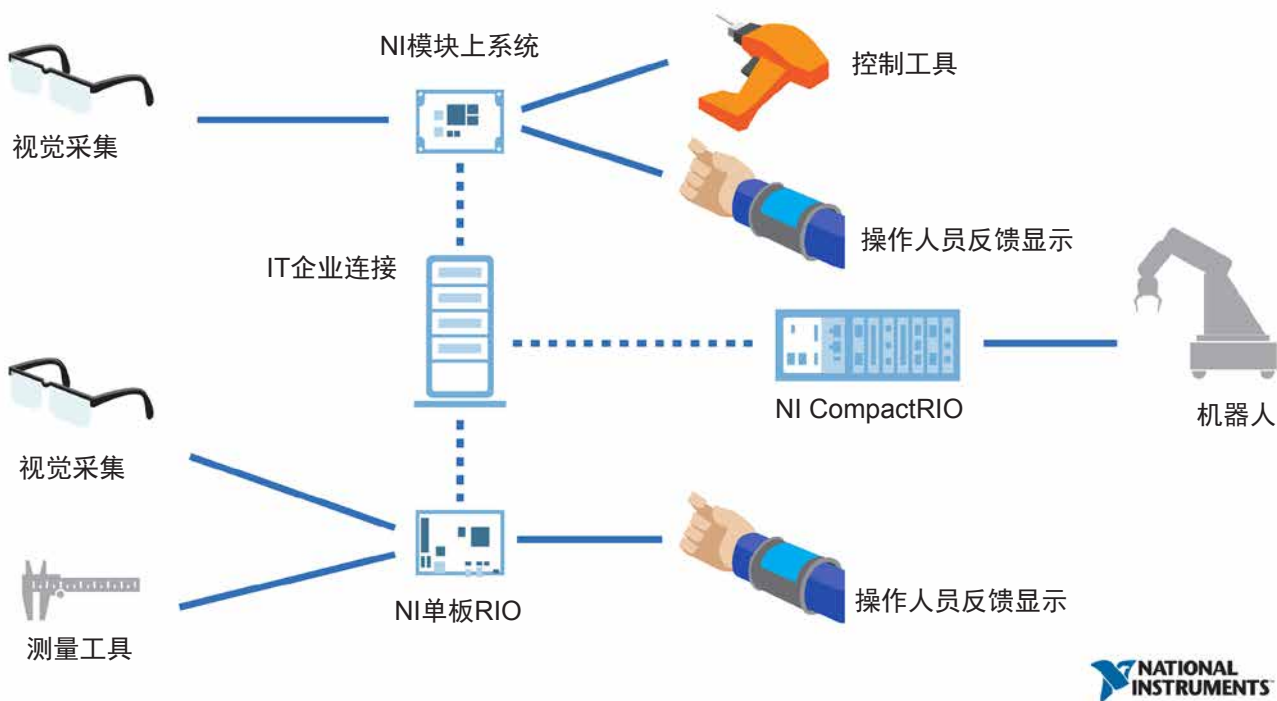


图 4 - “未来工厂”将要求具备分布式联网处理能力和 I/O 功能，以便为制造中需要使用的工具和设备增添智能化的功能。

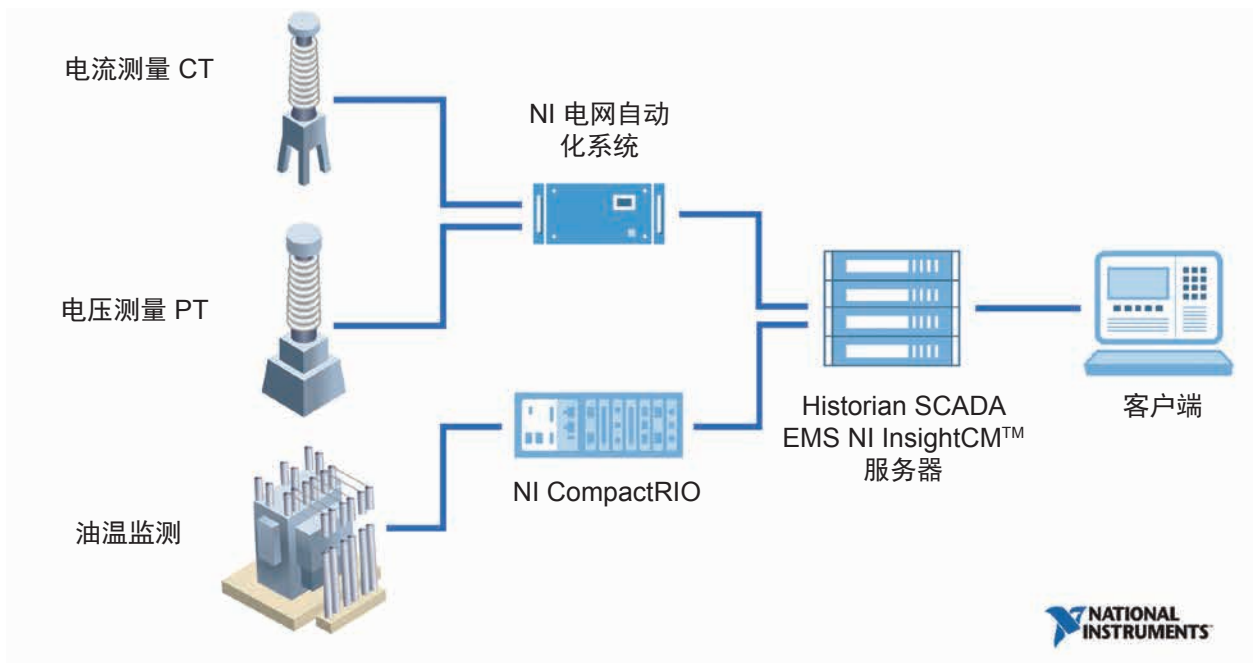


图 5 - 采用面向智能设备且具备开放式、可扩展方法的智能电网架构可帮助电网工程师迅速响应日新月异的测量和控制需求。

网区域采集可靠的实时数据，对尽早发现问题，避免供电中断至关重要。为保持电网一致地运行，运营商必须能从各类测量中采集数据，并迅速从这些数据中获得深度信息，以用于监控电网的总体健康状况。软件设计系统可提供定制化测量解决方案，在将来出现新电网现代化挑战时可进行升级。

为应对这些挑战，英国国家电网采用的平台构建在基于 Zynq SoC 的 CompactRIO 系统上。不仅能提供更丰富的测量，同时还能适应电网未来数代的演进发展需要。这个互联互通的网络包括 136 套系统，其中的 110 套被永久性地安装在遍布英格兰和威尔士的变电站中，另外的 26 套便携式单元用于根据需要相应提供移动地点覆盖。完全相同的软件应用可同时运行在两个版本中，从而能最大限度地减少对系统集成、培训和技术支持的影响。英国国家电网公司的工程师采用灵活的开放式软件设计仪器，能

够定制用于电网运营的信息，并根据需求变化轻松进行升级。这一方法在减少所需设备数量的同时，还能改善电网监测质量和可靠性。此外利用 CompactRIO 提供的先进处理功能，英国国家电网公司能轻松地维护自己的联网系统网络，让智能深入电网，把海量原始数据转化成有用信息，让英国的大小企业和千家万户灯火通明。

### 更智能的互联世界

更智能联网世界的构思是让有传感器和本地处理能力的系统彼此互连，共享信息。这一构思正在每个行业生根发芽。这些 IIoT 系统将在全球范围内与用户相连乃至彼此互连，帮助用户做出更加明智的决策。开发和部署这些系统将需要在未来数十年里进行大量投资。满足今天和未来需求的唯一途径就是部署足够灵活的网络系统，能通过基于平台的方法实现演进发展和满足适应性需求。在众多应用中

部署 Xilinx Zynq SoC 等高度灵活的统一硬件架构，不仅可显著简化硬件，而且还能让每个新的问题主要通过软件解决。同样的原则必须应用于软件工具，以形成强大的软硬件平台，从而开发出统一的解决方案。基于平台的有效方法不以软件或硬件为重点，而是以重本身所包含的创新为重点。

对于每一个人来说，现行的 IIoT 设计在业务与技术方面都是一个巨大的商机。全球各地的组织机构都在为定义 IIoT 不懈努力，同时他们也在积极搜集用例，以便能更全面地理解如何才能最高效地实现更多的创新。虽然工程师和科技人员已经在 IIoT 的领先地带实施系统，但他们仍面临大量的未知领域，还有大量工作在前面等着他们。工程师和科技人员必须开始集中采用基于平台的方法，通过参与这些可定义未来的工作的机构而成为 IIoT 规范制定的一份子，从而确保业务的重心是创新，而不仅仅是集成。



ADAS/无人驾驶车辆领域的出色表现

# 即将到来的汽车技术 变革及其重大影响





# 汽车行业三大趋势 —— 电气化、联网化、 自动化 —— 有一个共同之处， 就是软件。

**作者：Thomas Gage**  
首席执行官兼常务董事  
Marconi Pacific  
[tgage@marconipacific.com](mailto:tgage@marconipacific.com)

**Jonathan Morris**  
高级经理  
Marconi Pacific  
[jmorris@marconipacific.com](mailto:jmorris@marconipacific.com)

# W

我们正处在汽车技术巨变的大门口。这次不是自动化变革，虽然自动化变革旋即到来。但这次变革是由现有的且快速发展的自动化底层技术推动。即高级驾驶员辅助系统（简称 ADAS）实现的防碰撞技术。

ADAS 具有安全和市场双重意义。不管是戴姆勒、丰田、福特、尼桑、通用汽车还是其他汽车 OEM 厂商，抑或是谷歌，没有一家在信任这项工作的工作性能之前，会让全自动转向、制动或加速的汽车上路。ADAS 有望首先减少事故发生，并以“副驾驶”的身份协助驾驶员，最终完全取代驾驶员，以“自动驾驶”的身份掌控整个旅程。

至于多快就能感受到这项技术带来的影响，任何新技术的采用过程似乎都极为相似。例如第一个商用移动电话网络是 1983 年在美国巴尔的摩 - 华盛顿都市区率先投入使用。那时电话的成本大约为 3,000 美元，用户稀少。即使在数年之后，该商用移动电话网络除了在人口稠密的市区外，大部分地区尚未覆盖。今天美国的移动电话用户数已超过美国人口总数，有超过 30 万个移动电话塔连接着整个国家。低端智能电话成本约 150 美元。

汽车技术也以类似的步伐向前发展。而且由于交通运输对我们的生活有如此根本性的意义，这种颠覆性的影响可能会令人瞠目结舌。

# 当今的 ADAS 系统以及未来的自动驾驶系统都将依赖软件来分析利用来自传感器、摄像头、互联网、基础设施及其它车辆的大量数据。

## 三类车辆，一场革命

率先颠覆汽车行业现状的并非是自动化和 ADAS 这一发展趋势的出现。国际竞争和贸易自由化永久性地改变了汽车 OEM 市场格局，让美国三大汽车巨头的国内市场份额在过去 20 年里从 72% 锐降至 45%。虽然汽车技术已取得巨大进步，但驾驶基础技术在过去四十年里没有太大变化。

现在在加州南湾每天都可以看到三辆代表全球汽车行业变化趋势的汽车：一辆时尚的特斯拉 S 型静静地驶

过；一辆后窗上有“U”（Uber 首字母）标识的新型轿车正在揽客；一辆车顶安有旋转定位雷达的大动作改装的雷克萨斯 SUV 正沿街行驶，车上的谷歌员工正在采集数据（或是一位来自汽车 OEM 厂商的员工乘坐在用世界其他地方的部件组装的汽车中）。这些日常情景代表着正在同时到来的三大技术变革趋势：电气化、联网化和自动化，它们将彻底颠覆汽车行业的现状。虽然每个趋势的发展步伐有所不同，但所有三大趋势有一个共同点：

那就是软件为王！

## 软件：塑造今天，变革未来

自 2004 年以来，平均每辆汽车中电子设备的成本占比已从 20% 翻倍到 40%。目前的一辆豪华汽车通常装有 100 个微处理器，运行 10,000 万行软件代码，控制着从发动机正时到信息娱乐系统的各个方面。我们正处在软件、传感器和处理器正在带来全新车辆功能，而不仅仅是把常规功能从机械控制变为电子控制的转折点。当

## 新技术系统

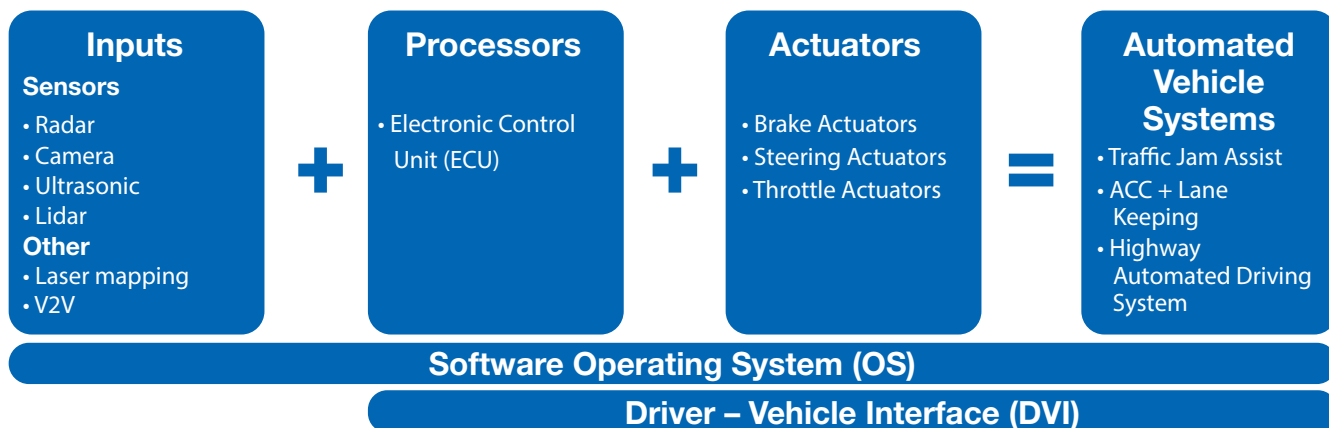


图 1 - 基本的 ADAS 架构最初由一套传感器组成，可为 ECU 提供有关驾驶状况的数据。

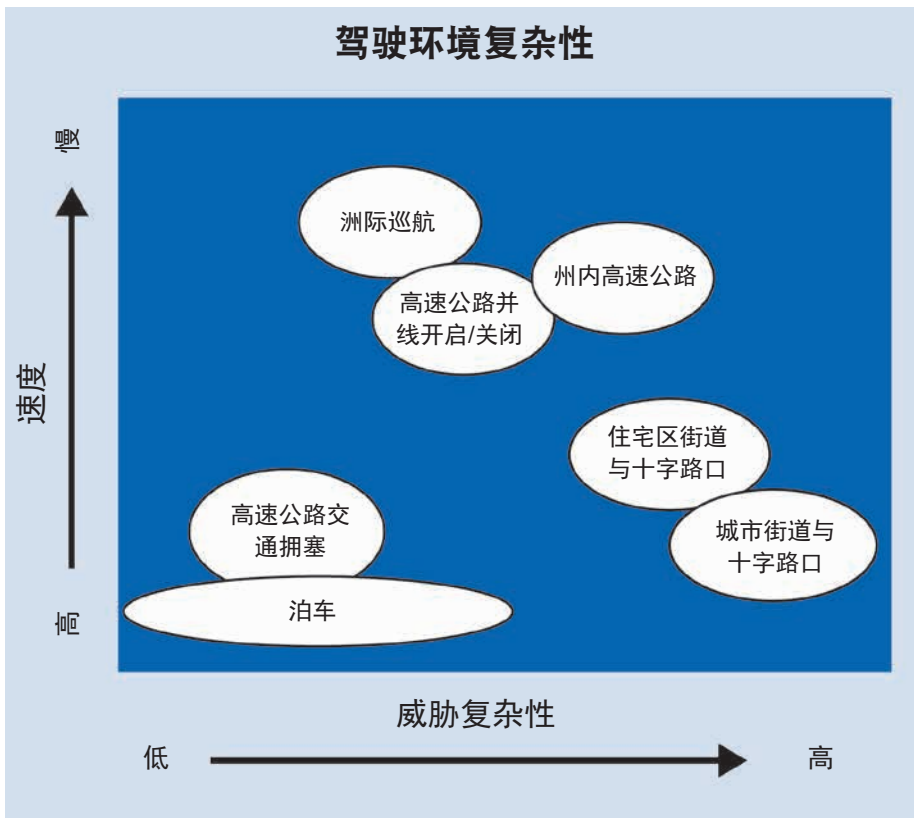


图 2 - ADAS 软件算法必须考虑道路类型、速度和威胁复杂性。

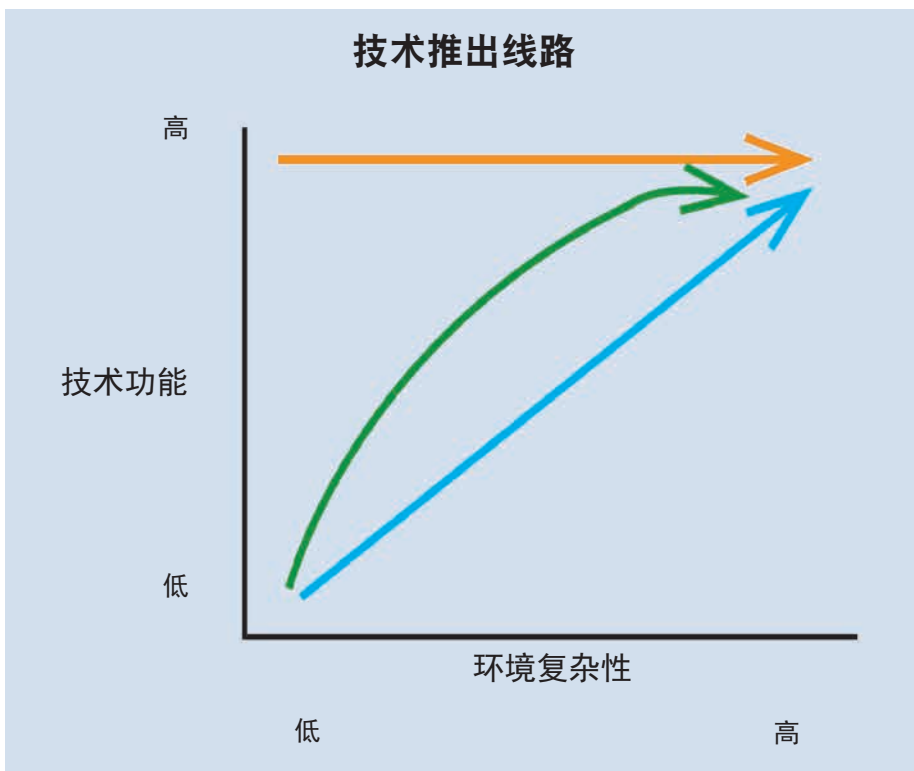


图 3 - 像“交通拥堵辅助”等较为简单的系统将率先推出，后续将推出能够操作车辆的系统。

今天的 ADAS 系统和未来的无人驾驶系统将完全依赖软件来分析利用来自传感器、摄像头、互联网、基础设施及其它车辆的大量数据。

车辆日趋复杂，已改变了汽车价值链。电气化、联网化和自动化趋势只会让价值加快向开发电子装置和软件的企业倾斜，疏离那些不能创新的 OEM 厂商。

这一变化会带来两重影响。首先软件会成为关键的市场差异化因素，迫使 OEM 厂商缩短产品周期，为传统系统提供支持与更新。为满足消费者对时兴技术的需求，OEM 厂商现在不得不每隔三到四年就大幅修改或推出新的车型，而以往的产品周期平均为五到八年。这给 OEM 厂商带来了重重挑战，包括创新速度快、质量检测复杂、开发成本上扬、研发成本分摊期限缩短、需要新的销售和车辆保有量权模式。

其次，向软件转型使行业新秀能够在这个以高准入门槛著称的行业实现创新。在行业巨头占据这个行业数十年后，谷歌、苹果、特斯拉和 Uber 都跃跃欲试，准备通过软件重塑汽车行业格局。这个想法即便在五年前也似乎是天方夜谭。

在典型的配备 ADAS 的车辆中（图 1），前向防撞 (FCA) 等应用通过一组传感器实现的。这些传感器能向电子控制单元 (ECU) 提供有关外部驾驶环境的数据。该单元然后利用软件判断是否存在威胁，并运行制动执行器（或其他可能应对措施）来减轻该威胁。



# 在复杂环境中要让车辆自动驾驶比 驾驶员驾驶更安全、更高效的软件算法 仍然是最严峻的挑战。

目前用于驾驶员辅助应用的传感器就是无人驾驶车辆的硬件基础。但未来的传感器一定会更小、更快、更廉价。例如大陆集团 (Continental AG) 的传感器和处理器能每隔 10 到 60 毫秒发送和重新计算理解驾驶环境所需的算法，而人脑从感觉神经元向运动神经元传递消息仅需数毫秒。

不过当今的 ADAS 系统和未来的全无人驾驶系统之间的真正差别在于软件。不管处理输入的速度有多快，在复杂环境中要让车辆比驾驶员更高效安全地驾驶的软件算法仍然是最严峻的挑战。复杂性同时包括驾驶员在不同路况下遇到的威胁数量、威胁类型（例如行人、横向行驶的车辆、自行车）以及车辆行驶的速度（见图 2）。

随汽车 OEM 厂商竞相改进自己的软件，他们正在以三种截然不同的途径向市场推出自己的技术。宝马、戴姆勒和尼桑等 OEM 厂商已经开始销售设计用于在简单驾驶环境中（如洲际公路上）行驶的中等功能 ADAS 系统。无需考虑交通信号灯、转弯或多向车流，这些车辆能使用“交通阻塞辅助”等系统在低速情况下自动转向、制动和提速（图 3 中的蓝线代表其行驶轨迹）。最终系统将能够在较快速度下工作或是在较复杂的都市环

境中工作，并提供更丰富的功能，例如并线、变道或过十字路口。沃尔沃和福特等部分 OEM 厂商则正在为特定地理区域（圈定区域）推出中等功能系统，比如为两个城市间的洲际公路特定延长线，以充分利用激光扫描测绘数据的作用。随着时间推移，系统功能将增强，系统适用的地理区域数量及复杂性也将增加（见图 3 的绿线）。最后，谷歌的方案是全新开发一种高功能全无人驾驶车辆（用于圈定区域、城市低速或园区驾驶），然后测试并优化其在日趋复杂环境中的功能（见图 3 中的橙色线）。

## 消费者采用及推广

虽然 OEM 正选用不同策略将 ADAS 和车辆自动功能推向市场，自 2010 年以来几乎每年都会推出功能不断增强的配备 ADAS 的汽车，而且每年都在不断推出。2013 年，29% 的乘用车型提供可选的前向碰撞预警功能，而且在此类车型中，有 12% 具备自动制动功能。今年的梅赛德斯入门级高档 CLA 轿车已将前向防撞系统作为标配，沃尔沃也已自 2010 年起把自己的“城市安全 (City Safety)”制动系统作为 XC60 型车的标配。现在该技术的早期几代已经面市，但消费者采用速度如何呢？

要了解配备 ADAS 功能的车辆和无人驾驶车辆的推广情况，可以参照其他技术的采用速度。就总体趋势来说，像手机、互联网和 PC 等现代技术的采用速度明显快于 VCR 或 TV 等较古老的技术。汽车通常属于采用速度较慢的技术之列。这主要是因为与消费类电子相比，它们的 = 成本相对较高，而且需求修建道路。相比之下，智能手机被认为是历史上采用速度最快的技术，仅用十年就达到饱和状态。移动电话（也就是今天我们主要说的“功能电话”）仅 20 年时间就达到了饱和状态，而传统有线电话用了一个世纪（主要是因为需要建设有线网络）。

由于车辆成本所限，配备 ADAS 的车辆和自动驾驶车辆很有可能推广速度会慢于其他现代技术，但他们仍然会以比传统汽车更快的速度推广。随着其他新技术的推开，我们预计一波尝鲜者和早期试用者将推动配备 ADAS 的车辆早期销售，后续一旦安全优势得到证明，大多数消费者会逐步采用（见图 4）。重要的是目前添加一套典型 ADAS 设备只需增加大约 3,000 美元成本（且每年还在以大约 7%-9% 的幅度下降），仅相当于在美国销售的普通汽车价格 33,560 美元的 10% 左右。豪华车型中 ADAS 设备成

### 按技术等级划分新车销售年度增长率

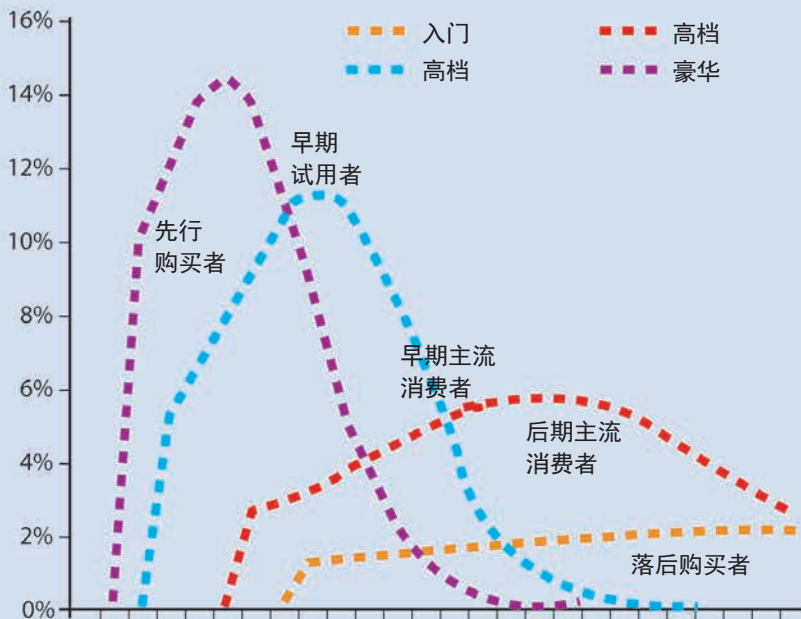


图 4 - 一旦消费者领略了安全和便利优势，ADAS 和无人驾驶车辆 (AV) 技术的销售就会进一步提速。

### 按技术等级划分新车销售累计比例

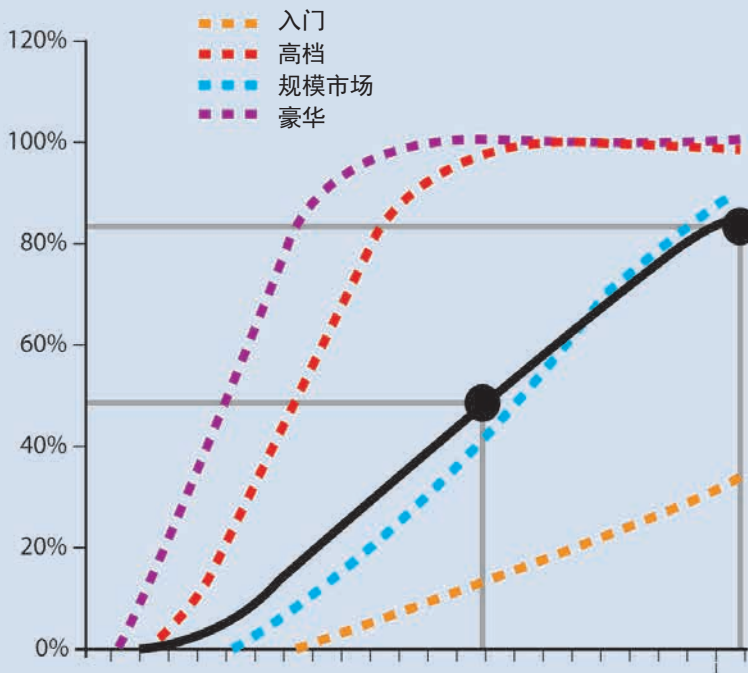


图 5 - 根据模型预测，ADAS/AV 车辆的累计销量到 2035 年将接近汽车销售总量的 85%。

本仅占车辆平均售价的 2%-3%。

Marconi Pacific 对 ADAS 和自动化的研究显示，最初吸引消费者的是该技术的安全性和便利性。安全性对家庭来说是主要刺激因素，因为他们开始听说装备 ADAS 的汽车能避免本来会让汽车乘客受伤或死亡的碰撞事故。不过更大的推动因素是节省时间。能够在高速公路（很快可以在其他类型的道路上）行驶，而且只用少量精力关注路况，这将成为需求的重大推动因素。

Marconi Pacific 已经构建了一个推广模型，用于更好地掌握这项技术的推出步伐和消费者的采用情况。该模型以场景为基础，有大量输入。部分关键因素有年度汽车销售量、ADAS 技术发布日期和汽车销量预测。结果令人震惊。根据模型运行结果，预测到 2035 年 ADAS/AV 的车辆销售和新车销售将占各个细分市场总销量的 50% 和 85% 以上（见图 5）。当然不同的 ADAS 水平和自动化水平会给社会造成不同的影响，包括不同的总年度碰撞减少程度、不同的对交通拥堵的影响以及不同的对类似 Uber 的车辆共享服务的影响。

#### 汽车生态系统影响

汽车行业及相关行业构成一个庞大的生态系统，对全球经济的产生巨大影响。在美国，交通运输占美国 GDP 近 10%。随着电气化、联网化和自动化的革命性创新打破行业现状，OEM 厂商以及之前围绕传统私人汽车发展的众多其他行业和企业都会深受影响。

随着竞相交付高级功能步伐的加速，汽车制造商拥有大量商机。这些包括更奢华的汽车及功能，更多车载资讯系统 / 信息娱乐系统和更新颖的

# 赛灵思 All Programmable 器件： ADAS 及后续升级的事实 标准平台

作者：Mike Santarini  
Xcell 杂志发行人  
赛灵思公司  
mike.santarini@xilinx.com

赛灵思公司在汽车市场上立足已有相当长的历史，但在过去四年里，加上 2011 年 Zynq<sup>®</sup>-7000 All Programmable SoC 开始商业应用，赛灵思迅速成长为高级驾驶员辅助系统 (ADAS) 新兴市场的优选平台提供商。梅赛德斯奔驰、宝马、尼桑、大众、本田、福特、克莱斯勒、丰田、马自达、阿库拉、斯巴鲁和奥迪等众多 OEM 厂商将赛灵思 FPGA 和 Zynq SoC 作为其最先进 ADAS 系统的核心组件。并且借助最新推出的 Zynq UltraScale+<sup>™</sup> SoC，赛灵思可确保自身在下列后续汽车电子产品创新阶段发挥着领导作用：无人驾驶、车辆对车辆通信和车辆对基础设施通信。

ADAS 技术的基本目标是提高驾驶员对自身环境的感知能力，这样他们在享受驾驶体验的同时可以安全地驾驶。大约十年以前，豪华车 OEM 厂商开始以辅助雷达 / 激光雷达传感器产品的形式提供最早的 ADAS 系统。这些产品一旦检测到车后的物体就会发出蜂鸣报警。随着时间推移，这些系统发展为集雷达、摄像头乃至激光雷达为一体的多传感器系统，不仅能让驾驶员看到车后的物体，还能检测到来自车身侧面的物体。

在后续数年里，ADAS 传感器阵列从用于车后执行单项任务的应用发展成为能够 360 度环视车外甚至车内的联网传感器阵列，而且每个传感器都能完成一定数量的任务。今天的高端汽车采用

的 ADAS 产品不仅拥有极为先进的后视摄像头系统，还具备能同时执行多项任务的融合传感器系统，例如盲点和车道偏离告警、行人与路牌检测、自动巡航控制、前向碰撞告警乃至疲劳驾驶检测和告警等。融合传感器系统能够监测驾驶员的眼睛，检测眼图，观察驾驶员在驾车时是否打瞌睡，确定是否需要发出声音警告，甚至吹出嗅盐予以唤醒。

此外，在过去五年里，曾经只属于高档车型专享的功能越来越多地迅速成为经济车型的标配。简言之，OEM 厂商正在把 ADAS 系统当作自己车辆的竞争卖点。

今天 OEM 厂商正在超越 ADAS 的告警功能，开始让 ADAS 与车辆的控制功能联网，以主动并即时掌控车辆。自适应巡航控制、智能速度控制、车道保持辅助、防撞甚至自动泊车功能均已在多款车型上提供。所有这些优异的技术都是汽车行业竞相向消费者提供全无人驾驶、无人驾驶车辆，把驾驶员变成副驾驶的征程中迈出第一步。此外，这些技术还将被大力用于推动车对车和车对基础设施 (V2X) 通信发展，以支持政府建设智能基础设施（街道、交通信号灯等），实时疏散交通流量，提高交通运输安全性、效率和经济性，进一步改善行车环境。

赛灵思 All Programmable 器件，尤其是屡获殊荣的 Zynq SoC，如今已成为大部分先进 ADAS 系统的核心，并且在迅速取代多用性较差的 ASSP。Zynq SoC 在单个器件上完美集成了 ARM<sup>®</sup> 处理器和 FPGA 逻辑，让 OEM 厂商能

够构建极为先进的 All Programmable ADAS 平台。该平台不仅能随汽车产品线的发展而扩展，而且还能通过新增增强特性不断升级，满足客户严苛且不断提高需求。

汽车 OEM 厂商在多种平台配置中采用 Zynq SoC 该器件可用作多用传感器、多功能驾驶辅助平台、高分辨率视频和图形平台、车辆网络和连接平台以及图像处理与识别平台。在这些应用中，客户把用于自己设计中最复杂且计算强度最大的功能的算法实现在 Zynq SoC 的逻辑部分，把串行处理功能实现在板载 ARM 处理系统中。客户可使用 Zynq SoC 的高速 I/O 来连接传感器并建立到车载网络的高可靠连接。客户还可综合利用赛灵思及赛灵思联盟计划成员提供的 IP 核、赛灵思 Vivado<sup>®</sup> Design Suite 和最新推出的 SDSoc<sup>™</sup> 开发环境，迅速开发 ADAS 系统。

赛灵思最新推出的 Zynq Ultrascale+ SoC 旨在帮助这些 OEM 厂商将无人驾驶汽车投向大众市场。Zynq UltraScale+ SoC 在单个器件完美集成了 64 位应用处理器、实时处理器、片上存储器和 FPGA 逻辑，让 OEM 厂商能够使用其他半导体架构不可比拟的可编程平台开发出更加先进的融合系统。

关于赛灵思在快速发展的 ADAS 市场上的地位的详细介绍，敬请访问 <http://www.xilinx.com/applications/automotive.html>.



“驾驶”体验。但在上市时间竞争、技术功能（软硬件）、复杂的采购、经销商的技术销售能力和品牌差异化方面仍存在风险。由于他们的技术要对更多驾驶体验直接负责，因此汽车 OEM 厂商、组件和零部件市场供应商也很有可能承担更高的产品责任风险。

汽车零部件和组件供应商以及相邻行业也有自己的责任和风险。芯片制造商和担保公司由此有实现和保障这一新功能的重大机遇。车载资讯系统内容和平台提供商以及电信网络运营商有机会在映射、车辆共享、泊车应用、信息娱乐、车辆对任意通信和车辆与 Web 集成方面拥有大量商机。

由于价值向软件和信息娱乐转

移，传统车辆硬件提供商很有可能遭遇压价。随着碰撞的频率和严重性下降以及由此造成的保费降低，汽车保险公司需要开发新的业务模式。房地产开发商、汽车修理厂、交通工程和建筑公司、公交公司（等行业）必须考虑随着车辆安全性提高，由私人家庭拥有的车辆数减少和最终实现的无人驾驶车辆，交通运输将发生怎样的变化。

将极大颠覆汽车行业现状的三大同步到来的技术发展趋势——电气化、联网化和自动化，今天都已实现。能够迅速采取行动把握机遇的企业将成为市场上的赢家。而止步不前者，他们的命运在历史上一再重演。🌈

**参考资料**

1. Wards Auto, 《按企业划分的美国汽车销售总量市场份额, 1961 年到 2014 年》
2. Gapper, John, 《软件正在引领汽车行业》, 《金融时报》, 2015 年 2 月 18 日
3. Kuchinskas, Susan, 《速成课：训练无人驾驶汽车的大脑》, 《美国科学》, 2013 年 4 月 11 日。
4. 高速公路安全保险协会 (IIHS) 状态报告, 第 48 卷第 3 号, 2013 年 4 月 25 日

**驾驶员辅助系统和无人驾驶车辆对生态系统的影响**

行业领域	机遇	风险	响应时间范围
• 车辆 OEM 厂商	高	高	立即
• 传统 OEM 提供商	中	中	立即
• 技术 OEM 提供商	高	低	立即
• 汽车保险承保人	低	高	立即
• 电信运营商	中	低	立即
• 电信平台提供商	高	中	立即
• 安全解决方案	高	低	立即
• 交通运输部门	中	高	很快
• 汽车 - 修理/车体整修/汽油	低	高	较迟
• 汽车经销	中	高	立即
• 大数据分析	高	低	立即

图 6 - ADAS 和无人驾驶车辆将给汽车行业外的许多辅助产业造成重大影响。

在数据中心云计算领域的出色表现

# 云中的机器学习： FPGA 上的深度 神经网络

作者：Nagesh Gupta  
创始人兼 CEO  
Auviz Systems  
[Nagesh@auvizsystems.com](mailto:Nagesh@auvizsystems.com)



凭借出色的性能和功耗指标，赛灵思 FPGA 成为设计人员构建卷积神经网络的首选。新的软件工具可简化实现工作。



人工智能正在经历一场变革，这要得益于机器学习的快速进步。在机器学习领域，人们正对一类名为“深度学习”算法产生浓厚的兴趣，因为这类算法具有出色的大数据集性能。在深度学习中，机器可以在监督或不受监督的方式下从大量数据中学习一项任务。大规模监督式学习已经在图像识别和语音识别等任务中取得巨大成功。

深度学习技术使用大量已知数据找到一组权重和偏差值，以匹配预期结果。这个过程被称为训练，并会产生大型模式。这激励工程师倾向于利用专用硬件（例如 GPU）进行训练和分类。

随着数据量的进一步增加，机器学习将转移到云。大型机器学习模式实现在云端的 CPU 上。尽管 GPU 对深度学习算法而言在性能方面是一种更好的选择，但功耗要求之高使其只能用于高性能计算集群。因此，亟需一种能够加速算法又不会显著增加功耗的处理平台。在这样的背景下，FPGA 似乎是一种理想的选择，其固有特性有助于在低功耗条件下轻松启动众多并行过程。

让我们来详细了解如何在赛灵思 FPGA 上实现卷积神经网络 (CNN)。CNN 是一类深度神经网络，在处理大规模图像识别任务以及与机器学习类似的其他问题方面已大获成功。在当前案例中，针对在 FPGA 上实现 CNN 做一个可行性研究，看一下 FPGA 是否适用于解决大规模机器学习问题。



# 卷积神经网络是一种深度神经网络 (DNN), 工程师最近开始将该技术用于各种识别任务。图像识别、语音识别和自然语言处理是 CNN 比较常见的几大应用。

## 什么是卷积神经网络?

卷积神经网络是一种深度神经网络 (DNN), 工程师最近开始将该技术用于各种识别任务。图像识别、语音识别和自然语言处理是 CNN 比较常见的几大应用。

2012 年, Alex Krizhevsky 与来自多伦多大学 (University of Toronto) 的其他研究人员<sup>[1]</sup>提出了一种基于 CNN 的深度架构, 赢得了当年的“Imagenet 大规模视觉识别挑战”奖。他们的模型与竞争对手以及之前几年的模型相比在识别性能方面取得了实质性的提升。自此, AlexNet 成为了所有图像识别任务中的对比基准。

AlexNet 有五个卷积层和三个致密层 (图 1)。每个卷积层将一组输入特征图与一组权值滤波器进行卷积,

得到一组输出特征图。致密层是完全相连的一层, 其中的每个输出均为所有输入的函数。

## 卷积层

AlexNet 中的卷积层负责三大任务, 如图 2 所示: 3D 卷积; 使用校正线性单元 (ReLU) 实现激活函数; 子采样 (最大池化)。3D 卷积可用以下公式表示:

$$Y(m, x, y) = \sum_{n=1}^N \sum_{(\Delta x, \Delta y) \in S} W(m, n, \Delta x, \Delta y) X(n, x - \Delta x, y - \Delta y)$$

其中 Y (m,x,y) 是输出特征图 m 位置 (x,y) 处的卷积输出, S 是 (x,y) 周围的局部邻域, W 是卷积滤波器

组, X(n,x,y) 是从输入特征图 n 上的像素位置 (x,y) 获得的卷积运算的输入。

所用的激活函数是一个校正线性单元, 可执行函数 Max(x,0)。激活函数会在网络的传递函数中引入非线性。最大池化是 AlexNet 中使用的子采样技术。使用该技术, 只需选择像素局部邻域最大值传播到下一层。

## 定义致密层

AlexNet 中的致密层相当于完全连接的层, 其中每个输入节点与每个

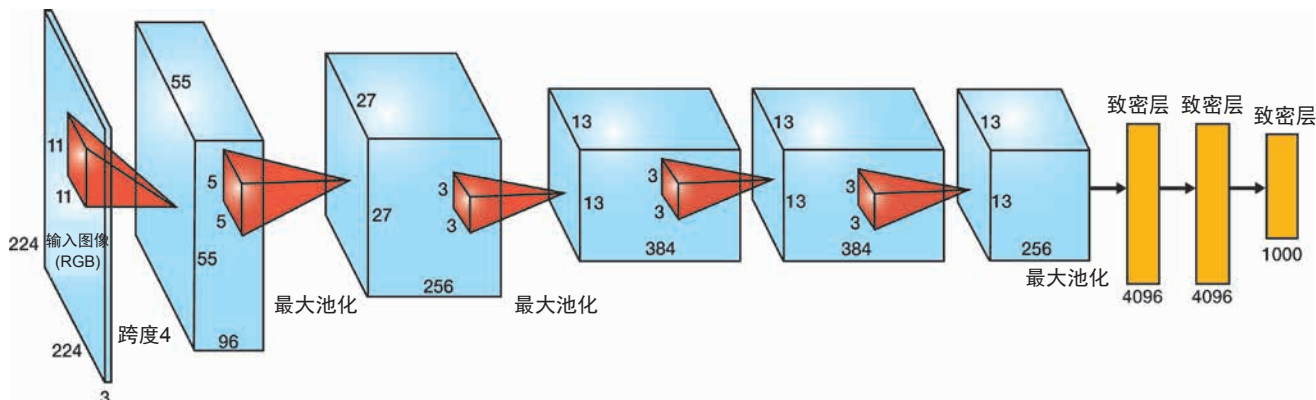


图 1 - AlexNet 是一种图像识别基准, 包含五个卷积层(蓝框)和三个致密层(黄)。



图 2 – AlexNet 中的卷积层执行 3D 卷积、激活和子采样。

输出节点相连。AlexNet 中的第一个致密层有 9,216 个输入节点。将这个向量乘以权值矩阵，以在 4,096 个输出节点中产生输出。在下一个致密层中，将这个 4,096 节点向量与另一个权值矩阵相乘得到 4,096 个输出。最后，使用 4,096 个输出通过 softmax regression 为 1,000 个类创建概率。

### 在 FPGA 上实现 CNN

随着新型高级设计环境的推出，软件开发人员可以更方便地将其设计移植到赛灵思 FPGA 中。软件开发人员可通过从 C/C++ 代码调用函数来充分利用 FPGA 与生俱来的架

构优势。Auviz Systems 的库（例如 AuvizDNN）可为用户提供最佳函数，以便其针对各种应用创建定制 CNN。可在赛灵思 SD-Accel™ 这样的设计环境中调用这些函数，以在 FPGA 上启动内核。

最简单的方法是以顺序方式实现卷积和向量矩阵运算。考虑到所涉及计算量，因此顺序计算会产生较大时延。

顺序实现产生很大时迟的主要原因在于 CNN 所涉及的计算的绝对数量。图 3 显示了 AlexNet 中每层的计算量和数据传输情况，以说明其复杂性。

因此，很有必要采用并行计算。

有很多方法可将实现过程并行化。图 6 给出了其中一种。在这里，将 11x11 的权值矩阵与一个 11x11 的输入特征图并行求卷积，以产生一个输出值。这个过程涉及 121 个并行的乘法 - 累加运算。根据 FPGA 的可用资源，我们可以并行对 512 抑或 768 个值求卷积。

为了进一步提升吞吐量，我们可以将实现过程进行流水线化。流水线能为需要一个周期以上才能完成的运算实现更高的吞吐量，例如浮点数乘法和加法。通过流水线处理，第一个输出的时延略有增加，但每个周期我们都可获得一个输出。

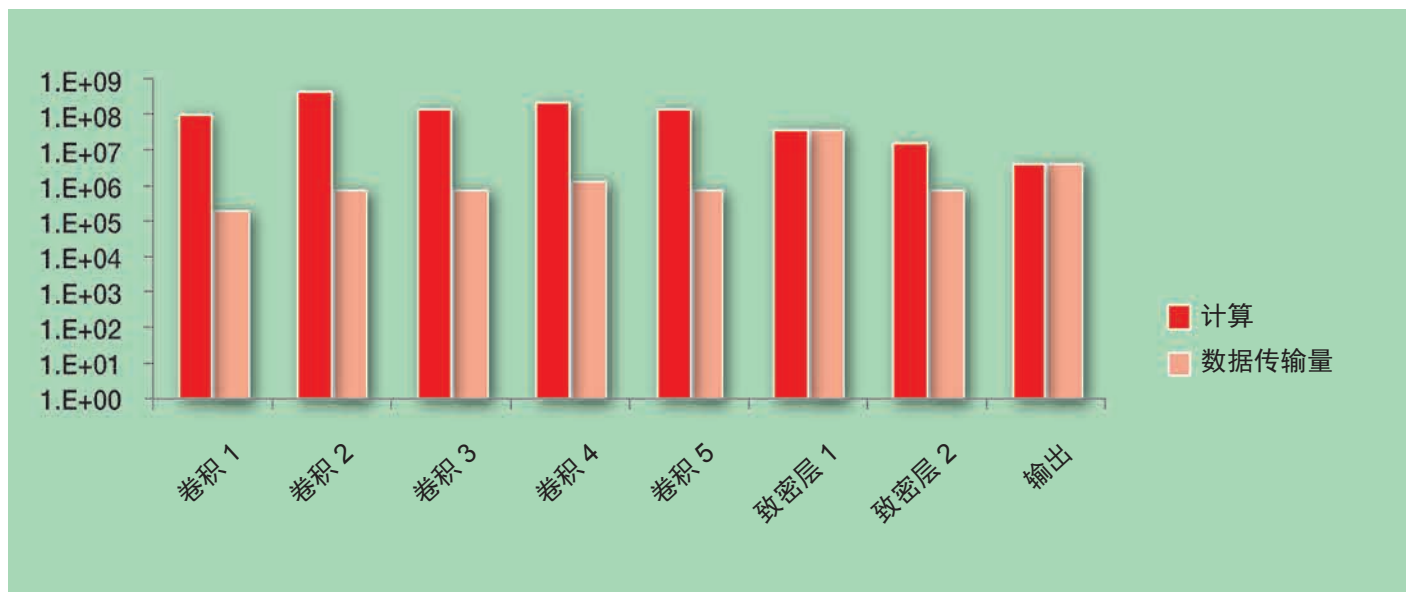


图 3 – 图表展示了 AlexNet 中涉及的计算复杂性和数据传输数量。



图 4 - 实现 CNN 时的函数调用顺序。

使用 AuvizDNN 在 FPGA 上实现的完整 CNN 就像从 C/C++ 程序中调用一连串函数。在建立对象和数据容器后，首先通过函数调用来创建每个卷积层，然后创建致密层，最后是创建 softmax 层，如图 4 所示。

AuvizDNN 是 Auviz Systems 公司提供的一种函数库，用于在 FPGA 上实现 CNN。该函数库提供轻松实现 CNN 所需的所有对象、类和函数。用户只需要提供所需的参数来创建不同的层。例如，图 5 中的代码片段显示

了如何创建 AlexNet 中的第一层。

AuvizDNN 提供配置函数，用以创建 CNN 的任何类型和配置参数。AlexNet 仅用于演示说明。CNN 实现内容作为完整比特流载入 FPGA 并从 C/C++ 程序中调用，这使开发人员无需运行实现软件即可使用 AuvizDNN。

FPGA 具有大量的查找表 (LUT)、DSP 模块和片上存储器，因此是实现深度 CNN 的最佳选择。在数据中心，单位功耗性能比原始性能更为重要。数据中心需要高性能，但功耗要在数

据中心服务器要求限值之内。

像赛灵思 Kintex® UltraScale™ 这样的 FPGA 器件可提供高于 14 张图像 / 秒 / 瓦特的性能，使其成为数据中心应用的理想选择。图 6 介绍了使用不同类型的 FPGA 所能实现的性能。

### 一切始于 C/C++

卷积神经网络备受青睐，并大规模部署用于处理图像识别、自然语言处理等众多任务。随着 CNN 从高性能计算应用 (HPC) 向数据中心迁移，需要采用高效方法来实现它们。

FPGA 可高效实现 CNN。FPGA 的具有出色的单位功耗性能，因此非常适用于数据中心。

AuvizDNN 函数库可用来在 FPGA 上实现 CNN。AuvizDNN 能降低 FPGA 的使用复杂性，并提供用户可从其 C/C++ 程序中调用的简单函数，用以在 FPGA 上实现加速。使用 AuvizDNN 时，可在 AuvizDNN 库中调用函数，因此实现 FPGA 加速与编

```

/***** calling convolution layer functions*****/

OclConv.loadkernel(convolutionLayer_xclbin);

// Layer 1
poolDesc.createPoolingDesc(pool_mode,window_size,pool_stride);

tensor0.createTensor(datatype,b,3,224,224);

tensor1.createTensor(datatype,b,96,55,55);

conv_filter1.createConvFilter(datatype,96,3,11,11):
tensor0.moveTensorData(context, input_data, HOST2DEVICE);
conv_filter1.moveConvFilter(context, con1_data, HOST2DEVICE);
bias1.createBiasVector(datatype, 96);
bias1.moveBiasVector(context, bias1_data, HOST2DEVICE);
poolDesc.movePoolingDesc(context, HOST2DEVICE);
clFinish();
OclConv.convolutionForward(tensor0,conv_filter1,tensor1,bias1,NULL,RELU, 4);

```

图 5 - 使用 AuvizDNN 创建 AlexNet 的 L1 的代码片段。



写 C/C++ 程序没有太大区别。

如需更多信息，敬请访问网址 [www.auvizsystems.com](http://www.auvizsystems.com)，或发邮件至 [sales@auvizsystems.com](mailto:sales@auvizsystems.com)。

### 参考资料

发展，2012

1. A. Krizhevsky, I. Sutskever, G. E. Hinton, “深度卷积神经网络的 ImageNet 分类”，神经信息处理系统

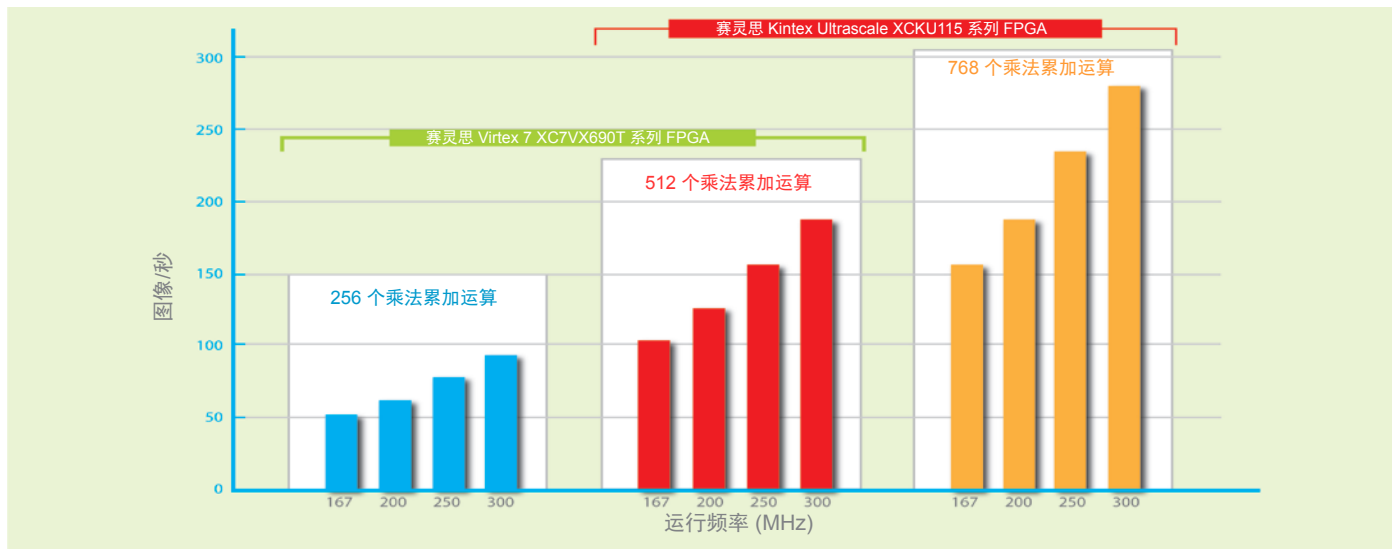


图 6 – AlexNets 的性能因 FPGA 类型不同而不同。

## Xilinx 宣布 Vivado 设计套件开始支持 16nm UltraScale+ 产品早期试用

支持现在即可利用量产级的芯片性能、完善的工具及 IP 立即启动开发

2015 年 7 月 24 日，中国北京 - All Programmable 技术和器件的全球领先企业赛灵思公司（Xilinx, Inc. (NASDAQ:XLNX)）今天宣布，Vivado® 设计套件开始支持包括 Zynq® UltraScale+ 和 Kintex® UltraScale+ 器件在内的 16nm UltraScale™+ 产品组合的早期试用。该 Vivado 早期试用版工具已与 UltraScale+ ASIC 级可编程逻辑进行了协同优化，能够充分发挥量产级 UltraScale+ 器件的优势，进而利用整个目录中的 SmartCORE™ 和 LogiCORE™ IP。

同时，赛灵思还实现了赛灵思软件开发套件（SDK）和 PetaLinux 工具中针对 Zynq UltraScale+ MPSoC 系列的软件开发。该赛灵思 SDK 不仅为在 MPSoC 处理器子系统上开发和调试软件应用提供了综合而全面的 Eclipse 环境，同时还有助于软件开发团队利用赛灵思稳健可扩展的 QEMU 仿真平台立即着手开发。

### 供货情况

如需了解用于 UltraScale+ 产品组合的 Vivado 设计套件早期试用工具的更多信息，敬请联系您当地的销售代表。如需了解有关赛灵思软件开发环境和嵌入式平台的更多信息，敬请访问：赛灵思软件开发专区。

### 关于赛灵思 UltraScale+ 产品组合

16nm UltraScale+™ 系列 FPGA、3D IC 和 MPSoC 融合了最新存储器、3D-on-3D 和多处理 SoC (MPSoC) 技术，同时包含了 SmartConnect 互联优化技术，让性能和集成度迈上了新台阶。通过系统级优化，UltraScale+ 提供的价值远远超过了传统工艺节点移植所带来的价值，系统级性能功耗比相比 28nm 器件提升了 2 至 5 倍，还实现了遥遥领先的系统集成度和智能化，以及最高级别的保密性和安全性。

# All Programmable SDN 交换机加速网络 功能虚拟化

作者: David Levi

首席执行官

Ethernity Networks 公司

[Vidi.levi@ethernitynet.com](mailto:Vidi.levi@ethernitynet.com)

基于赛灵思 FPGA 的可编程  
COTS NIC 可将 NFV 软件应  
用性能提升 50 倍。





向网络功能虚拟化 (NFV) 和软件定义网络 (SDN) 的转变代表了近 20 年来最具变革性的架构网络发展趋势。由于 NFV 和 SDN 承诺系统开放性和网络中立性，因此有望给未来的通信网络和业务的成形造成深远影响。

我们 Ethernity Networks 公司正在利用赛灵思器件，率先向市场推出真正开放的、高度可编程的 SDN 和 NFV 解决方案。让我们来看一下 Ethernity 公司在首次探索 NFV 和 SDN 的前景和要求之后，是如何打造其解决方案的。

### 硬件和 NFV/SDN 变革遍地开花

过去几十年间的网络基础架构业务在很大程度上可谓是大机业务模式的延续，在这种模式下，屈指可数的几家大型公司提供专有局端基础设备，而这些设备又运行专有的软件，这样构建的全部意图都是为了不与竞争对手的系统进行通信。在大多数情况下，基础架构厂商为其客户的每个网络节点都创建定制硬件，并将每个节点都构建成最低可编程性和可升级性节点，以确保那些希望对网络进行扩展或升级的客户会从同一厂商旗下购

买下一代设备；或者让客户完全无法选择从其他公司购买全新网络，最终只能重蹈覆辙。

在过去五年中，来自运营商、学术机构以及厂商的新贵一直在呼吁，即通过最大化硬件与软件的可编程性来过渡到无处不在的硬件、网络中立、开放系统以及软件兼容性。NFV 和 SDN 是这一发展趋势的先锋，为这一不断成长且一定会成功的革命高举旗帜。

凭借 NFV，公司可通过软件在商用的通用硬件平台上运行各种网络功能，这与在昂贵的定制专有硬件上运行每项特定网络任务截然不同。将这些无处不在的开放式平台的可编程性最大化，使公司能够在数据中心甚至更小的网络节点中运行众多之前由特定硬件设备执行的任务。NFV 允许运营商根据需要只将给定服务的新网络软件上传到商用硬件资源，从而可以进一步减少创建新的网络服务所需的时间。运营商因此可以轻松扩展网络并为其公司选择同类最佳功能，而不用被迫购买和使用软件灵活性有限的新型专有硬件。

NFV 是有效的，因为网络中的很多节点都具有一般性的功能要求。具备一般性要求的节点包括交换机和路由器、数百万流分类、访问控制列表 (ACL)、状态流感知、深度数据包检测 (DPI)、隧道网关、流量分析、性能监控、分段、安全性、虚拟路由器和交换机。但 NFV 自身也面临诸多挑战。预计因特网和数据中心流量在未来几年内将呈指数级增长，因此网络局端基础设备必须能够应对流量的巨大增长。仅依靠软件可编程性并不足以使通用硬件能够随着带宽需求

的增长而进行轻松扩展。无处不在的硬件需经过重新编程来优化总体系统性能。这允许厂商和运营商以“更智能，而不是更辛苦的工作”方式来利用 NFV 和 SDN，从满足运营商的最终客户（即消费者）不断提高的网络要求。真正的软 / 硬件可编程基础架构才是真正实现 NFV 和 SDN 的愿景的唯一方式。

SDN 同时在物理与虚拟设备中的网络控制层与底层数据转发层之间使用基于标准的软件抽象，这消除了传统分布式网络基础架构复杂且静态的本质，是一种现代的联网方法。在过去五年中，行业制定了一项标准数据层抽象协议 OpenFlow，其提供的新颖实用方法可以借助基于集中软件的控制来配置网络架构。

具有集中软件配置的开放式 SDN 平台通过可编程性和自动化显著提升了网络敏捷性，同时大幅降低了网络运营成本。OpenFlow 等业界标准数据层抽象协议使提供商可以自由使用任何类型和品牌的数据层设备，因为所有底层网络硬件均可通过一种通用抽象协议来进行寻址。重要的是，OpenFlow 便于使用“裸机交换机”，同时避免传统厂商的套牢，使运营商同样能够自由选择目前可在 IT 基础设施的其他领域（如服务器）中轻松找到的网络。

由于 SDN 还处于起步阶段，因此标准仍在不断演进。这意味着设备厂商和运营商需要防范风险，并利用 FPGA 的硬件及软件的可编程性，以最大的灵活性对 SDN 设备进行设计和操作。目前上市的基于 FPGA 的 SDN 设备即使对于大规模部署也相当实惠。基于 FPGA 的 SDN 设备具有



高度的高硬件与软件灵活性并且尽可能符合 OpenFlow 协议要求。

### 性能加速需求

或许,对 NFV 和 SDN 而言,要超越开放性最关键的要求就是高性能。尽管 NFV 硬件看起来比专有系统更便宜,但 NFV 架构需要保持极富竞争力的大数据量,满足下一代网络的复杂处理要求并不断提升能效。

实际上,NFV 基础设施小组规范 (Infrastructure Group Specification) 包含一个特殊部分,其描述了对加速功能的需求,以提升网络性能。此规范描述了处理器组件如何将某些功能转移到网卡 (NIC) 以支持某些加速功

能,包括 TCP 分段、互联网协议 (IP) 分片、DPI、数百万条目的过滤、加密、性能监控 / 计数、协议互通与 OAM 以及其他加速功能。

驱动这种加速的主要引擎是 NIC,其配备了物理以太网接口,供服务器连接到网络。如图 1 中所示,当某个数据包通过 10GE、40GE 或 100GE 端口到达 NIC 时,根据标签信息 (如 IP、MAC 或 VLAN) 将数据包放置在虚拟端口 (VP) 或代表特定虚拟机 (VM) 的队列中。随后位于服务器上的合适的虚拟机直接对数据包进行 DMA 访问以进行处理。每个虚拟网络功能 (VNF) 都在不同虚拟机上运行,并且某些网络功能需要使用多个

甚至数十个虚拟机。

OpenFlow 控制硬件加速功能,比如 NIC 上的硬件加速功能可以视为是 SDN 交换机的扩展。可在多个虚拟机和 / 或内核上通过部署多个 VNF 来为众多功能处理 NFV 性能。这为 NFV 带来了两大性能挑战。第一项挑战在于“vSwitch”,这通常是一个软件,用来处理以太网 NIC 与虚拟机之间的网络流量。第二项性能挑战在于均衡在多个 VM 之间输入的 40/100GE 数据。添加 IP 分片、TCP 分段、加密或其他专用硬件功能时,NFV 软件需要辅助以满足性能需求并降低功耗。理想情况下,其外形应该比较紧凑,以减少存放网络设备所需要的板级空间。

为处理 NFV 挑战和各种网络功能,用于 NFV 和 SDN 的 NIC 卡必须性能极高,而且尽可能灵活。多家芯片厂商都试图成为第一家上市 NFV 硬件的厂家,他们已经提议构建针对 NIC 卡的平台,它们各自都具有不同程度的可编程性。Intel 目前是主要的 NIC 组件提供商,配有用于加速数据包处理的 DPDK 包。EZchip 提供了运行 Linux 并可用 C 语言编程的 NPS 多线程 CPU。Marvell 为其 Xelerated 处理器提供了两个完整的数据层软件套件以用于城域以太网和统一光纤应用接入 (Unified Fiber Access Application),这两个套件由运行在 NPU 上的应用程序包和运行在主机 CPU 上的控制层 API 组成。Cavium 已经为其 Octeon 产品系列选择了更通用的软件开发套件。Broadcom、Intel 和 Marvel L2/L3 交换机主要用于搜索和 vSwitch 负载转移。同时,Netronome 的新款 Flow-NIC 配备了能在该公司的专用网络处理器硬件上运

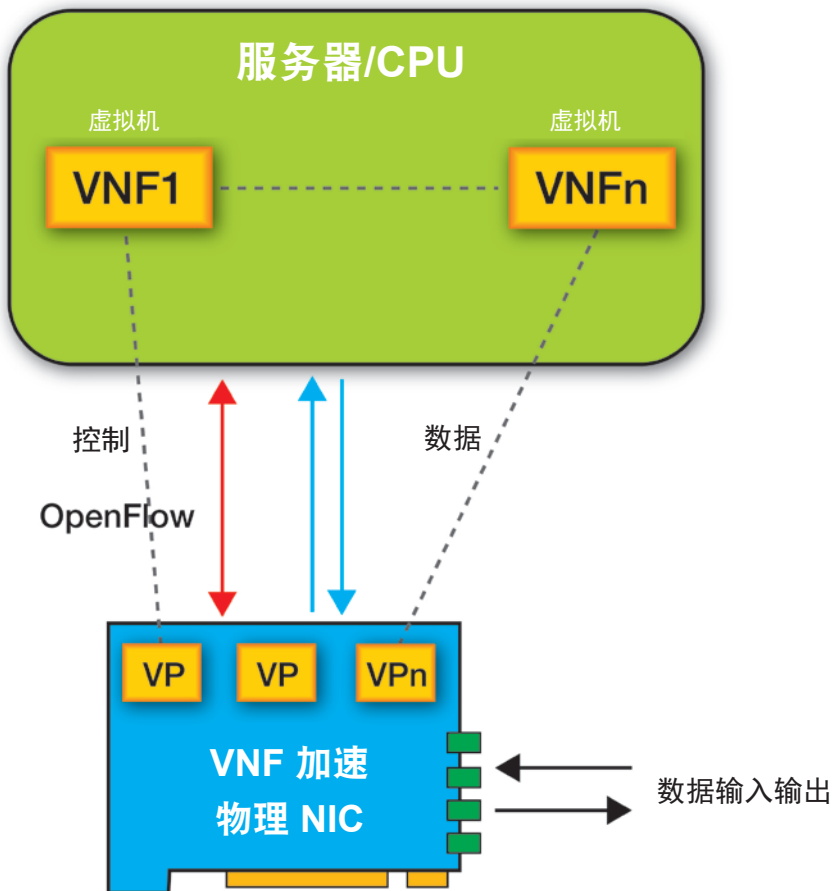


图 1 – 在数据包到达时, NIC 进入代表特定虚拟机的虚拟端口 (VP)。数据包随后通过 DMA 发送到服务器上的合适的虚拟机以进行处理。

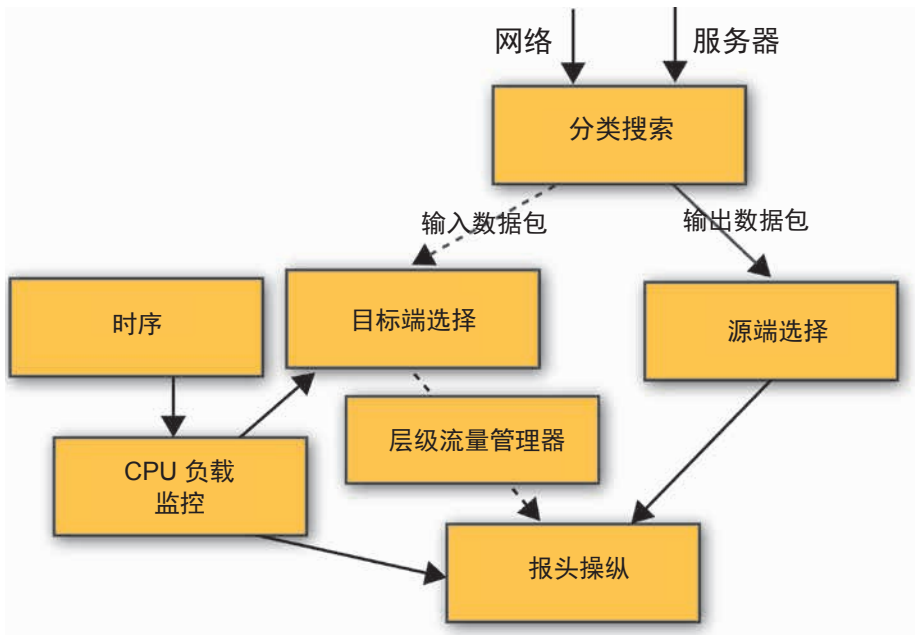


图 2 - 这一高级方框图显示了虚拟机的负载均衡和交换机。

行的软件。

尽管所有这些产品都声称是开放式 NFV 方法，但实则不然。所有这些方法都涉及到苛刻并且可以说是限制过多的硬件实现方案，这些实现方案仅具备软件可编程，并且在 SoC 或标准处理器方面再次依赖于苛刻且专有的硬件实现方案。

### 用于 NFV 性能加速的 ALL PROGRAMMABLE ETHERNET NIC

要加强可编程性同时还要大幅提高性能，很多公司都在研究一种能将现有 CPU 与 FPGA 结合使用的组合方法。在过去两年中，很多数据中心运营商（尤其是 Microsoft 公司）发布了论文来阐述他们通过混合架构所实现的性能大幅提升。Microsoft 发布的名为“Catapult Project”的白皮书指出，在功耗仅增加了 10% 的情况下，性能

提高了 95%。Intel 指出，在数据中心 NIC 中将 FPGA 与 CPU 组合所产生的效能是其花费 167 亿美元收购第二大 FPGA 厂商 Altera 公司的主要原因。

同样，CPU 与 FPGA 组合方法也适用于在虚拟机上运行虚拟联网功能的 NFV。在这种方法中，FPGA 用作完全可编程 NIC，经扩展可用来加速在服务器的 CPU/VM 上运行的虚拟网络功能。

但是完全基于 FPGA 的 NIC 卡是 NFV 的理想 COTS 硬件架构。多家 FPGA 固件厂商都可以提供固件，以提高在 FPGA NIC 上运行的 NFV 的性能。并且 FPGA 公司最近开发了 C 语言编译器技术（如赛灵思的 SDAccel™ 和 SDSoc™ 开发环境）以实现 OpenCL™ 和 C++ 设计输入和编程加速，从而进一步向更多用户推广 NFV 设备设计。

为加速 NFV 性能，NFV 解决方案提供商增加了 VM 的数量，目的是在多个 VM 上分配 VNF。在操作多个 VM 时，出现了新的挑战，这与均衡虚拟机间的流量负载同时还要支持 IP 分片有关。此外，在支持 VM 之间的交换以及 VM 与 NIC 之间的交换方面也存在挑战。纯软件 vSwitch 元件根本不具备足以解决这些挑战的性能。另外，还必须保持 VM 的完整性，以便 VM 能够适当存储特定的突发数据包并且不会无序交付数据包。

Ethernity 的 ENET FPGA 专用于解决 NFV 的性能问题，其配备了虚拟交换机 / 路由器实现方案，使系统能够根据 L2、L3 和 L4 标签来加速 vSwitch 交换数据的功能，同时保持为每个 VM 分配一个专用虚拟端口。如果某个特定 VM 不可用，ENET 则可以将流量保存 100ms 之久；而一旦可用，ENET 将通过 DMA 将数据传输给 VM。我们的 ENET 安装了标准 CFM 数据包生成器和数据包分析器，可提供延迟测量功能，从而可以测量 VM 的可用性和运行健康状况，并且指示 ENET 的状态负载均衡器（关于每个 VM 在负载分配方面的可用性）。数据包重新排序引擎可以在某些情况下保持帧的顺序，例如，如果某个数据包出现无序移动，这可能导致对一项功能使用多个 VM。

图 2 描述了 VM 负载均衡 ENET 解决方案的方框图。

在图 2 中，分类模块执行 L2、L3 和 L4 字段的层级分类，以保持支持长时间活动 TCP（telnet、FTP 等不会立即关闭）的连接和流的路由。负载均衡器必须确保该连接上携带的多个数据包不会将负载均衡到其他可用的服务主机。ENET 包括老化机制功

能，以删除不活动的流。

在分类模块中，我们根据 L2、L3 和 L4 字段配置了均衡哈希算法。此算法包含分段，以便负载均衡器能够根据内部隧道 (inner tunnel) 信息（如 VXLAN 或 NVGRE）来执行均衡，而 IP 分片连接则可以由特定连接 /CPU 来进行处理。对于 VM 到 VM 连接而言，分类器和搜索引擎会将会话转发到目标 VM，而不是 vSwitch 软件。同时，分类器功能根据其路由器输出为每个输入流分配报头操控规则，同时监控修改 IP 地址或卸载协议。

对于每个新流，目标选择模块的负载均衡器根据加权循环调度算法 (WRR) 技术从可用的 VM 中分配目标地址。将根据从 VM 负载监控模块派生的信息来配置 WRR。

分层流量管理器模块在可用的

VM 之间实现分层 WRR，并为每个 VM 保持一个输出虚拟端口，以根据优先级、VM 和物理端口分成三个调度层级。CPU 层级表示特定 VM，同时优先级层级可能在服务于特定 VM 的不同服务 / 流之间分配加权。ENET 通过操作外部 DDR3，可以支持 100ms 的缓存以克服特定 VM 的瞬时负载。

VM 负载监控使用 ENET 可编程数据包生成器和数据包分析器对电信级以太网服务进行监控，这符合 Y.1731 和 802.1ag 标准。VM 负载监控模块维护有关每个 CPU/VM 可用性的信息，对 VM 使用以太网 CFM 延迟测量报文 (DMM) 协议生成之类的指标。通过对每个数据包加盖时间戳并测量发送与接收之间的时间差，此模块可以确定每个 VM 的可用性，并据

此指示可用 VM 上的目标选择模块。

资源选择模块所确定的是从主机发送至用户的哪些传出流量将被分类并确定数据包的资源。ENET 中的报头操控模块将执行网络地址转换 (NAT) 以将输入地址替换为正确的 VM IP 地址，从而使 NIC 能够将流、数据包或服务转发至正确的 VM。对于输出流量，NAT 将执行相反操作并将数据包连同其原始 IP 地址一并发送给用户。此外，报头操控模块还将执行隧道封装。此时，报头操控模块将执行分类器通过分类所分配的操作规则，并将在 CPU 操作之间剥离隧道报头或其他报头。在相反方向，其将原始隧道附加到输出用户端口。

随着运营商网络用户数量的增加，流表 (flow table) 的大小可能快速增加从而超过标准服务器的缓存

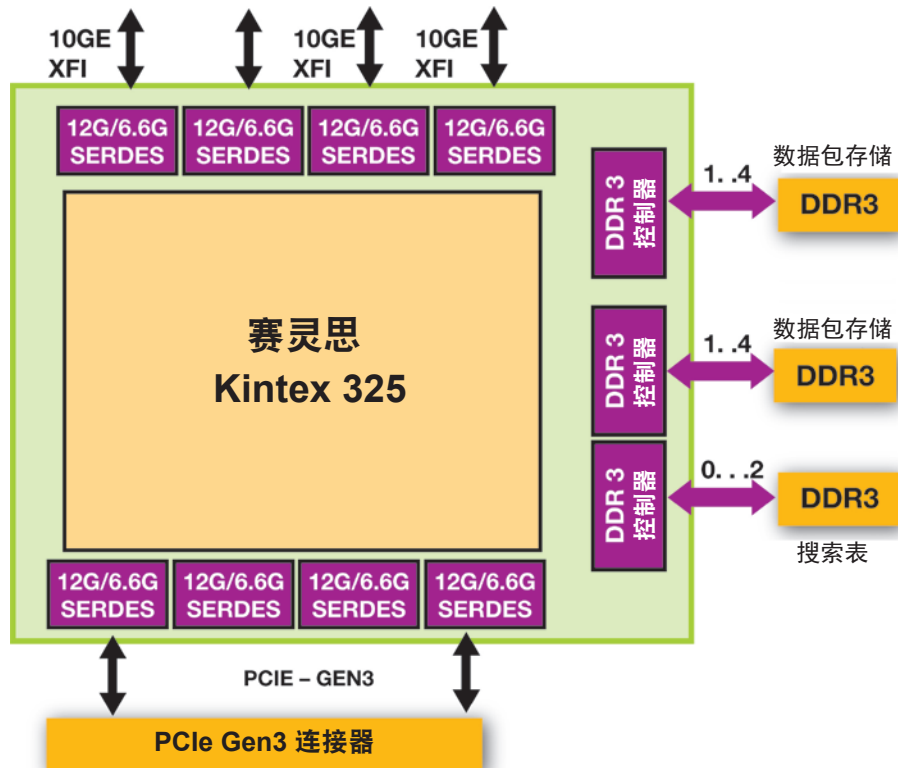


图 3 – Xilinx Kintex FPGA 位于 Ethernity NFV 网卡的中心。



容量。对于当前 OpenFlow 系统尤为如此，因为当前 OpenFlow 系统需要 40 个不同字段、IPv6 地址、多协议标签交换 (MPLS) 和提供商骨干网桥 (PBB)。ENET 搜索引擎和包解析器可以支持对多个字段进行分类并提供数百万个流，因而可以从软件设备中卸载分类和搜索功能。

最后，通过 ENET 数据包报头操控引擎，ENET 可将卸载任何协议处理并为 VM 以及 TCP 分段或者各种协议之间的联网（包括用于虚拟 EPC(vEPC) 实现的 3GPP、XVLAN、MPLS、PBB、NAT/PAT 等）提供原始数据信息。

除了固件之外，Ethernity 还开发了我们称之为 ACE-NIC 的 NFV NIC (图 3)。要创建 NIC，我们将 ENET SoC 固件（已部署到电信级以太网网络中的数十万个系统中）部署到单个 Xilinx Kintex<sup>®</sup>-7 FPGA 中。我们还将五个分立组件的功能集成到同一个 FPGA 中。NIC 和 SR-IOV 支持；网络处理（包括分类、负载均衡、数据包修改、交换、路由以及 OAM）；100ms 缓冲；帧分段；加密。

ACE-NIC 是一款支持 OpenFlow 的硬件加速 NIC，并在 COTS 服务器中运行。ACE-NIC 将 vEPC 和 vCPE NFV 平台的性能提升 50 倍，极大降低了与 NFV 平台相关的端对端时延。新的 ACE-NIC 配备了四个 10GE 端口以及专为基于 Ethernity ENET 流处理器的 FPGA SoC 设计的软件和硬件，支持 PCIe<sup>®</sup> Gen3。ACE-NIC 还配备了与 FPGA SoC 连接的板载 DDR3，支持 100ms 缓冲并可搜索一百万条目。

Ethernity ENET 流处理器 SoC 平台使用具有专利、独有的基于流

的处理引擎来处理大小可变的任何数据单元，提供多协议联网、流量管理、交换、路由、分段、时间戳和网络处理。此平台在 Xilinx 28nm Kintex-7XC7K325T FPGA 上支持高达 80Gbps 的速率，或在更大型 FPGA 上支持更高速率。

ACE-NIC 附带基本功能，比如纳秒精度以内的按帧时间戳、数据包生成器、数据包分析器、100ms 缓冲、帧过滤以及 VM 之间的负载平衡。为提供多个云设备，其还能够按虚拟机分配虚拟端口。

此外，ACE-NIC 还带有 NFV vEPC 的专用加速功能。这些功能包括帧报头操纵和卸载、16K 虚拟端口交换实现、可编程帧分段、QoS、计数器和计费信息，这些功能可以由面向 vEPC 的 OpenFlow 进行控制。通过其独特的软件及硬件设计，ACE-NIC 将软件性能提高了 50 倍。

### ALL PROGRAMMABLE ETHERNITY SDN 交换机

同样，Ethernity 在 FPGA 中集成 ENET SoC 固件以创建全 ALL PROGRAMMABLE SDN 交换机，并支持 OpenFlow 的 1.4 版本和全套电信级以太网交换机功能，从而加速白盒 SDN 交换机部署的上市进程。

ENET SoC 电信级以太网交换机是符合 MEF 标准的 L2、L3 和 L4 交换机/路由器，可以在分布于超过 128 个物理通道的 16,000 个内部虚拟端口之间交换和路由五个级别数据包报头的帧。其支持 FE、GbE 和 10GbE 以太网端口以及四种级别的流量管理调度层级。由于 ENET 的内架构支持分段帧，因此 ENET 可以通过零拷贝技术执行 IP 分片和功能

重新排序，这样一来，分段与重组便不再需要专用的存储和转发。此外，ENET 还具有集成的可编程数据包生成器和数据包分析器，可简化 CFM/OAM 操作。最终，ENET 可以在 3GPP、LTE、移动回程和宽带接入中运行。其支持多个协议之间的互通，这些只需要通过零拷贝操作，并且不需要重新路由帧来进行报头操控。

显然，通信行业正处在新时代的开端。我们确信可以看到 NFV 和 SDN 领域会有很多创新。NFV 性能提升或 SDN 交换机的任何新兴解决方案必须能够支持新版 SDN。随着 Intel 收购 Altera 以及寻求更高可编程性的硬件架构不断增多，我们确信处理器与 FPGA 的组合架构也会越来越多，同时还会有新的创新方式来实现 NFV 性能提升。

基于 FPGA 的 NFV NIC 加速可以基于通用处理器来提供 NFV 的灵活性，同时提供 GPP 无法维持的必要吞吐量，并且还要执行 GPP 无法支持的特定网络功能加速。通过在 FPGA 平台上有效组合 SDN 与 NFV，我们可以设计出 All Programmable 网络设备，从而推动网络应用领域中全新的 IP 厂商生态系统创新。🌈

软件定义网络领域的出色表现

# Xilinx FPGA 助力 高性能 SDN

利用 FPGA 的灵活性和可编程性，  
Corsa Technology 在不到六个月的  
时间内设计并销售了其首款软件定  
义网络交换机。



作者: Yatish Kumar  
首席技术官  
Corsa Technology  
yatish@corsa.com

一些人可能认为,就具体效果而言,软件定义网络(SDN)受到了人们过多的关注。在SDN的早期,部署的出现源自于领先研究机构与快速定制其现有非SDN固体的硬件公司的共同不懈努力。尽管这些工作验证了SDN的理论,但概念证明阶段的SDN与专门针对全球精心策划架构的生产网络实施的SDN之间仍有很大差别。

在Corsa Technology,我们与网络架构师和运营商一起制定了SDN的愿景。他们一遍又一遍地告诉我们,正确实施的SDN意味着您的网络架构将实时改变和适应流量模式和用户需求。这一灵活性以传统成本的一小部分实现了性能的大幅提升。

以这一理念作为指导原则,Corsa将SDN定义为简单设计模式。很多其他公司也认同这一基本概念:将软件与硬件分离,通过开放接口进行通信,给予软件所有控制权(大脑)并让硬件(体力)尽可能地高性能。但是在Corsa,我们从性能硬件的角度进一步认真研究了网络新世界秩序需要(图1)。

我们提出的硬件定义与网络架构师的SDN愿景不谋而合。我们将其称之为“精益硬件”:规模适合部署,具有超高性能,并且灵活性和可扩展性极高,即便是最大网络流量,也能轻松应对。如果仅需要约10%的功能,为何要购买庞大且昂贵的大型机器?相反,如果硬件的灵活性和可编程性足够,则您可以对其进行调整和修改以满足特定网络需求。无论是在WAN边缘还是园区边缘,同一精益硬件可以在您的网络中肩负着各种元件的作用。

正确实施的SDN使您可以摆脱本地、苛刻、固定式、复杂、专有硬件和软件的束缚。简单设计模式中Corsa的性能SDN可帮助您通过灵活、高性能、可扩展硬件平台实现软件定义网络。

### 重重压力下的硬件设计

这种灵活的SDN网络概念对于网络硬件设计必须如何变化有着直接影响。得益于新的创新,SDN网络架构可能快速变化,因此SDN硬件解决方案的上市时间比以往变得更为重要。

硬件平台是系统设计、板级别设计、机械设计、SoC选择或设计的组合体。通常,在SDN等新兴市场中,SoC无法以商用芯片的方式提供,并且硬件解决方案需要采取ASIC、NPU或FPGA途径得以实现。对于SDN,鉴于其网络变化的节奏,我们很难做出决策。

使用定制ASIC,通常需要三年时间才能完成网络硬件的设计、构建与实现工作:六个月的时间进行硬件选型和架构;一年时间进行ASIC设计;四个月时间进行开发板设计和制造;十二个月时间进行软件集成和测试。如果所有流程一次性通过,便可实现上述结果。

对于Corsa,这种时间优先的原型设计方式不可接受。

另一方面,网络处理单元(NPU)是一种专为网络应用而设计的可编程商用芯片。尽管它们的确具备高灵活性并且可以重新编程,但它们的带宽有限,这对于大规模交换功能是一大障碍。它们还提供了复杂的专有编程模型,很难更改。由于SDN需要全面的灵活性、高性能和大规模,我们



同样排除了 NPU。

为通过适当的解决方案满足 SDN 上市时间需求，Corsa 选择了 FPGA，并且利用赛灵思 Virtex®-7 器件的灵活性，用六个月时间开发了一种解决方案。

利用 FPGA 进行设计，我们可以并行进行以下工作（请参见图 2）：

- 系统架构（四个月）
- RTL 代码编写（六个月）
- 软件设计（六个月）
- PCB 设计和制造（四个月）

一个重要的事实是，我们可以在 FPGA 平台上即时修改 RTL，同时各种设计活动继续进行并针对性能和规模进行优化。

**增量设计的优势**

我们采用基于一系列 FPGA 的 Slice 来开发我们的系统架构。这种方

法能够开发出具有最小可行特性的单个 Slice，同时为全特性集留下预算容量。不需要像通过基于 ASIC 或 NPU 的方法那样预先全面设计整个架构，然后再迁移到 RTL 中。因此，我们可以与系统并行开发工作码，并能够更加快速地交付给领先客户。

并非每一个用例或应用都需要所有功能。通过利用 FPGA 的硬件级可编程性，我们可以创造更小的 RTL 实现，这些实现与特定用例所需要的功能集和性能相匹配。在设计期间甚至是在现在，可以取代 10G 和 100G MAC，将资源从交换架构转移到分类引擎，以及添加或移除用于特定协议的硬件加速功能。相比 ASIC 或 NPU，这一灵活性有助于减少门数，进而缩减物理封装尺寸。它还使我们可以回应那些一旦客户参与就会必然出现的无法预见用例。序列设计通常会导致出现先有鸡还是先有蛋的定义难题，即：完全指定 ASIC 或 NPU 要

求，但是在产品到达实验室之前，没有详细的客户参与。

**SDN 交换设计**

SDN 表示就有关如何构建网络设备方面与传统观念分道扬镳。SDN 的一项关键要求是，较之于传统的固定功能硬件，可重编程硬件在构建和销售方面极富竞争力。发挥这一理念，SDN 为网络推出方式带来革命性变化。传统网络设计的原理现在可以显著改进。

以下是激起人们对 SDN 的关注三个主要因素。

**1. 用于解决新网络问题的新网络协议的速度**

一项新的网络协议至少需要三年时间才能完成其标准化流程。还需要两到三年时间在硬件中实现，然后才能最终部署。通过 SDN，新协议是通过软件实现，并且几乎是立即部署在

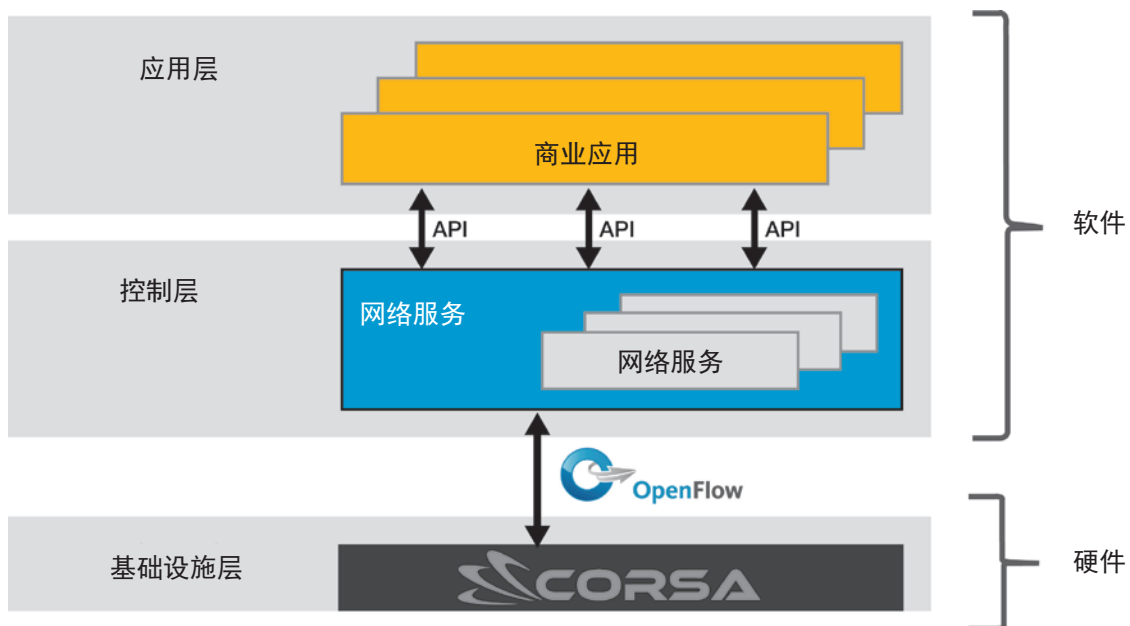


图 1- SDN 将包转发数据层与控制层隔离。

安装的系统。这将周期从五年降至短短数月。

## 2. 基于开放硬件平台，创新网络创意的精英化

标准更注重策略而非技术。经各方争执和修改，最终的规范是代表各方立场的妥协版本。在此过程中，实力较小的一方通常被忽略或无视。通过 SDN，任何人都可以制定协议并供行业使用。如果运营商看到优势，协议便会繁荣发展，否则便会消亡。要让最佳技术理念取胜，这种“适者生存”的方法是更加可靠的选择过程。

## 3. 针对尚未开发的协议，通过现场升级来复用基础设施

每年在新网络设备方面的花费达到了数十亿美元。这些设备的生命周

期是三到五年。在购买设备时尚未开发的任何协议或功能通常必须等待三到五年，直到设备更新后方可使用。通过 SDN，新协议很有可能能够立即部署在现场的设备中。将设备的使用寿命延长到超过五年已成为现实，同时为即将出现的新功能提供即时可用性。

### FPGA 对比 ASIC

为增强竞争力，SDN 交换要求高性能、灵活性和大规模，这些要求都以价格合理的套装形式提供。传统观念认为，需要固定功能 ASIC 才能构建此类有竞争力的系统。这在 28nm 技术节点出现之前的确如此。但是，在 28nm 及之后，FPGA 已经达到了颠覆性规模。它们不再是用于胶合逻辑的大型 PLD 器件。相反，它们终于

实至名归，不负上世纪九十年代早期赋予它们的“现场可编程门控阵列”这一称号。

FPGA 技术现在的性能、灵活性和可扩展性如此之高，足以满足网络架构师所需的 SDN 属性列表要求。首先 IP 库、存储器和 I/O 等一些关键方面凸显了 FPGA 技术会给 SDN 带来明显优势。

就 IP 而言，已经使用 FPGA 中的标准单元实现了基本网络功能。其中有大型器件，包括数十个 10/100G 以太网 MAC、PCIe<sup>®</sup> 接口、Interlaken 接口、嵌入式 ARM<sup>®</sup> 内核和 DDR3 接口。这些 IP 核为 SDN 交换机设计师提供了大量预先设计和预先优化的模块。

在网络设备中，规模很关键。有助于形成规模的一个特定方面就是存

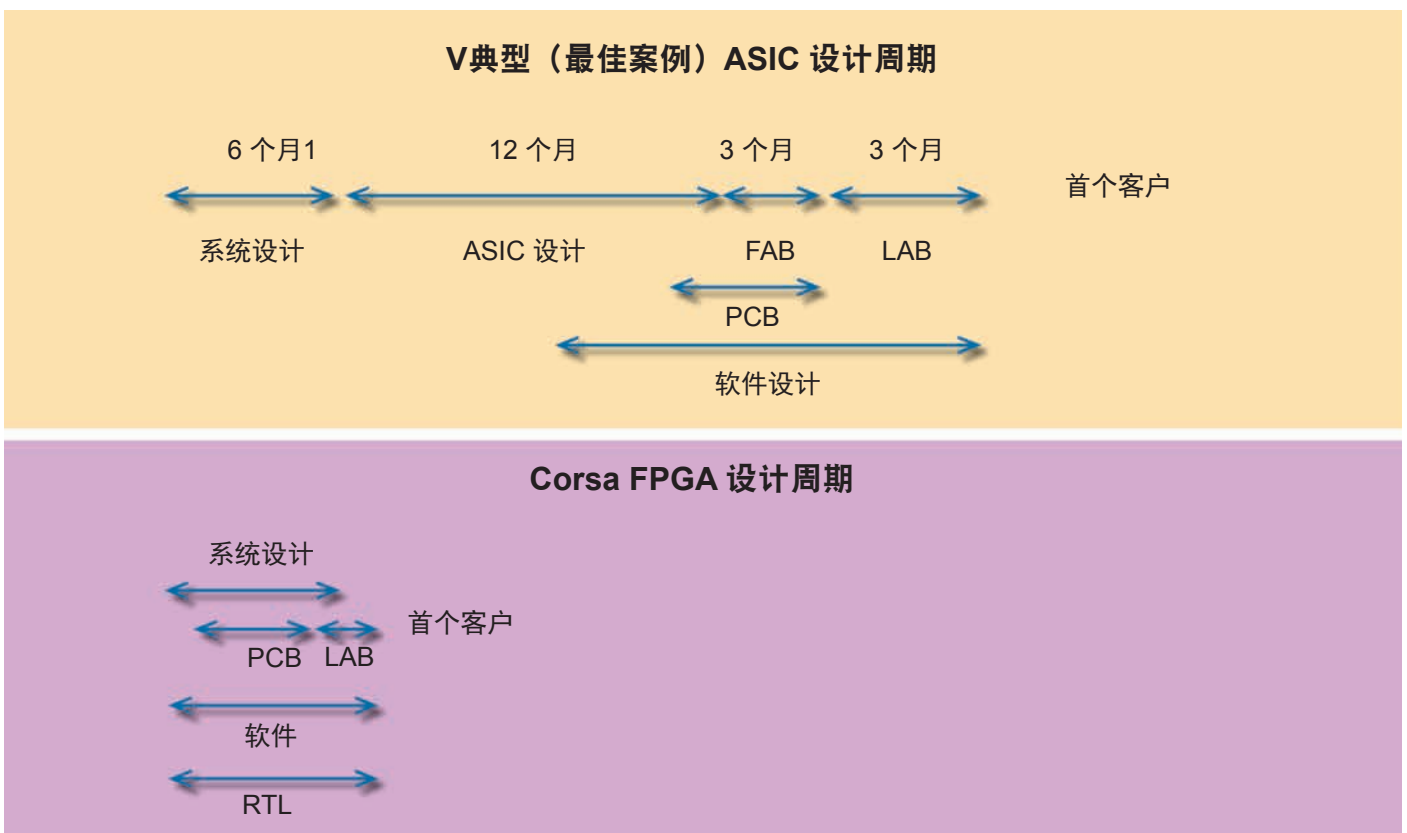


图 2 – Corsica 的基于 FPGA 的设计周期比典型 ASIC 设计周期明显缩短。

存储器，对于包交换，需要大量小型存储结构。这些存储结构提供的带宽和容量，可支持 TB 级或更多流量输入输出处理单元。FPGA 存储器进行了优化且占用芯片面积最小，因此有助于实现 TB 级路由规模。

就 I/O 而言，网络需要大量串并

转换接口，每个接口均包含大量模拟组件、功率放大器和数字逻辑。I/O 专用芯片面积可能过多。FPGA 技术具有卓越的 I/O 模块，就其芯片面积占用而言，能够与网络 ASIC 媲美。

在对芯片面积增加了上述促进因素以后，显然可以看到，基础 FPGA

技术以最佳方式至少将 ASIC 的复杂度降低一半，另外 50% 或更低的芯片面积可考虑用于 CLB 或标准单元。鉴于销量相对较低的网络 ASIC 业务的价值定价（10 万套被视为大数量），任何差价都会水落石出。

这对于 SDN 则意味着我们突然拥有了一个现场可编程的高度可编程平台，以支持先前需要百万美元 NRE 和巨大 ASIC 开发的多种系统。这类似于在所有书籍需要用羽毛笔和墨水书写一次的时代发明了印刷术。

## OpenFlow

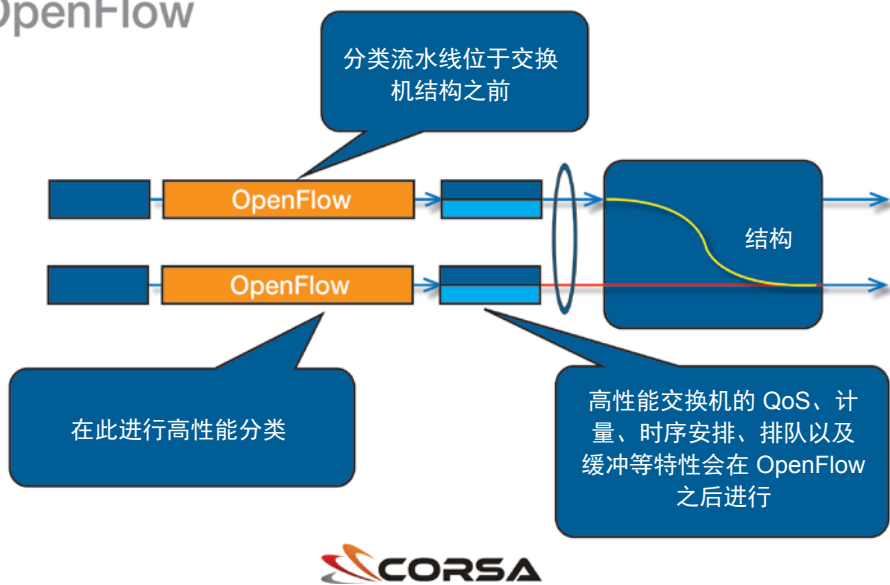


图 3 – 高性能 SDN 交换机的两个主要元件元素是能够进行包分类的引擎和快速交换机结构。

## CORSA 的性能 SDN

在 Corsa，我们认识到，网络市场中有两种颠覆性的趋势。第一种是对可编程网络元件的渴望；第二种是 FPGA 作为固定功能芯片替代品的出现。因此我们开始了设计理想的 SDN 交换机的任务。图 3 中显示了此类设备的系统架构。

高性能 SDN 交换机有两个组件。其具有性能很高的包分类引擎，

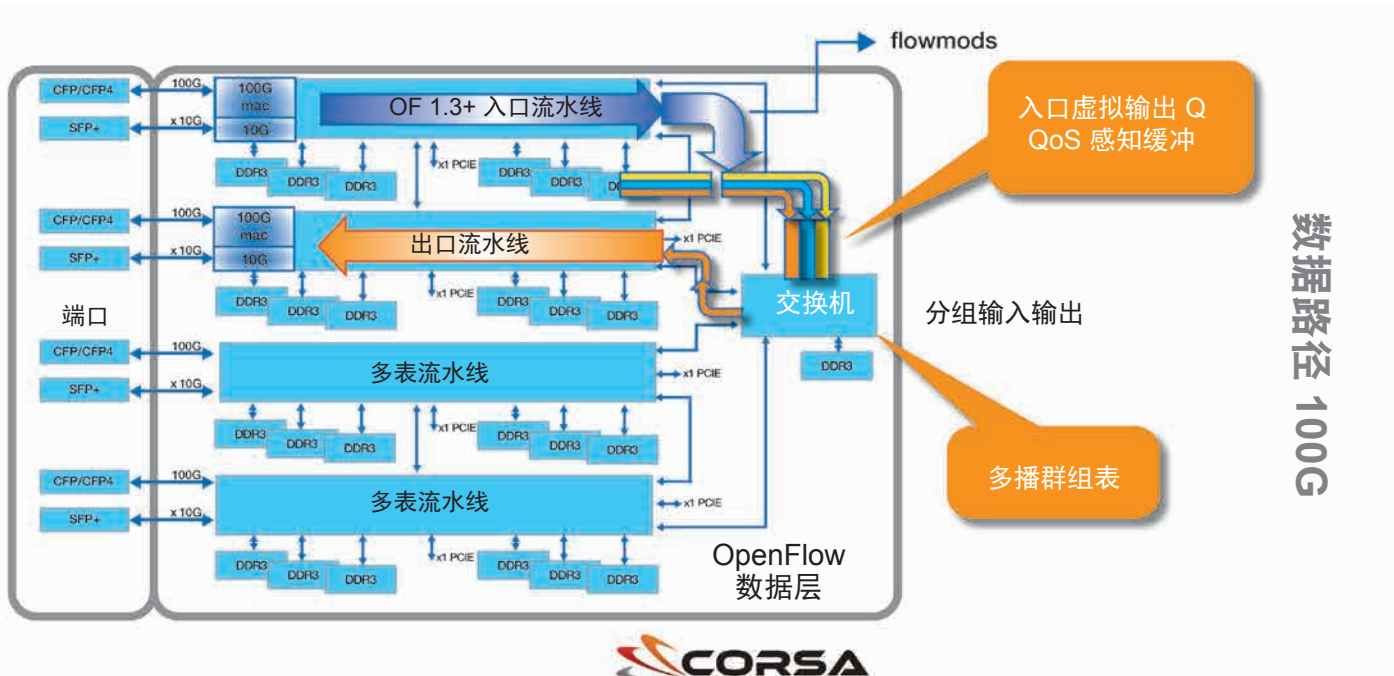


图 4 – Corsa 的高带宽和高容量系统架构具有基于 FPGA 的流水线和交换机结构。



这是交换机结构的先驱。分类器在 OpenFlow 规范中定义为一系列匹配操作表，这些操作表检查包报头并根据包中各种协议的源和目标字段来制定转发决策。一旦制定了转发决策，包进入第二个组件：能够缓冲和交换 TB 级数据的高速交换机结构。

这些数据速率所必需的带宽和容量对于性能 SDN 交换机的物理架构有着显著影响。这些交换机需要 100ms 或更多的包缓冲，以在大量聚合点中（比如在 WAN 或园区边缘）存在流量堵塞的情况下保持高吞吐量。对于 640 Gb 的前面板带宽，可用以下计算得出：

$640 \text{ Gbps} * 0.1 \text{ s} = 64 \text{ Gb}$  包缓冲存储器

对于 Corsa，这是使用 FPGA 脱颖而出的地方。实现性能 SDN 所需要的存储密度的唯一存储技术是 DDR3 存储器。在 28nm 中，DDR3-1600 是最快速的存储器。为了以全线路速率写入并读取每个包，我们需要 1.28Tb 的存储带宽。在考虑了访问效率低下这一因素之后，单个 DDR3 DIMM 模块能够处理约 64Gb 的流量。这意味着我们需要 10 个 DDR3 DIMM 模块才能为 Internet 规模的 SDN 交换机提供包缓冲。

由于单个 FPGA 无法托管如此多的 RAM，因此导致我们立即通过每个 FPGA 大约三个 DIMM 来寻求分布式架构。我们随后增加了额外的内存容量和带宽以存储 OpenFlow 流水线的包分类数据，如 IPv4 地址、MAC 地址、隧道 ID 等。这为我们带来了每个流水线两个 FPGA 的通道实现方案（每个流水线六个 DDR3 DIMM）。流水线通道与通过架构 FPGA 构建的定

制交换机结构绑定在一起，并且控制层通过具备 PCIe 3.0 连接的 Xeon 处理器绑定到包转发引擎（图 4）。

这种设计为我们提供了大量门控，海量的存储带宽和容量以及超高速的控制层连接。利用 OpenFlow 的灵活性，Corsa 构建了用于 Internet 协议规模的路由器、MPLS 交换机、100-Gig 防火墙和 DPI 负载均衡器的线路速率处理引擎，以及众多其他网络用例，绝对无需修改硬件架构，且不影响性能。我们看到网络功能虚拟化 (NFV) 服务链的出现令人有些满意；网络服务报头和协议仍在草拟之中。

### 规模、性能和灵活性

可编程网络是未来之路。网络运营商从服务速度、基础架构重用及其通过 DevOps 管理复杂性的能力等方面看到了优势。在对可编程网络元件新兴需求的同时，FPGA 正将性能和规模推到全新的高度。在 Corsa，我们认识到这一交会点并在我们的 SDN 硬件平台中使用 FPGA 来实现 SDN 规模、性能和灵活性。

在固定功能厂商继续多年来等待标准、制造 ASIC 并延迟其产品上市的老路的同时，Corsa 能够立即通过我们交付的新系统部署这些新协议。更好的是，由于使用赛灵思 FPGA，我们可以将以前交付的系统升级以支持未来开发的协议。🌈

## Xilinx 宣布开放 SDSoC 开发环境 将 Zynq SoC 用户扩展至广大的系统和软件工程师社群

新版本开发环境包括扩展库、开发板和设计服务生态系统支持，可实现嵌入式 C/C++ 语言应用开发

2015 年 7 月 22 日，中国北京 - All Programmable 技术和器件的全球领先企业赛灵思公司 (Xilinx, Inc. (NASDAQ:XLNX)) 今天宣布推出正式版 (Public Access Release) SDSoC™ 开发环境，将 Zynq® SoC 和 MPSoC 用户扩展至广泛的系统和软件工程师社群。SDSoC 开发环境是赛灵思 SDx™ 软件定义开发环境系列成员之一，包括扩展库、开发板、设计服务生态系统支持，可实现嵌入式 C/C++ 语言应用开发。该 SDSoC™ 开发环境正式版还强化了集成设计环境 (IDE) 的功能与特性，让编程和平台开发更加简便容易。

### 扩展库、开发板和服务生态系统支持

赛灵思于 2015 年 3 月推出 SDSoC 开发环境以来，又认证了一批新的开发板、系统级模块 (SoM)、库和设计服务提供商联盟成员。目前已有超过 15 种认证质量级的开发板和 SoM，应用范围包机器视觉、高级驾驶员辅助系统 (ADAS) 和软件定义无线电应用。此外赛灵思及其函数库合作伙伴还提供包括 OpenCV、线性代数和信号处理在内的库函数。赛灵思还新增了八家认证设计服务联盟成员以扩展其生态系统，从而使世界各地的设计团队能够充分发挥 All Programmable SoC 和 MPSoC 的潜力进行设计。

### SDSoC 开发环境的增强功能

SDSoC 开发环境 2015.2 版本在其 IDE 中支持增强型软硬件分区、系统连接探索、高准确度快速性能估测流程。该版本还增强了平台创建流程，使用户能够无缝地将现有 Vivado® 设计套件项目和针对定制开发板的运行时间软件项目转换成 SDSoC 定制平台。

网络安全领域的出色表现

# 采用 Zynq SoC 实现 Power-Fingerprinting 网络安全性

作者 **Carlos R. Aguayo Gonzalez**

首席技术官

PFP Cybersecurity

[caguayog@pfpcyber.com](mailto:caguayog@pfpcyber.com)

**Michael Fawcett**

首席技术官

iVeia

[michael.fawcett@iveia.com](mailto:michael.fawcett@iveia.com)

**Dan Isaacs**

互联系统总监：战略营销与商业规划

赛灵思公司

[dan.isaacs@xilinx.com](mailto:dan.isaacs@xilinx.com)



## PFP Cybersecurity 和 iVeia 在赛灵思的 Zynq SoC 中采用新颖的“指纹”方法来保护工业物联网系 (IIoT) 统的安全。

驱动工业物联网 (IIoT) 的“任意连接”实现了超高速增长，这不仅仅只是连接众多迥然不同的设备，这还与跨各种广泛应用收集、分析和操作的数据有关。IIoT 概念的关键点在于能够确保设备的安全性，以便能够收集和同化数据并向其他位置进行传输。

“任意连接”这一理念的超高速增长所引发的新漏洞远远快于公司可以实施的安全措施。通常最容易被忽略的漏洞之一就是资源受限的硬件平台，例如，2010 年攻击伊朗核反应堆的震网 (Stuxnet) 病毒就引发了全球范围内的关注。

PFP Cybersecurity 是一家科技公司，其制定的独特方法能解决众多安全性问题，例如因资源受限的硬件平台和网络安全威胁（如震网等病毒）的增长所导致的问题。iVeia 通过充分利用赛灵思’s Zynq-7000 All Programmable SoC 来帮助 PFP Cybersecurity 面向 IIoT 应用实施新颖、高效的算法型网络安全解决方案。与 PFP 的基于 PC 的概念验证相比最终设计在体积和功耗方面均减少或降低了一个数量级。

在探讨我们两家公司如何在 Zynq SoC 上使用名为 Power Fingerprinting (PFP) 的专有技术来开发和商用化某个 IIoT 网络安全解决

方案之前，我们首先来深入了解一下资源受限硬件平台不断增长的安全漏洞。

### 资源受限型硬件平台的漏洞

由于标准工业控制设备使用资源受限的嵌入式平台，因而控制关键基础设施的大量系统几乎没有网络安全规定。如今，这种系统级别漏洞正被认为是关键基础设施的严重威胁。在关键基础设施环境中，很多系统具备陈旧的处理器，使用唯一硬件，并且不支持典型网络安全措施所引入的性能降级，它们为入侵留下了后门。最近的一次是在 2014 年 11 月，调查人员发现控制美国电厂、电网、水处理工厂和石油天然气基础设施的系统感染了病毒。<sup>[1]</sup>

四年前，由于震网病毒感染了伊朗负责运行核离心机的可编程逻辑控制器 (PLC)，从而导致了离心机的毁坏。<sup>[2]</sup> 平台过于僵化，就非常容易遭到入侵，PLC 就是其中的典范。PLC 很大程度上由嵌入式 MPU 组成，能自动对工业设备进行控制和监控。企业通常会建立其 PLC 平台网络，但却趋向于不为任何类型的安全监控或完整性评估提供资源。<sup>[3]</sup> 同时为了防范零日攻击 (zero-day attack) 或供应商未意识到的安全漏洞，他们也不会特别频繁地去更新这些平台。<sup>[4]</sup>

### POWER FINGERPRINTING: 一种新颖且有效的安全方法

PFP Cybersecurity 开始寻求能解决这类问题的解决方案，其不仅是能与现有安装设备高效协作运行的非侵入式解决方案，同时也不需要安装任何重要的设备或产生大量软件更新。该公司开发的 PFP 技术可作为完整性评估的创新方法。正如人类指纹是个人的唯一标识一样，相同的理念也适用于特定系统或芯片。PFP 使用物理侧通道（例如，功耗）来获取在处理器中全面执行协议栈内部执行状态的相关信息，并且这与平台或应用无关。PFP 技术将识别被系统认为正常运行的“指纹”。如果之后获取的某个指纹不匹配，则可能表明某些方面出错。

这可通过外部监控器来实现，该监控器在物理上与目标处理器分离，并且在网络攻击破坏了目标时能以极高的准确度进行检测。PFP 同时适用于新系统和原有系统，是现有网络安全解决方案的补充，并且不需要在目标上安装任何软件或硬件。

PFP 可支持能捕获通道侧信号的各种传感器，并依赖于计算密集型信号处理算法进行功能抽取，而且依赖机器学习进行分类。能通过各种方法来完成感应侧通道，包括 AC 或 DC 电流或者在目标周围获取电场或磁场变化的电磁 (EM) 传感器。PFP 从捕获的信号中抽取唯一有差别特征，将其与一组基线参考进行比较并查找偏差。基线参考是“指纹”，可唯一识别的正常执行目标软件，并且是通过机器学习方法来抽取的。PFP 使用存储的参考来实时检测未经授权的执行偏差。





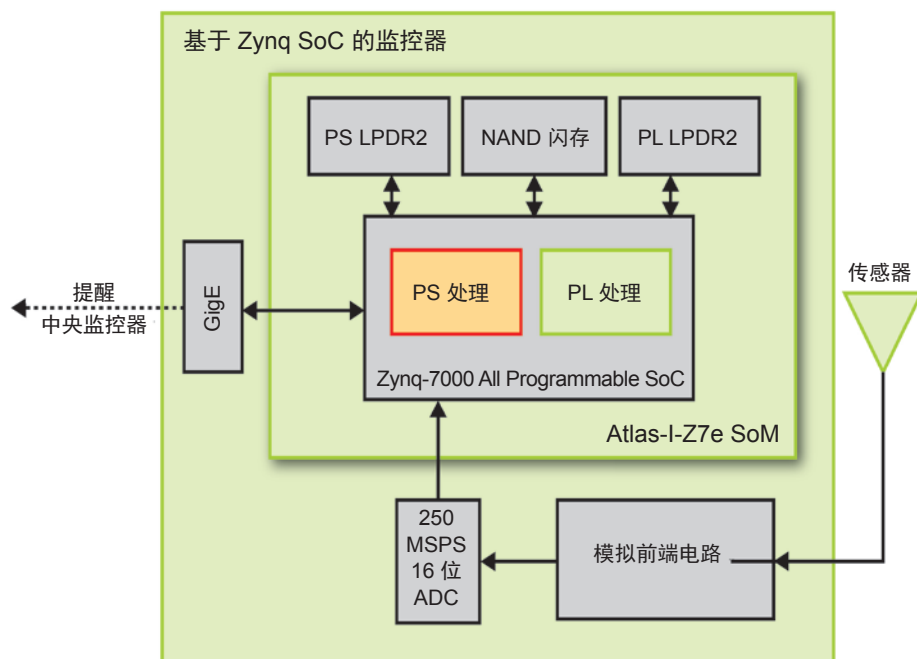


图 2 - 基于 Zynq SoC 的监控系统是通过 iVeia 的 Atlas-I-Z7e 系统级模块构建的。

受到网络的攻击。

从架构方面而言，一种选择可能是将所有原始数字信息通过标准网络传输到中央处理器或服务器。但由于 ADC 极高的采样率，支持如此大量数据所需要的网络基础设施在安装时可能会不可用，并且购买和安装不仅复杂而且成本过高。

因此，分布式计算架构是最理想的选择，因为每个传感器都具备一个计算节点。此外，分布式架构还能在同一单元中将传感器模拟前端和算法处理高度整合在一起，从而降低成本和复杂性。此外，对于大部分安装来说，现有的网络基础设施足以支持目前被认为是超低的数据速率。但是，在采用分布式处理的情况下，监控器节点的设计就变得更具挑战性，因为其自身必须满足传感器节点和监控器算法处理的综合要求。

因此监控器节点必须体积小、功

耗低、成本低。其必须能够处理和缓冲来自于高速 ADC 的数据，并且还能够满足算法的计算需求。此单元必须足够小才能紧靠目标器件放置，而不仅限于限制线缆长度，而且还可提高传感器的抗扰度。大小和潜在的安装空间限制确定该单元可在无风扇的情况下运行；因而必须设计为低功耗。

由于在需要监控的既定安装中可能有数百个目标器件，因此该单元的成本必须非常低才能保持较低的总体安装成本低廉。很多嵌入式处理器都能够满足上述大部分条件，例如部分基于流行的 ARM® 架构的嵌入式处理器。除了大部分由 ARM 器件实现的低功耗和低成本之外，ARM 产品还拥有更多优势，例如对大型社区的支持、嵌入式操作系统和开发工具的可用性以及针对大部分器件的原生千兆以太网支持。

其中几乎所有器件都欠缺处理

原始 ADC 数据的能力（速率高达 8 Gbps）。它们也不具备对该数据进行任何有意义操作的数字信号处理 (DSP) 功能。

## 充分利用 ZYNQ SOC 以实现 FFP CYBERSECURITY

这些更严格的要求使得 Zynq SoC 理想适用于该应用。Zynq SoC 可在单个全功能器件中将双核 ARM 处理系统与高性能可编程逻辑高度整合在一起。这种组合不但可提供能满足应用的处理需求的异构计算架构，同时还能简化基于 PC 系统的代码移植工作。

Zynq SoC 的处理系统能提供上述嵌入式 ARM 处理器的所有优势，而增加的可编程逻辑也拥有若干优势。它们包含与 ADC 的无缝连接，并且还能够处理 ADC 的全数据速率。此外，Zynq SoC 在可编程逻辑结构中包含几百个 DSP 模块和几个逻辑模块，能够利用它们对检测和训练算法实现显著加速。Zynq SoC 还可全方位满足针对低功耗、低成本和小尺寸的要求。

通过采用 28 nm 可编程逻辑结构和 ARM 处理系统，器件可实现相对较低的功耗。由于 Zynq SoC 拥有极高的集成度，因而无需采用之前本来所必需的众多支持电路和外设，这不仅能缩小总体系统设计，同时还可降低成本。此外，为了降低风险并加速上市进程，理想的情况是在设计中添加基于 Zynq SoC 的小型模块级系统 (SoM)。

iVeia 公司推出的 Atlas-I-Z7e 理想适用于嵌入式监控器设计，因为其拥有如下优势：极高的性能功耗比（归功于低功耗 Zynq 7020 器件和 LPDDR2 内存）；专用的可编程逻辑内存在无需处理器干预的情况下对

ADC 数据进行缓冲；以及能在工业环境中可靠运行。Atlas 高度灵活的无缝接口可简化基础板设计。此外，SoM 开发套件还包含具备参考设计的免版权信号处理 IP 资源库，其不仅能提供监控器应用代码的主要部分，而且还能快速提升设计功能。图 2 描述了基于 Zynq SoC 的最终监控器设计。

### 如何执行计算密集型系统功能

一旦选定硬件，现在的重点将转变成父代码从基于 PC 的设计移植到基于 Zynq SoC 的嵌入式平台。由于对 PC 的计算负载具有重要意义，因此必须将 Zynq SoC 的可编程逻辑部分必须用于加速代码并且不能仅充当无缝逻辑。一种可能的方法是将 PC 代码移植到 ARM 处理器，对代码进行概要分析以确定计算瓶颈制定计划以将软件分组为要在可编程逻辑中加速

的代码（对比于 ARM 处理器上运行的代码）。但是，在侧重加速上市进程的情况下，我们的最初方法是通过将这些具有等效、随时可用的 IP 核（并且已知为计算密集型）功能转移到可编程逻辑中，从而对设计进行分组。接下来，我们重构并移植了 PC 代码，然后对其余代码进行概要分析以确定是否还需要任何其他加速。图 3 对此方案进行了说明。

毋庸置疑，DDC 是可编程逻辑实现方式的理想之选，因为 DDC 内核被纳为 SoM 开发套件的一部分，并且 DDC 组的合并计算要求可超过 20 gigaflop。DDC 组是入侵检测算法的一部分，其必须实时运行才能避免错失入侵事件。DDC 组的抽取输出可传递到 ARM 处理器，以便在软件中进一步处理入侵算法。虽然输出速率可达 2 Gbps，但却能被高性能 AXI 端

口轻松处理，这些端口可将 Zynq SoC 的可编程逻辑连接到 ARM 内存。

通过使用应用编程接口的通用型 AXI 总线从 ARM 处理器对 DDC 内核进行配置。API 允许在 ARM 上运行的软件动态更改 DDC 参数，以便中心频率、带宽和抽取速率方面的更新可以根据控制算法命令实时进行。

由于通过转移 DDC 负载而显著降低数据速率，因而以 766 MHz 频率运行的两个 ARM 中央处理单元 (CPU) 具有足够的性能来支持后续处理进程。由于该设计在对称多处理 (SMP) 模式中采用 Linux 操作系统，因而能分离两个 ARM CPU 内核之间的处理，一个处理入侵检测，而另一个处理控制算法以及可与中央监控站的通信接口。此外，Linux 还具备稳健可靠的网络支持和安全性，可允许进行远程网络管理（这正是大部分安

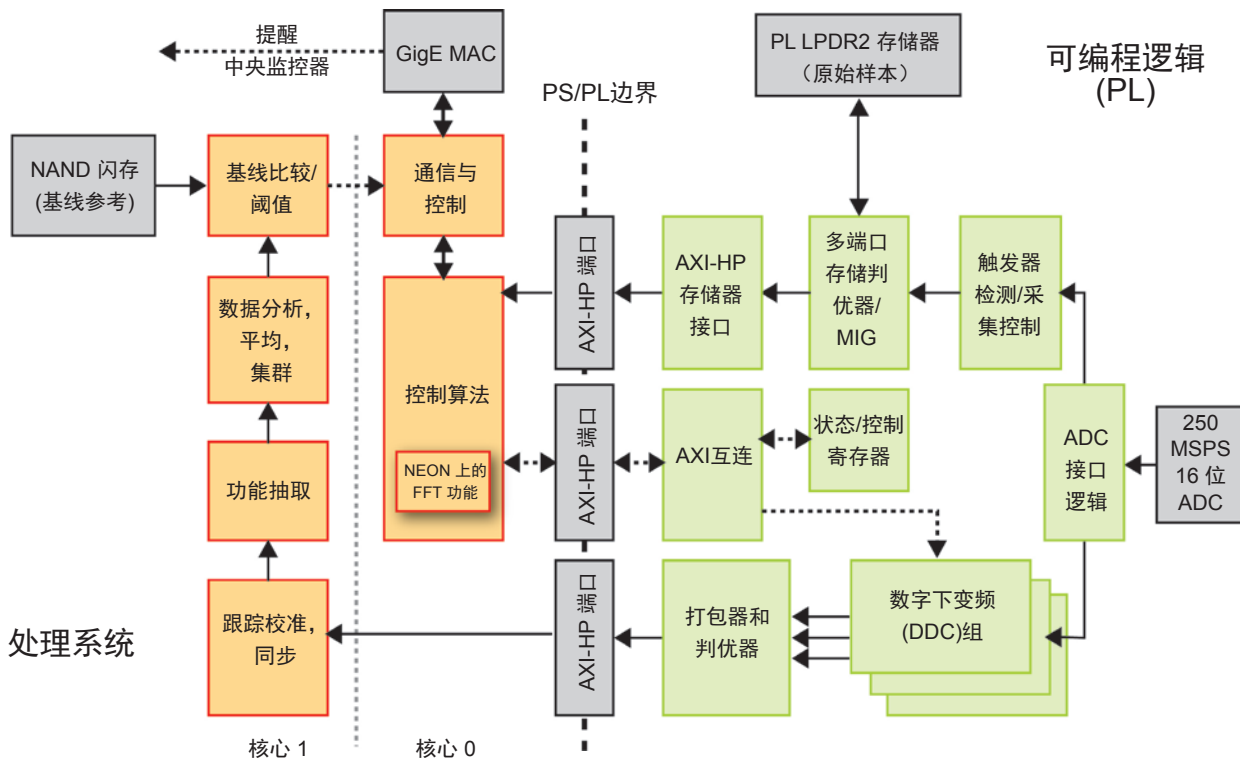


图 3 - 该图表显示了 Zynq SoC 的 PS 和 PL 模块（包含数据流）的功能分区。



装所必需的)，同时禁用任何在不久的将来可能会出现漏洞的不必要特性。

控制处理需要原始 ADC 样本的大型相邻模块。一个需注意事项是将原始 ADC 样本通过高性能 AXI 端口从 ADC 接口逻辑直接串流到 ARM 内存。但是，为了保留处理器系统的内存带宽以用于处理算法，我们反而选择了将 ADC 数据缓冲在可编程逻辑专用的物理内存中。这种内存具有确定性的带宽并确保相邻 ADC 样本的大量集合，而不会干扰 ARM CPU 的操作。

可将从专用可编程逻辑内存中收集的数据通过其中一个高性能 AXI 端口传输到 ARM，以保持低延迟并最大限度降低 ARM CPU 的开销。我们使用多端口内存仲裁器提供了一个收集端口和一个检索端口。这种方法可提供在收集样本的同时并发检索样本所需的仲裁，从而进一步减少延迟。

在对新分区的设计进行分析时，控制算法不会足够频繁地运行来充分地保持检测精度。性能瓶颈在很大程度上归因于 16,000 点 FFT 运算。借助赛灵思的 Vivado® Design Suite 提供的 FFT IP 核，FFT 的性能将远远足够，因为其设计为实时运行。但是，对可编程逻辑的其他资源需求将强制设计利用更大的 Zynq 7030 器件。

幸运的是，来自 Project Ne10 的开源 Ne10 库提供了专为 ARM 的 NEON 架构扩展优化的 FFT 功能，这加速了通用浮点和固定点数学运算。尽管来自 Ne10 库的 FFT 功能不会像赛灵思 IP 核那样实时运行，但其可充分地加速控制算法以保持检测精度。

最终的基于 Zynq SoC 的监控设计平台可与基于 PC 的原型相媲美，

有时甚至略胜一筹。而且，最终的设计比基于 PC 的设计制造成本明显降低，并且消除了 PC 设计存在的尺寸大、功耗高这两大市场壁垒。相对来说，Zynq SoC 设计在尺寸和功耗方面几乎降低了一个数量级。

PFP Cybersecurity 开发了 Power Fingerprinting 技术来解决在关键设备中检测由于工业物联网趋势而暴增的网络攻击的复杂问题。借助业经验证的技术，出现了如何设计系统以实现技术并同时满足市场需求的问题。借助 Zynq SoC，PFP 技术可在复杂且计算强度大的处理能力需求与低成本、小尺寸、低功耗的市场需求之间取得最佳平衡，从而在商业上具有可行性。●●

### 参考资料

1. ABC 新闻“2011 年以来特洛伊木马病毒潜入美国重要的计算机中”，2014 年 11 月
2. .Kushner, D, “震网病毒的真实故事”电气与电子工程师学会会刊，2013 年 3 月第 50 卷，编号 3，第 48 到 53 页。
3. S. Das, K. Kant 和 N. Zhang, 保护网络物理关键基础设施手册：基础与挑战，Morgan Kaufmann (Waltham, Mass.)，2012
4. J. Reeves、A. Ramaswamy、M. Locasto、S. Bratus、S. Smith “资源受限型嵌入式控制系统的轻量级入侵检测”，选自关键基础设施保护 V，作者 J. Butts 和 S. Sheno (Eds.)，Springer (德国海德堡)，2011 年，第 31 到 46 页

## Xilinx 与中国移动研究院合作开发 5G 无线网络 NGFI

在北京举行的 NGFI 研讨会上，双方共同签署了合作备忘录

中国北京，2015 年 6 月 30 日 - 赛灵思公司 (NASDAQ: XLNX) 今天宣布与中国移动研究院 (CMRI) 就下一代前传接口 (NGFI) 的开发签署合作备忘录 (MOU)，双方在中国移动研究院举办的 NGFI 研讨会上举行了隆重的签约仪式。随着 5G 宽带多天线系统的出现，Xilinx 和 CMRI 正结合 C-RAN、大型天线系统和 3D MIMO 等新兴技术，共同研究开发新型无线网络前传接口的关键技术和组件。

中国移动研究院首席科学家易芝玲博士表示“现在是时候重新考虑前传解决方案了，这对解决 CRAN 部署所面临的主要挑战至关重要。我们正在努力打造全新的高效、灵活的前传解决方案以支持大规模 CRAN 项目的部署，与赛灵思合作肯定会加速这种解决方案的研发进程。”

在目前的无线系统中，基带设备和射频单元通过 CPRI 前传网络协议连接，其带宽增速迅猛，需要运营商铺设越来越多的光纤电缆，导致部署成本的大幅增加。未来无线网络的发展趋向于集中式的基带架构，必然会对的前传网络提出更大的挑战，亟需新技术改进前传协议。赛灵思全可编程 (All Programmable) 器件和设计环境将作为一个重要的推动者，支持这个接口和未来无线系统的开发。

赛灵思通过其 Zynq®SoC 平台，正在为 NGFI 生态系统打造一个经验证的 NGFI 参考设计。这个参考设计可以很容易地迁移到其它 Zynq 和 Zynq UltraScale+ MPSoC 器件上，有望成为 4.5G/5G 无线前传网络研究的基准框架。

赛灵思公司无线通信副总裁 Sunil Kar 表示：“当前的‘硬’移动网络存在着一些严重的挑战，其中包括上市时间，服务创新，节能，成本控制和互操作性等。通过和中国移动研究院的密切合作，我们正在努力应对这些挑战，并为下一代高度优化的前传接口设计提供关键的技术和组件。”

# 赛灵思推出

## Vivado® 设计套件的 UltraFast™ 设计方法



赛灵思的 UltraFast™ 设计方法可加速设计进程并可预测设计周期。

VIVADO 

 XILINX