



配置快速入门指南

作者：Stephanie Tapp

XAPP501 (v1.4) 2003 年 7 月 24 日

提要

本应用指南讨论 Xilinx 的复杂可编程逻辑器件 (CPLD)、现场可编程门阵列 (FPGA) 和 PROM 系列的配置与编程选项，并演示了各系列最常用的部分配置方法。

简介

为满足系统设计人员的要求，我们提供了多种 Xilinx FPGA 配置方法以及 CPLD 和 PROM 编程方法。本技术文档讲述了不同的配置模式，以期协助设计人员选择恰当的配置或编程方法。我们举例说明部分最常用的方法，这些方法可用于生产和原型开发。

配置 Xilinx 可编程逻辑器件或为其编程需要以下三个常规步骤。有关详情，请参阅 Xilinx [软件手册](#)。

- **步骤 1 – 设计输入**

用软件设计输入工具以 VHDL、Verilog、ABEL 或 Schematic（原理图）创建设计。

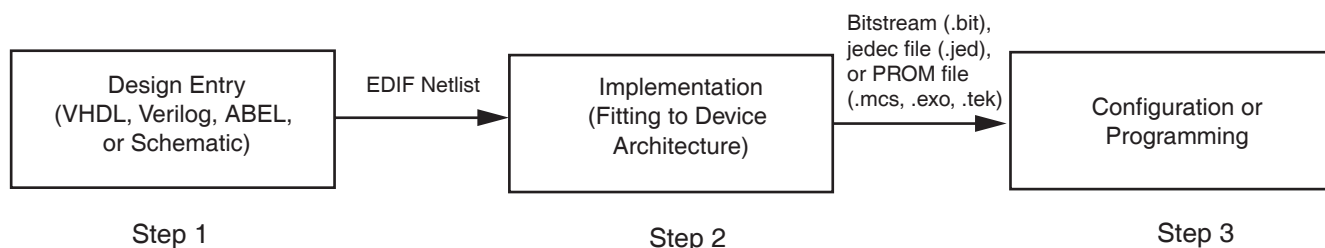
- **步骤 2 – 实现**

用软件实现工具将设计网表导入所需的 Xilinx 架构，并且生成配置比特流或 JEDEC 文件。

- **步骤 3 – 配置或编程**

配置是用外部数据源（如 PROM、CPLD 或微处理器）将配置数据下载到 FPGA 中的过程。

编程是将配置数据或程序数据载入 CPLD 或 PROM 的过程。请见 [图 1](#)。



x501_01_010901

图 1: 配置与编程流程概览

器件定义

Xilinx 生产三种可编程逻辑器件。以下简要说明这些产品类型，以帮助设计人员了解各类型所需的配置：

© 2003 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and further disclaimers are as listed at <http://www.xilinx.com/legal.htm>. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

NOTICE OF DISCLAIMER: Xilinx is providing this design, code, or information "as is." By providing the design, code, or information as one possible implementation of this feature, application, or standard, Xilinx makes no representation that this implementation is free from any claims of infringement. You are responsible for obtaining any rights you may require for your implementation. Xilinx expressly disclaims any warranty whatsoever with respect to the adequacy of the implementation, including but not limited to any warranties or representations that this implementation is free from claims of infringement and any implied warranties of merchantability or fitness for a particular purpose.

FPGA

Xilinx FPGA 基于 SRAM 技术，因此是易失性的。也就是说，如果关掉器件的电源，其配置就会丢失。在生产型环境中，FPGA 通常使用外部存储器件（如 PROM）防止停电时丢失配置数据。在没有外部存储器件的情况下，可以用电缆为 FPGA 编程。

PROM

Xilinx PROM 器件是非易失性器件，通常用于存储 Xilinx FPGA 的配置数据。这些器件有两种不同类型：

- 一次性可编程 (OTP) PROM
- 在系统可编程 (ISP) 的可重复编程 PROM（XC18V00、Platform Flash）

CPLD

Xilinx CPLD 采用 EEPROM 或 FLASH Cell 技术，通常是非易失性的。Xilinx CPLD 不需要外部存储器件，因而其非易失性致使编程过程中的要求有所不同。

软件工具概述

本部分简述可用于 Xilinx FPGA、CPLD 和 PROM 产品的软件。对于 Xilinx 器件的配置与编程，表 1 所示软件工具有两种用途：

1. 生成配置或编程文件：对于 FPGA 是一个比特流（.bit 文件），对于 CPLD 是一个 jedec (.jed) 文件，对于 PROM 是一个 PROM（.mcs、.exo、.tek）文件。
 - 设计输入工具 – 生成设计网表。
 - 实现工具 – 生成比特流或 JEDEC 文件。
 - iMPACT 软件 – 从设计网表生成 PROM 文件。
2. 将文件下载到器件：
 - iMPACT - Xilinx 软件下载工具 (Software Download Tool)，用于与边界扫描 (JTAG) 兼容的任意 Xilinx 器件链的编程，或者从串模式或 SelectMAP 模式的 FPGA 器件的编程。

表 1: 可用的 Xilinx 软件包

产品名称	Foundation (DE>IMP>CP) ⁽¹⁾	Foundation ISE (DE>IMP>CP) ⁽¹⁾	WebPACK ISE (DE>IMP>CP) ⁽¹⁾	Alliance (IMP>CP) ⁽¹⁾	WebFITTER (DE>IMP) ⁽¹⁾
Virtex™ 系列 / Virtex-II 系列 / Virtex-II Pro™ 平台 FPGA	X	X	X ⁽²⁾	X	
Spartan™-II/IIIE/3 系列 (FPGA)	X	X	X ⁽²⁾	X	
XC9500/XL/XV 系列 (CPLD)	X	X	X	X	X
CoolRunner™/CoolRunner-II™ 系列 (CPLD)	X	X	X	X	X
XC18V00/Platform Flash 系列 (ISP PROM)	X	X	X	X	
XC1700L、XC17S00A、XC1700E、XC17V00、SC17S00 系列 (OTP PROM)	X	X	X	X	

注：

1. DE = 包括设计输入软件；IMP = 包括实现软件；CP = 包括配置或编程软件。
2. 有关对 FPGA 器件的支持，请参阅最新版 WebPACK。

选择配置模式

确定配置环境之前，重要的是要了解可用的配置模式。表 2 所示为各系列支持的模式，表后给出了对各模式的说明。

表 2: 各系列支持的模式

	JTAG 模式	SelectMAP/ 从并模式	主串模式	从串模式	独立编程器模式
Virtex 系列 / Virtex-II 系列 /Virtex-II Pro 平台 FPGA	X	X	X	X	
Spartan-II/III 系列 (FPGA)	X	X	X	X	
XC9500-XL/XV 系列 (CPLD)	X				X
CoolRunner/CoolRunner-II 系列 (CPLD)	X				X
XC18V00/Platform Flash ISP PROM 系列	X				X
OTP PROM 系列					X

FPGA 支持的模式

JTAG 或边界扫描模式

JTAG 或边界扫描模式是一种行业标准（IEEE 1149.1 或 1532）串行编程模式。此模式用通过电缆、微处理器或其他器件提供的外部逻辑驱动 JTAG 专用引脚：测试数据输入 (TDI) 引脚、测试模式选择 (TMS) 引脚和测试时钟 (TCK) 引脚。这种模式因其标准化程度和可通过同样四个 JTAG 引脚为 FPGA、CPLD 和 PROM 编程的能力而广受欢迎。在这种模式下，数据以每 TCK 一位的速度加载。

SelectMAP/ 从并模式

Virtex 系列支持 SelectMAP™ 模式，而 Spartan-II 系列支持从并模式。SelectMAP/ 从并模式允许通过字节宽度端口并行读写。这种模式需要外部时钟源、微处理器、下载电缆或其他 FPGA。在这种模式下，数据以每 CCLK 一字节的速度加载。当配置速度是重要因素时，这种模式通常在 Virtex/Virtex-E/Virtex-II、Virtex-II Pro 或 Spartan-II/IE/3 器件上用作配置模式。

主串模式

所有 Xilinx FPGA 系列都支持主串模式，但 Xilinx CPLD 不支持这种模式。这是最简单的 FPGA 配置方法。FPGA 从串行 PROM 加载配置数据。这种模式由 FPGA 提供时钟，实际上是加载其自身并使用其内部振荡器，该振荡器驱动配置时钟。FPGA 提供所有控制逻辑。在这种模式下，数据以每 CCLK 一位的速度加载。

从串模式

像主串模式一样，所有 Xilinx FPGA 系列都支持从串模式，但 Xilinx CPLD 不支持这种模式。这种模式使用外部时钟，允许菊花链配置。这种模式需要一个外部时钟（如微处理器）、另一个 FPGA 或一条下载电缆。在这种模式下，数据以每 CCLK 一位的速度加载。

CPLD/PROM 支持的模式

独立编程器模式

第三方编程器和 HW-130 编程器支持独立编程模式。

JTAG 或边界扫描模式

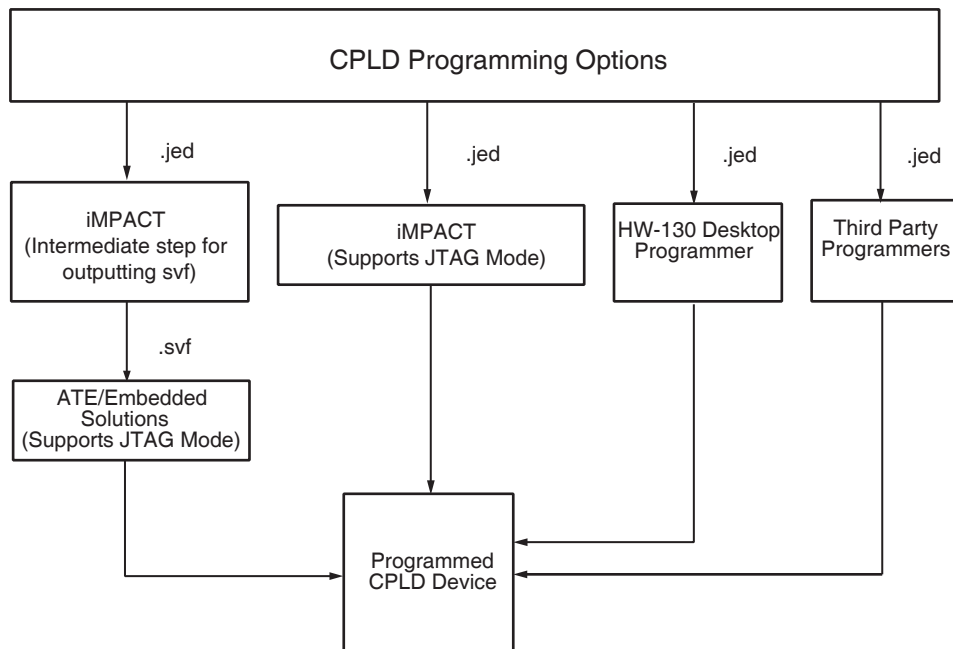
JTAG 或边界扫描模式是一种行业标准（IEEE 1149.1 或 1532）串行编程模式。此模式用通过电缆、微处理器或其他器件提供的外部逻辑驱动 JTAG 专用引脚：测试数据输入 (TDI) 引脚、测试模式选择 (TMS) 引脚和测试时钟 (TCK) 引脚。这种模式因其标准化程度和可通过同样四个 JTAG 引脚为 FPGA、CPLD 和 PROM 编程的能力而广受欢迎。在这种模式下，数据以每 TCK 一位的速度加载。

编程 / 配置选项

下一部分概述各系列的所有配置或编程流程。

CPLD 编程选项

CPLD 编程流程从 CPLD Fitter 软件生成 JEDEC 文件后开始。表 1 所示的所有 Xilinx 软件包均嵌入了 CPLD Fitter 软件。图 2 所示为用于将 JEDEC 文件下载到 CPLD 器件的选项。



x501_02_01080102

图 2: CPLD 编程选项

ATE/ 嵌入式解决方案

随着电路板密度增大以及微处理器在许多系统中变得司空见惯，嵌入式解决方案越来越受欢迎。有关如何在 ATE 或嵌入式系统中使用 Xilinx CPLD 的示例，请见 Xilinx [ATE](#) 网页或 Xilinx [嵌入式解决方案](#) 网页。

原型开发环境

原型开发环境要求便于接入器件以进行多次重新配置。在这种环境中，以下两种选项效果最佳：

表 3: 为原型开发环境推荐的配置选项

选项	CPLD	FPGA	PROM
使用电缆的 Xilinx 配置或编程软件	iMPACT 软件	iMPACT 软件	iMPACT 软件 (ISP PROM 选项)
桌面编程器	HW-130/MultiPRO 桌面工具 ⁽¹⁾	不适用 (FPGA 是易失性器件)	HW-130/MultiPRO 桌面工具 ⁽¹⁾

注：

1. 有关器件支持情况，请见 MultiPRO 或 HW-130 数据手册。

生产环境

对于生产环境，更短的编程时间和保留配置数据的稳健的配置方法要比重新配置更重要。表 4 列出了针对这种环境的几个选项。

表 4: 为生产环境推荐的配置选项

选项	CPLD	FPGA	PROM
嵌入式解决方案	定制代码 (请参见 XAPP058)	定制代码 (请参见 XAPP058)	定制代码 (有关 ISP PROM, 请参见 XAPP058)
自动测试设备 (ATE)	ATE/ 第三方 JTAG 工具	非典型 (FPGA 是易失性器件)	ATE/ 第三方 JTAG 工具
第三方编程器 (如 BP Microsystems、Data I/O)	支持的编程器	不适用 (FPGA 是易失性器件)	支持的编程器
PROM	不适用 (CPLD 是非易失性器件)	支持的 PROM	不适用

Xilinx 常见配置 / 编程设置

本部分为 Xilinx 用户简要概述部分较常见的配置和编程设置。此处所示设置专供原型开发与生产兼顾型环境使用。同时提供的还有各种设置的优点、所需软硬件和硬件连接的简要说明。

CPLD JTAG 链的设置

CPLD JTAG 链 (XC9500/XL/XV 或 CoolRunner) 可用于原型开发和生产两种环境，因此是 CPLD 的最常见编程方法。

- **优点：**
 - 支持在系统编程
 - 只需要四个 JTAG 引脚即可对链进行配置和测试
- **所用硬件：**

一般性 JTAG 检查清单

1. 对于五个以上器件的较大型 JTAG 链，为了消除 TMS 和 TCK 信号到各点的时间不同，需要加入缓冲器，以抵消未知器件阻抗的影响。
2. 确保 V_{CC} 在额定值范围内：对于 XC9500 器件是 $5V \pm 5\%$ ；对于 XC9500XL/CoolRunner 器件是 $3.3V \pm 10\%$ ；对于 XC9500XV 器件是 $2.5V \pm 10\%$ 。
3. 在芯片的每个 V_{CC} 点处提供 $0.1 \mu F$ 和 $0.01 \mu F$ 两种电容器，并将其直接连接到最近的接地点。

XC9500/XL/XV 专用检查清单

1. TDI 和 TMS (JTAG) 引脚具有针对 XC9500/XL/XV 系列的内部上拉电阻，而且这些引脚属 JTAG 专用，所以不需要任何外部上拉电阻。
2. 至关重要的是，要为 XC9500/XL/XV 器件的 V_{CCINT} 引脚提供非常纯净（无噪声）且范围正确的电压。
3. XC9500/XL 器件的 JTAG 时钟 TCK 的最高频率是 10 MHz。
4. 决定混合电压链中的器件布局时要慎重，以确保兼容性。例如，XC9500XV 器件不能耐受 5V 电压，所以要小心确保用适当的电压电平驱动器件的输入端。

CoolRunner 专用检查清单

1. 当使用本编程设置示例中推荐的专用 JTAG 引脚时，应将 PortEn 引脚接地。
注：如果需要将 JTAG 引脚用作双用途 I/O，应断开 PortEn 引脚的跳线。PortEn 引脚被置于高电平，以便与 JTAG 引脚重新建立连接。
2. CoolRunner 的 JTAG 引脚上应跨接一个 $10k\Omega$ 的外接电阻，以防止这些引脚浮动。
3. CoolRunner 器件的 JTAG 时钟 TCK 的最高频率是 10 MHz。

软件实现考虑因素

器件编程需要创建软件 JEDEC 文件。以下 GUI 所示为创建 JEDEC 编程文件时应考虑的软件实现选项。XC9500/XL/XV 实现选项对于所有 Xilinx 软件包均相同。除下述选项外，建议本示例使用 XC9500/XL/XV 器件的实现软件默认设置：

“Create Programmable GND Pins on Unused I/O”（在未使用的 I/O 上创建可编程 GND 引脚）– 默认情况下不选中此选项。建议选中此选项，以防止未使用的 I/O 浮动和额外耗电。请见图 6。

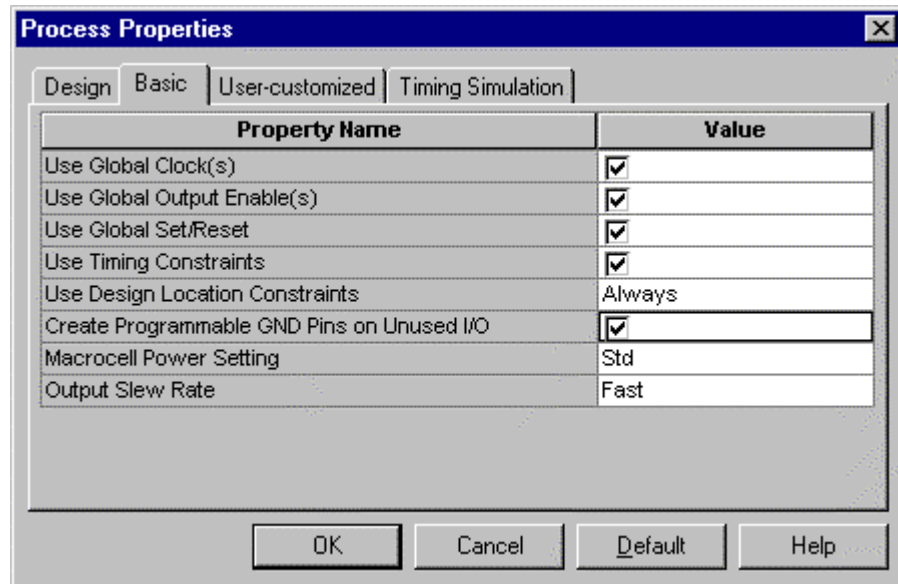


图 6: WebPACK ISE 软件包中的 Xilinx XC9500/XL/XV 实现选项

建议本示例使用图 7 所示的针对 CoolRunner 器件的软件默认设置。以下所述是用户应了解的两个最重要的编程选项：

- “Pull Up Unused I/O Pins”（上拉未使用的 I/O 引脚）– 默认情况下此选项被选中。这是推荐的状态，以防止因 CMOS I/O 导致额外耗电。
- “Reserve JTAG Port Pins for ISP”（保留 JTAG 端口引脚用于 ISP）– 默认情况下选中此选项，建议为本示例的用途保留此选项的默认状态。仅当用户打算将 JTAG 引脚用作双用途 I/O 时才取消选择这一选项。

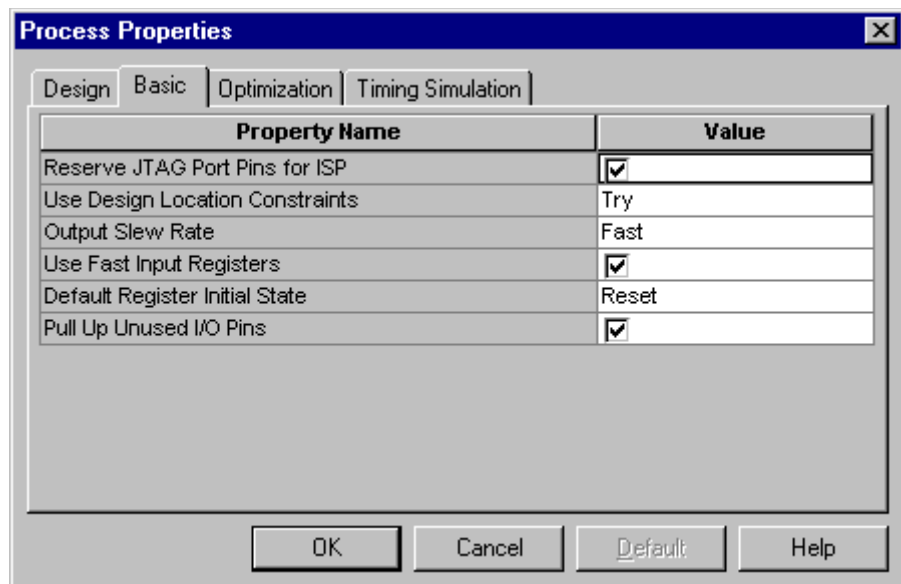


图 7: WebPACK ISE 软件包中的 CoolRunner 实现选项

软件下载考虑因素

完成 CPLD 的 JTAG 链实现所需的最后一步是编写输入到器件的比特流。通过 JTAG 链编程，可为原型开发和生产两种环境完成这一步骤。

原型开发环境

在原型开发环境中使用 Xilinx 编程器很常见，该编程器由一个独立的可下载软件模块构成，该软件模块需要一条 Xilinx 电缆，并要求能够接入器件的 JTAG 引脚。

如果是针对 CoolRunner 或 9500/XL/XV 系列，请使用 Xilinx iMPACT 软件工具将 JEDEC 文件下载到器件。请务必使用软件的最新版本。

生产环境

在生产环境中，ATE 或第三方编程器更常见。这些工具通常可以缩短编程时间，而且在许多情况下可以提供在给定时间为更多器件编程的手段。

对于这种环境，通常将 JEDEC 文件转换成标准矢量格式 (.svf) 文件。这种文件格式是供应商广泛接受的标准，是发布编程文件的常用方法。这种格式是上面原型开发部分中所述的 Xilinx 编程器的一种可选输出格式。应用指南 [XAPP503](#) 中有关于如何在 Xilinx 编程器中创建这些文件的说明。

Virtex 系列或 Spartan-II 主串与边界扫描 (JTAG) 组合的设置

主串模式和边界扫描 (JTAG) 模式是 Virtex 系列和 Spartan-II 器件最常用的两种配置模式。

- **优点：**
 - 主串模式与边界扫描 (JTAG) 模式相结合，可为用户提供一种通用设置，这种设置便于调试，并且允许使用多种配置方法。
 - 主串模式为生产提供既简单又可靠的配置方式，而边界扫描 (JTAG) 模式则为原型开发阶段的链配置提供灵活的在系统编程支持。
- **所用硬件：** Xilinx Virtex/Virtex-E 或 Spartan-II 器件与 XC18Vxx/Platform Flash 配套器件的任意组合。
 - 对于原型开发：Xilinx 电缆 (Parallel IV 或 MultiLINX)
 - 对于生产：Xilinx PROM 和支持的编程器 / 软件
- **所用软件：** Xilinx FPGA 编程比特流 (.bit 文件) (用 Foundation 或 Alliance 软件包创建比特流)。
 - 对于原型开发：iMPACT 软件
 - 对于生产：用于创建 Xilinx PROM 文件 (.mcs、.exo) 的 Xilinx iMPACT 软件 (在 Foundation、Alliance 软件包中) 以及相应的第三方编程器软件

硬件考虑因素

对于 Virtex 系列或 Spartan-II 系列，实现主串 / 边界扫描 (JTAG) 模式组合的硬件连接如 [图 8](#) 所示。

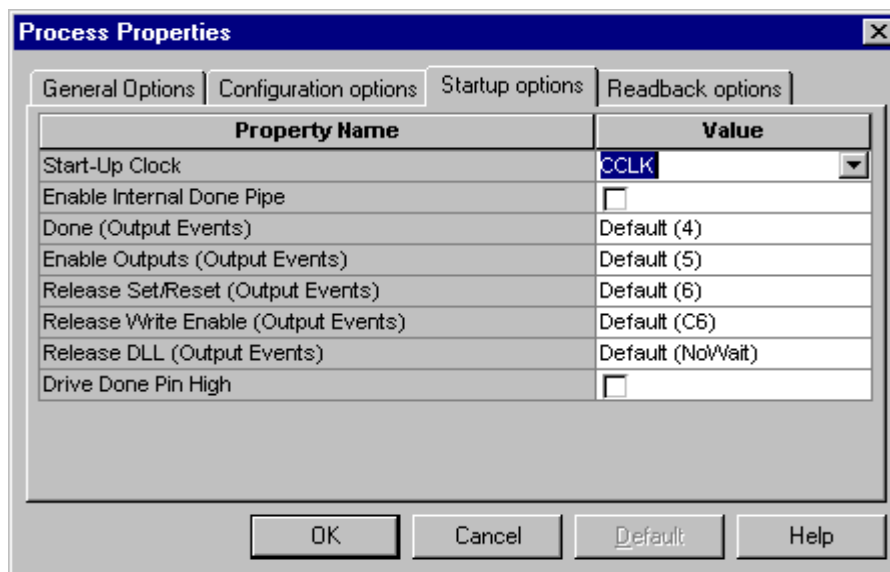


图 9: Virtex 或 Spartan-II 的启动选项

除“Start-Up Clock”（启动时钟）外，应使用上述默认启动选项。当为边界扫描 (JTAG) 下载创建比特流时，应将此项改成“JTAGCLK”。

- Start-Up Clock – 要正确配置器件，必须用适当的启动时钟选项生成比特流。对于主串模式，“Start-Up Clock”选项的默认设置为“CCLK”。当为边界扫描 (JTAG) 模式生成比特流时，必须在 GUI 的下拉菜单中或使用下列 Bitgen 程序的命令行将此选项设置成“JTAGCLK”：
- 对于用边界扫描 (JTAG) 进行配置：

```
bitgen -g startupclk:jtagclk designName.ncd
```
- 对于通过主串进行配置：

```
bitgen -g startupclk:cclk designName.ncd
```

注：

1. 如果设置是使用这两种配置模式，就必须生成两个比特流，一个用于边界扫描 (JTAG) 下载，另一个用于主串下载。

Virtex 或 Spartan-II 配置选项对于所有 Xilinx 软件包均相同。对于本示例，建议使用默认的配置选项设置，其中部分重要选项如下所述：

- “Configuration Rate”（配置速率）是在主串模式下控制 CCLK 速度的实现选项。
- 配置选项包括模式引脚、PROGRAM、DONE 和 CLK 上的可编程上拉。应将边界扫描 (JTAG) 引脚保留为默认设置。

有关详情或关于命令行选项的信息，请参阅[开发系统参考指南](#)。

软件下载考虑因素

创建比特流之后，按以下讨论的此项设置的推荐编程选项进行选择。请见图 10。

原型开发 (Prototyping)

对于使用此项设置的原型开发，通常使用 Xilinx iMPACT 软件。Xilinx iMPACT 软件由一个独立的可下载软件模块构成，该软件模块需要一条 Xilinx 电缆将比特流从 PC 下载到器件。为此，要求能够接入 Virtex、Spartan-II 或 XC18V00 器件的四个边界扫描 (JTAG) 引脚。

- 使用 Xilinx iMPACT 软件将比特流下载到器件。

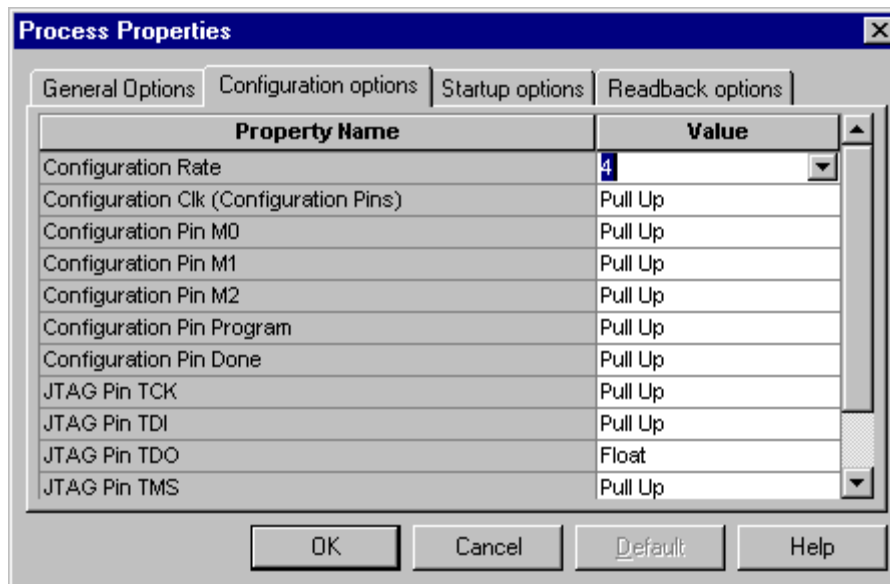


图 10: Virtex 或 Spartan-II 器件的配置选项

生产

在生产环境中，重要的是系统不受电源不稳或断电情况影响。因为 FPGA 器件是易失性的，所以停电会删除器件的内容。为确保关闭系统电源时不丢失已编写的数据，建议使用主串类模式。在本示例中，配置数据永久储存在 PROM 中。如果发生停电，PROM 中的数据会在恢复供电后重新配置 FPGA。以下是为 XC18V00 PROM 编程所需的步骤。

- 使用 iMPACT 软件的文件生成模式将比特流格式化成 PROM 文件。
- 将 ATE/ 第三方编程器下载到系统中的 XC18V00。

支持

有关配置的详情，请见 Xilinx [配置解决方案](#) 网页上提供的针对 Xilinx 的应用指南。

配置检查清单

用 FPGA/CPLD 设计电路板之前，Xilinx 建议考虑以下有关配置的问题。

- 硬件
 - 边界扫描 (JTAG) 相关问题：
 - 如果配置链中有多个 FPGA/CPLD/(ISP)PROM，请考虑添加跳线以隔离各器件，以便分别加载调试各器件。
 - 务必像处理其他高速时钟一样处理配置时钟或边界扫描 (JTAG) 时钟。
 - 考虑为设计增加额外的备用引脚，以便引出信号供以后调试之用。
 - 在边界扫描 (JTAG) 电路中，为了消除 TMS 或 TCK 信号到各点的时间不同而放入缓冲器，以抵消未知器件阻抗的影响。
 - 如果为特定器件编程时遇到困难，则在 iMPACT 软件上选择 HIGHZ 优先选项，以此将 JTAG 链的其余部分设置成 HIGHZ 模式。这样可以降低器件检测到的噪声。

- 如果有自由运行时钟传输到边界扫描 (JTAG) 器件中, 就可能有必要在 ISP 或边界扫描 (JTAG) 操作期间断开或禁用自由运行时钟进入这些器件的通路。
- 电缆相关问题:
 - 请勿在电缆的目标系统端连接延长电缆, 因为这样做会破坏配置数据的完整性并且导致校验和错误。
 - 电缆配置引线 with 目标系统的连接要牢固。
 - PC 上使用的并行电缆从目标 LCA 电路板上的耗电少于 MultiLINX 电缆耗电。这是因为 MultiLINX 电缆使用一个嵌入式微处理器, 并且具有 SelectMAP/USB 支持这类并行电缆所没有的附加功能。
 - 设计不但应具有用电缆进行配置的功能, 并且应能支持所选择的生产配置方法。这样就可以有多种编程选项, 并提供一种简便的器件调试方法。
- 电路板相关问题:
 - 加入可用跳线将模式引脚设置成不同值的功能。
 - 请注意信号完整性、终端、边沿速率、接地反弹和迹线布局问题。
 - 对于超过 60 MHz 的设计, Xilinx 建议进行板级翻转仿真, 以确保不存在反射或接地反弹问题。
 - 请注意同步翻转输出问题。
 - 确保接地引脚不过载, 以防止输出端出现接地反弹。
 - 可以将未使用的 I/O 设置成接地的输出端, 以便为器件增加额外接地。
 - 如果空间允许, 在 DONE 引脚上加装 LED, 以便能确定 FPGA 是否已经完成配置。
 - 在关键配置引脚 (DOUT、INIT、DONE 和 PROGRAM) 上放置调试和状态信息测试点。
 - 请勿过量加载配置信号。请检查配置信号的扇出 / 扇入加载。
 - 请在时钟源上使用输出使能功能。这样就可以在配置过程中停止系统时钟, 以检查是否有串扰及其他噪声问题。
 - 在设计进程中, 尤其是对于长链, 请注意可能导致删除时间或编程时间延长的翻转噪声。
 - 确保 V_{CC} 在所用器件的额定值范围内。
 - 在芯片的每个 V_{CC} 点处提供 $0.1\mu F$ 和 $0.01\mu F$ 两种电容器, 并将其直接连接到最近的接地点。
- 软件:
 - Xilinx WEBPACK 包含最新版 iMPACT 软件, 可用作实验安装, 不用安装完整软件工具套件即可获取下载软件 (iMPACT)。Xilinx WEBPACK 的网址是:
http://www.xilinx.com/cn/ise/logic_design_prod/webpack.htm
 - 请阅读 Foundation/Alliance 软件手册中有关配置选项的技术文档。
 - 请考虑可编程上拉和下拉需要用软件中设置的 I/O 引脚进行配置。
 - 在 DLL 锁定在系统时钟前后确认 DONE 是否释放。
 - 请勿在配置引脚上放置常规设计信号。
 - 对于 Virtex/Spartan-II 设计, 建议不使用 STARTUP 模块。如果使用此功能, 请务必保证配置后内部信号不会冲突, 也不会锁定器件。STARTUP 复位极性必须与常规系统复位极性相同。
 - 通过在 iMPACT 软件中运行 IDCODE 循环指令 “Operations -> Idcode looping” 检查系统噪声。此操作显示编辑窗口。请指定所需循环数。此操作应能正确 (100%) 完成, 否则就可能系统噪声。
 - 请使用 Xilinx Parallel IV 电缆的最新版本, 其系列号大于 5000。

配置问题解决工具

以下软件工具根据用户为该工具提供的输入引导用户逐项解决配置问题。请访问:
<http://www.xilinx.com/cn/support/troubleshoot/psolvers.htm>

结论

在使用 PLD 时，配置是非常重要的步骤，但却经常没得到足够重视。了解本应用指南中的选项并使用其中的指导原则应有助于简化 PLD 的编程或配置过程。

修订历史

下表说明此技术文档的修订历史：

日期	版本	修订
2001 年 2 月 14 日	1.0	Xilinx 最初版本。
2001 年 2 月 26 日	1.1	小修改。
2001 年 8 月 2 日	1.2	小修改。
2002 年 6 月 10 日	1.3	增加 “Virtex 系列” 和 “Virtex-II 系列平台 FPGA”。
2003 年 7 月 24 日	1.4	针对 Platform Flash 和 Spartan-3 器件的更新。