



XAPP723 (v1.3) 2006 年 2 月 8 日

使用 Virtex-4 器件的 DDR2 控制器 (267 MHz 及以上)

作者：Karthi Palanisamy

提要

DDR2 SDRAM 器件提供了比 DDR SDRAM 指标所要求的更好的新功能，并允许 DDR2 器件以 666 Mb/s 的数据速率运行。高数据速率要求 FPGA 的控制器和 I/O 具有较高的性能。要实现所需带宽，控制器与存储器同步（以相同的运行速度）运行至关重要。

简介

本应用指南描述了在 Virtex™-4 器件中实现 267 MHz 及更高频的 DDR2 控制器，并与 Micron DDR2 SDRAM 器件接口。对于 267 MHz 及更高的性能级别，本应用指南中简要介绍的控制器设计应与另一份应用指南（标题为 [XAPP721](#)，*使用 ISERDES 和 OSERDES 实现高性能 DDR2 SDRAM 接口的数据采集*）中说明的读取数据采集技术配合使用。

本应用指南简要介绍了 DDR2 SDRAM 器件的功能，随后详细说明了与高速 DDR2 存储器进行接口时控制器的运行情况，并描述了此控制器的后端用户接口。使用 Verilog 编写的参考设计可从 Xilinx 网站下载，网址为：

<http://www.xilinx.com/cn/bvdocs/appnotes/xapp721.zip>。

DDR2 SDRAM 概述

DDR2 SDRAM 器件是 DDR SDRAM 系列的下一代器件。DDR2 SDRAM 器件使用 SSTL 1.8V I/O 标准。以下部分说明 DDR2 SDRAM 器件中的可用功能以及 DDR SDRAM 器件和 DDR2 SDRAM 器件的主要区别。

DDR2 SDRAM 器件使用 DDR 架构实现高速运行。存储器使用此控制器提供的差分时钟。命令在时钟的每个正边沿寄存。双向数据选通脉冲 (DQS) 与接收端中的用于采样的数据一起传输。DQS 是一个选通脉冲，在读取期间由 DDR2 SDRAM 器件传输，在写入期间由控制器传输。DQS 与用于读取的数据边沿对准，与用于写入的数据中心对准。

对 DDR2 SDRAM 器件的读取和写入访问为突发式；访问以激活命令寄存开始，然后是读取或写入命令。在激活命令下寄存的地址位用于选择要访问的组和行。在读取或写入命令下寄存的地址位用于为突发访问选择组和起始列位置。

DDR2 控制器参考设计包括一个用户后端接口，用于生成写入地址、写入数据和读取地址。这些信息存储在三个后端 FIFO 中，以实现后端与控制器模块间的地址与数据同步。控制器会查看地址 FIFO 中是否有地址可用，然后按照存储器的时序要求向存储器发出正确的命令。下面的部分对逻辑模块的实现细节做出了详细说明。

控制器发出的 DDR2 SDRAM 命令

表 1 说明由控制器发出的命令。这些命令是存储器使用下列控制信号探测到的：行地址选择 ($\overline{\text{RAS}}$)、列地址选择 ($\overline{\text{CAS}}$) 和写入使能 ($\overline{\text{WE}}$) 信号。时钟使能 (CKE) 在器件配置完成后设置为 High，芯片选择 ($\overline{\text{CS}}$) 在器件运行过程中设置为 Low。模式寄存器定义部分说明控制器支持的 DDR2 命令功能。

表 1: DDR2 命令

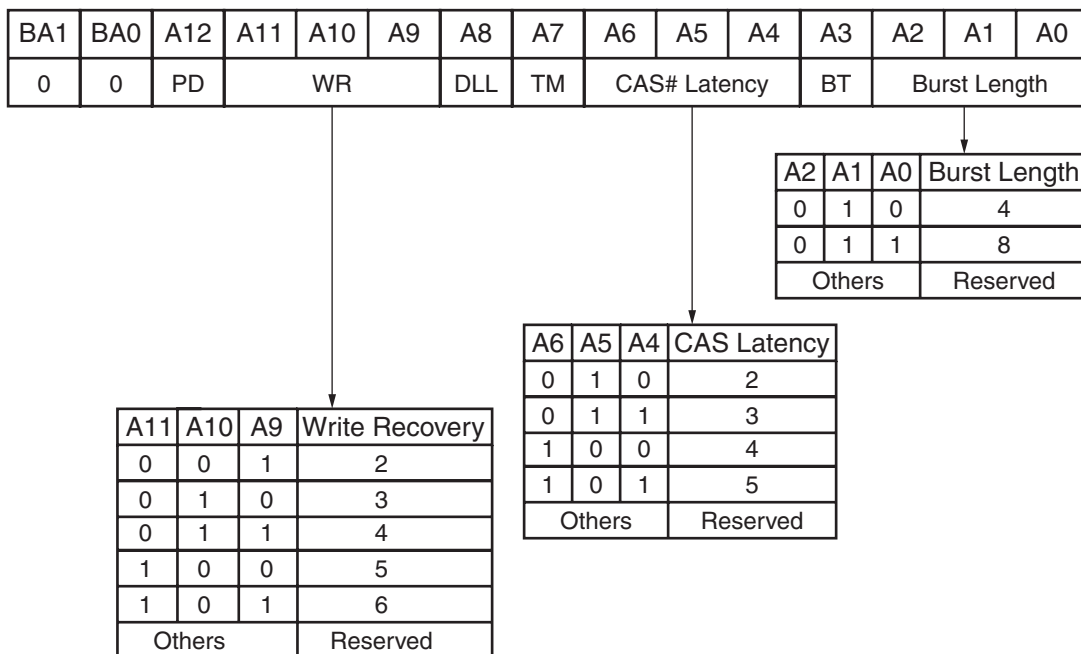
步骤	功能	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	$\overline{\text{WE}}$
1	加载模式 (Load Mode)	L	L	L
2	自动刷新 (Auto Refresh)	L	L	H
3	预充电 (Percharge) ⁽¹⁾	L	H	L
4	组激活 (Bank Activate)	L	H	H
5	写入 (Write)	H	L	L
6	读取 (Read)	H	L	H
7	空操作 / 空闲 (No Operation/IDLE)	H	H	H

注:

- 地址信号 A10 在预充电所有组期间被置为 High，在单个组预充电期间被置为 Low。

模式寄存器定义

模式寄存器用于定义 DDR2 SDRAM 的具体运行模式，包括突发长度、突发类型、CAS 延迟和运行模式的选择。图 1 说明此控制器使用的模式寄存器的各项功能。



x723_01_091505

图 1: 模式寄存器

组地址 BA1 和 BA0 用于选择模式寄存器。表 2 显示组地址位配置。

表 2: 组地址位配置

BA1	BA0	模式寄存器
0	0	模式寄存器 (MR)
0	1	EMR1
1	0	EMR2
1	1	EMR3

扩展模式寄存器定义

扩展模式寄存器 (表 3) 控制模式寄存器控制范围之外的功能。这些附加功能是 DLL 使能 / 无效、输出驱动强度、片上终端 (ODT)、Posted CAS 附加延迟 (AL)、片外驱动器阻抗校准 (OCD)、 $\overline{\text{DQS}}$ 使能 / 无效、 $\text{RDQS}/\overline{\text{RDQS}}$ 使能 / 无效和 OUTPUT(输出) 使能 / 无效。此参考设计中未使用片外驱动器校准 (OCD)。

表 3: 扩展模式寄存器

BA1	BA0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	1	输出	$\overline{\text{RDQS}}$	$\overline{\text{DQS}}$	OCD 程序			R_{TT}	Posted CAS			R_{TT}	ODS	DLL

扩展模式寄存器 2 (EMR2)

组地址设为 10 (BA1 设为 High, BA0 设为 Low)。地址位全部设为 Low。

扩展模式寄存器 3 (EMR3)

组地址位设为 11 (BA1 和 BA0 设为 High)。与 EMR2 相同, 地址位全部设为 Low。

初始化顺序

此控制器状态机使用的初始化顺序遵循 DDR2 SDRAM 指标。接口需符合存储器的电压要求。以下是初始化命令的发送顺序。

1. 稳定功率和时钟之后, NOP 和 Deselect 命令需持续生效 200 μs 。
2. CKE 置位。
3. 400 ns 后预充电所有命令。
4. EMR (2) 命令。BA0 被置为 Low, BA1 被置为 High。
5. EMR (3) 命令。BA0 和 BA1 均被置为 High。
6. 用于启用存储器 DLL 的 EMR 命令。BA1 和 A0 被置为 Low, BA0 被置为 High。
7. 用于复位 DLL 的模式寄存器设置命令。需要 200 个时钟周期才能锁定 DLL。
8. 预充电所有命令。
9. 两个自动刷新命令。
10. 模式寄存器设置命令 (Low 至 A8), 用于初始化器件操作。
11. EMR 命令, 通过将 E7、E8 和 E9 设置为 1 将 OCD 设为默认。
12. EMR 命令, 通过将 E7、E8 和 E9 设置为 0 将 OCD 设为退出。

初始化顺序完成后，控制器会先后向 DDR2 SDRAM 存储器发出虚写和虚读，供数据通路模块从 Virtex-4 输入延迟模块中选择正确的 tap 数量。数据通路模块确定所需延迟 tap 的正确数量，然后向控制器发出 dp_dly_slct_done 有效信号。随后，控制器进入空闲状态。

预充电命令

预充电命令用于取消特定组中活动行的活动状态。在预充电命令发出的一定时间 (t_{RP}) 后，此组在接下来的行激活命令中可以使用。输入 A10 确定组（一个或全部）是否需要预充电。

自动刷新命令

DDR2 器件需每 7.8 μs 刷新一次。用于标记自动刷新命令的电路嵌在控制器内部。控制器使用一个 16 分频输出的系统时钟作为刷新计时器。置位后，auto_ref 信号会标记自动刷新命令的需要。上一个自动刷新命令过 7.8 μs 后，auto_ref 信号被设为 High。随后，控制器会在完成电流突发后发出自动刷新命令。自动刷新命令在此控制器设计中拥有最高优先级。

激活命令

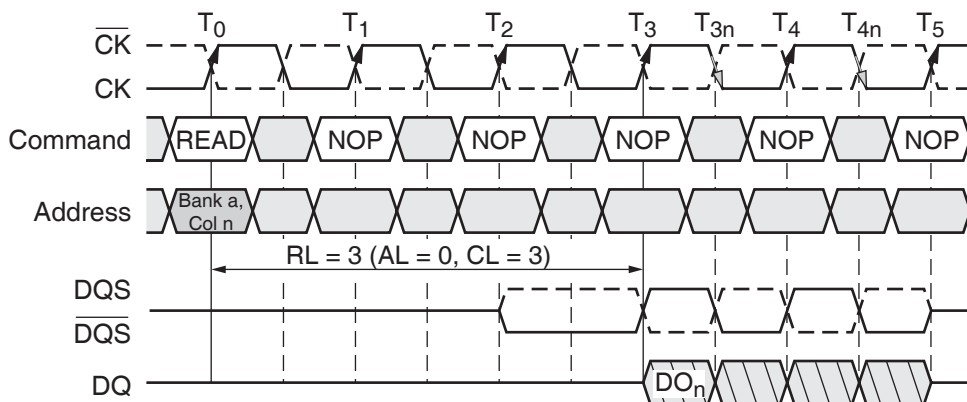
必须先使用激活命令激活 DDR2 SDRAM 存储器内某个组中的某一行，然后才能向该组发送读取或写入命令。行被激活后，读取或写入命令就可以按照 t_{RCD} 指标发送到行。DDR2 SDRAM 器件还支持 Posted CAS 附加延迟；它们允许在 t_{RCD} 规定的时间之前发送读取或写入命令，方法是使用附加的延迟时钟周期来延迟读或写命令寄存到内部器件中的实际时间。

一旦探测到冲突，控制器会发出一个预充电命令，取消当前活动行的活动状态，然后发送另一个激活命令到新行。当输入地址指向某个组内的非活动行时就会出现冲突。

读取命令

读取命令用于发起对活动行的突发式读取访问。BA0 和 BA1 上的值选择组地址，A₀ - A_i 上提供的地址输入选择起始列位置。读取突发结束后，只要还未预充电，此行仍可用于后面的访问。

图 2 表示一个附加延迟为零的读取命令示例。因此在该示例中，读取延迟为三个时钟周期，与 CAS 延迟相同。



x723_02_091505

图 2: 读取命令示例

写入命令

写入命令用于发起对活动行的突发式访问。BA0 和 BA1 上的值选择组地址，而地址输入 A₀ – A_i 上的值选择活动行中的起始列位置。DDR2 SDRAM 使用一个写入延迟，其值等于读取延迟减一个时钟周期。

$$\text{写入延迟} = \text{读取延迟} - 1 = (\text{附加延迟} + \text{CAS 延迟}) - 1$$

图 3 表示写入延迟为 2 的写入突发示例。写入命令和 DQS 信号的第一个上升沿之间的时间间隔由 WL 确定。

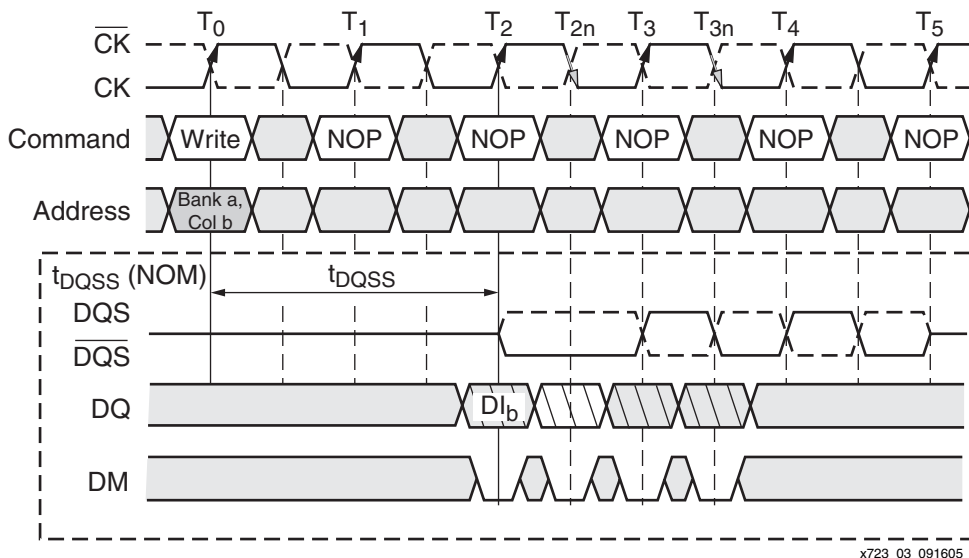
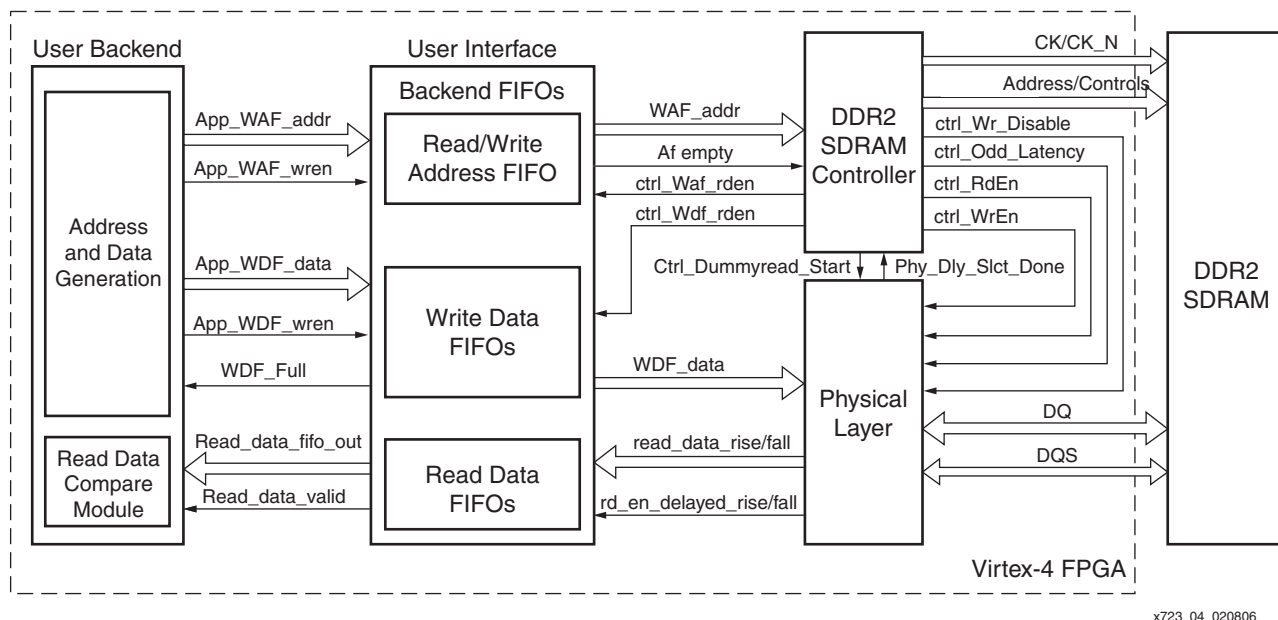


图 3: 写入命令示例

DDR2 SDRAM 接口设计

DDR2 控制器 (图 4) 的用户接口以及数据通路的计时频率是此接口的一半，这能在频率超过 267 MHz 时增加设计余量。控制器以一半的频率运行不会影响流量或延迟时间。DDR2 SDRAM 器件支持的最小突发长度为 4，每隔一个时钟周期请求一个命令。突发长度为 4 时，控制器在每个控制器时钟 (慢时钟) 周期发送一个命令。突发长度为 8 时，控制器每隔一个控制器时钟 (慢时钟) 周期发送一个命令。用户接口中的所有 FIFO 都是异步 FIFO，允许用户的后端以任何频率运行。I/O 以目标频率翻转。



x723_04_020806

图 4: DDR2 完整接口结构图

用户后端

用户后端旨在提供用于测试 DDR2 控制器各设计方面的地址和数据模式。该后端包括下列模块：后端状态机模块、读取数据比较器模块和数据生成器模块。数据生成器模块生成要写入存储器的各种地址和数据模式。这些地址位置预存储在 Block RAM 中，在那里用作 ROM。存储的地址值已被选用来测试过对 DDR2 SDRAM 器件中不同行和组的访问。数据模式生成器包括一个状态机，用于发送数据模式。后端状态机模拟用户后端，此状态机发送写入或读取使能信号，以确定数据生成器模块要访问的具体 FIFO。

用户接口

后端用户接口包含三个 FIFO：地址 FIFO、写入数据 FIFO 和读取数据 FIFO。前两个 FIFO 由用户后端模块访问，而读取数据 FIFO 由数据通路模块（用于存储采集到的读取数据）访问。

用户到控制器接口

表 4 列出用户接口与控制器之间的信号。

表 4: 用户接口与控制器之间的信号

端口名称	端口宽度	端口描述	说明
Af_addr	36	用户接口中地址 FIFO 的输出。这些地址位的映射： <ul style="list-style-type: none"> 存储器地址（CS、组、行、列） - [31:0] 备用 - [32] 动态命令请求 - [35:33] 	监控 FIFO 满状态标志，将相应地址写入地址 FIFO。
Af_empty	1	用户接口地址 FIFO 空状态标志输出。此信号变为无效后，控制器会处理 FIFO 输出端的地址。	FIFO16 空标志。
ctrl_Waf_RdEn	1	用户接口中，地址 FIFO 的读取使能输入。	当控制器状态随动态命令请求而呈写入、读取、加载模式寄存器、全部预充电、自动刷新或激活时，此信号保持一个时钟周期有效。
ctrl_Wdf_RdEn	1	用户接口中，写入数据 FIFO 的读取使能输入。	首次写入状态后，控制器设定此信号保持一个时钟周期有效。如果突发长度为 8，此信号保持两个时钟周期有效。发送写入命令前，与所要求突发长度的某个写入地址相关的写入数据 FIFO 中必须包含充足的可用数据。例如，如果数据总线为 64 位，突发长度为 4，在发出写入命令前，用户应针对每个写入地址向写入数据 FIFO 中输入两个 128 位数据字。

存储器地址 (Af_addr) 包括深的存储器接口（表 5）的列地址、行地址、组地址和芯片选择宽度。

表 5: Af_addr 存储器地址

地址	描述
列地址	col_ap_width - 1:0
行地址	col_ap_width + row_address - 1:col_ap_width
组地址	col_ap_width + row_address - 1:col_ap_width
芯片选择	col_ap_width + row_address + bank_address + chip_address - 1:col_ap_width + row_address + bank_address

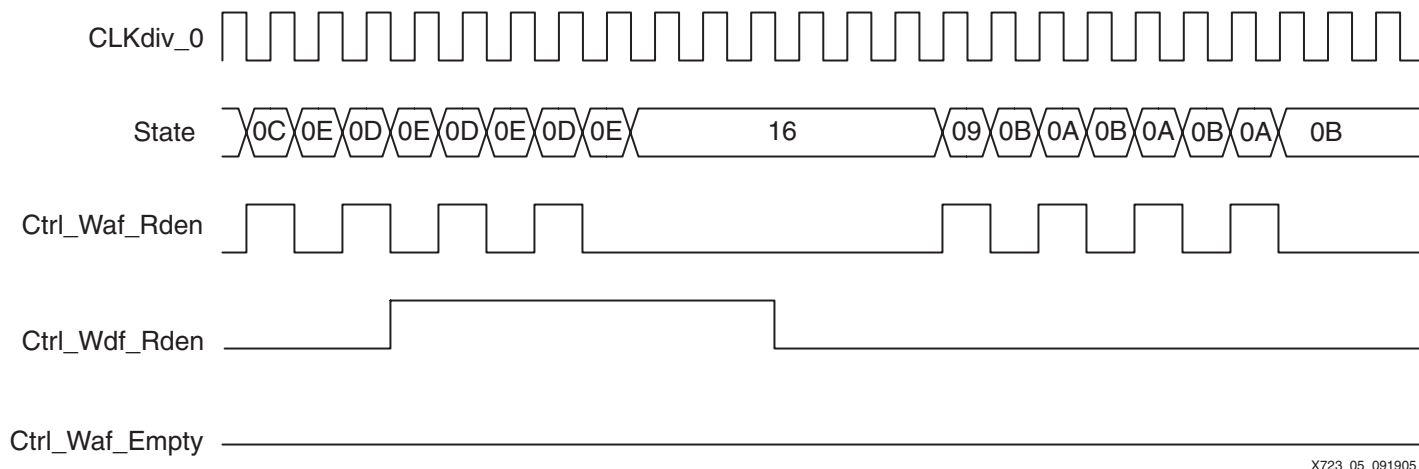
动态命令请求

表 6 列出了可选命令。对于控制器的普通操作来说，这些命令不是必需的。用户可以根据具体应用的需要来请求这些命令。

表 6: 可选命令

命令	描述
000	加载模式寄存器 (Load Mode Register)
001	自动刷新 (Auto Refresh)
010	全预充电 (Percharge All)
011	激活 (Active)
100	写入 (Write)
101	读取 (Read)
110	空操作 (NOP)
111	空操作 (NOP)

图 5 表示四个连续写入随之以四个连续读取，突发长度为 8。表 7 列出图 5 所用到的状态信号的值。



X723_05_091905

图 5: 连续读取随之以连续写入，突发长度为 8

表 7: 图 5 所用到的状态信号的值

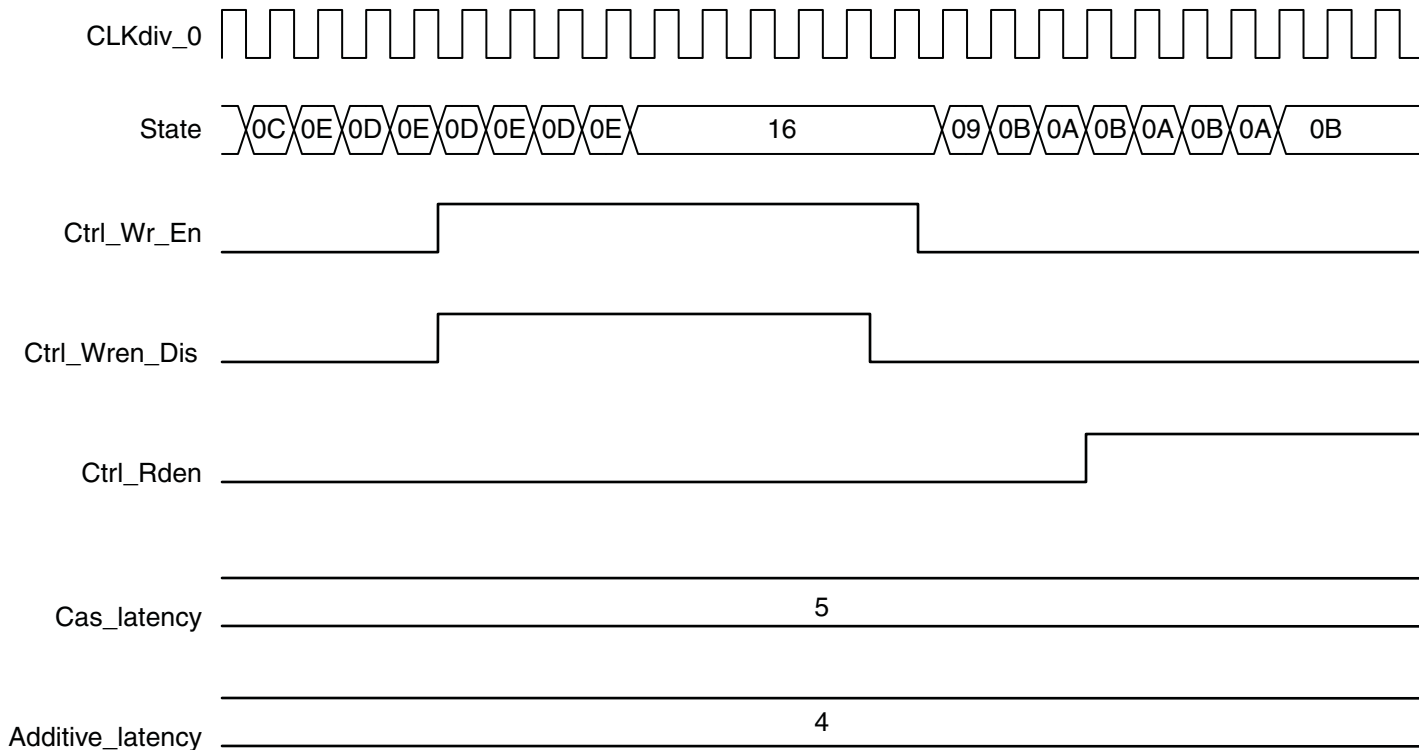
状态	描述
0C	首次写入
0E	写入等待
0D	突发写入
16	写入读取
09	首次写入
0B	读取等待
0A	突发读取

控制器到物理层接口

表 8 列出控制器与物理层之间的信号。图 6 说明从控制器到物理层的控制信号时序波形。

表 8: 控制器和物理层之间的信号

信号名称	信号宽度	信号描述	说明
ctrl_WrEn	1	从控制器到写入数据通路的输出。此信号置位后，写入 DQS 和 DQ 的生成开始。	对长度为 4 的突发，保持此信号在一个控制器时钟周期内有效；对长度为 8 的突发，保持此信号在三个控制器时钟周期内有效。 如果 CAS 延迟的值为 4 和 5，在写入命令前的一个控制器时钟周期内有效。
ctrl_wr_disable	1	从控制器到写入数据通路的输出。此信号变为无效后，写入 DQS 和 DQ 的生成结束。	对长度为 4 的突发，保持此信号在一个控制器时钟周期内有效；对长度为 8 的突发，保持此信号在两个控制器时钟周期内有效。 如果 CAS 延迟的值为 4 和 5，在写入命令前的一个控制器时钟周期内有效。
ctrl_Odd_Latency	1	从控制器到写入数据通路的输出。当所选的 CAS 延迟为奇数时被置位。正确写入延迟 (CAS 延迟 -1) 后，生成写入 DQS 和 DQ 时需要此信号。	
ctrl_Dummyread_Start	1	控制器到读取数据通路的输出。此信号置位后，选通脉冲和数据校准开始。	此信号必须在数据总线中存在有效读取数据时置位，在 dp_dly_slct_done 被置位后变为无效。
dp_dly_slct_done	1	读取数据通路到控制器的输出表明选通脉冲和数据校准已完成。	校准完数据和选通脉冲后设定此信号。此信号被置位后开始正常运行。
ctrl_RdEn	1	对于读取使能信号的从控制器到读取数据通路的输出。	如果突发长度为 4，保持此信号在一个控制器时钟周期内有效；如果突发长度为 8，保持此信号在两个控制器时钟周期内有效。 CAS 延迟和附加延迟的值决定此信号与读取数据之间的时序关系。



X723_06_091505

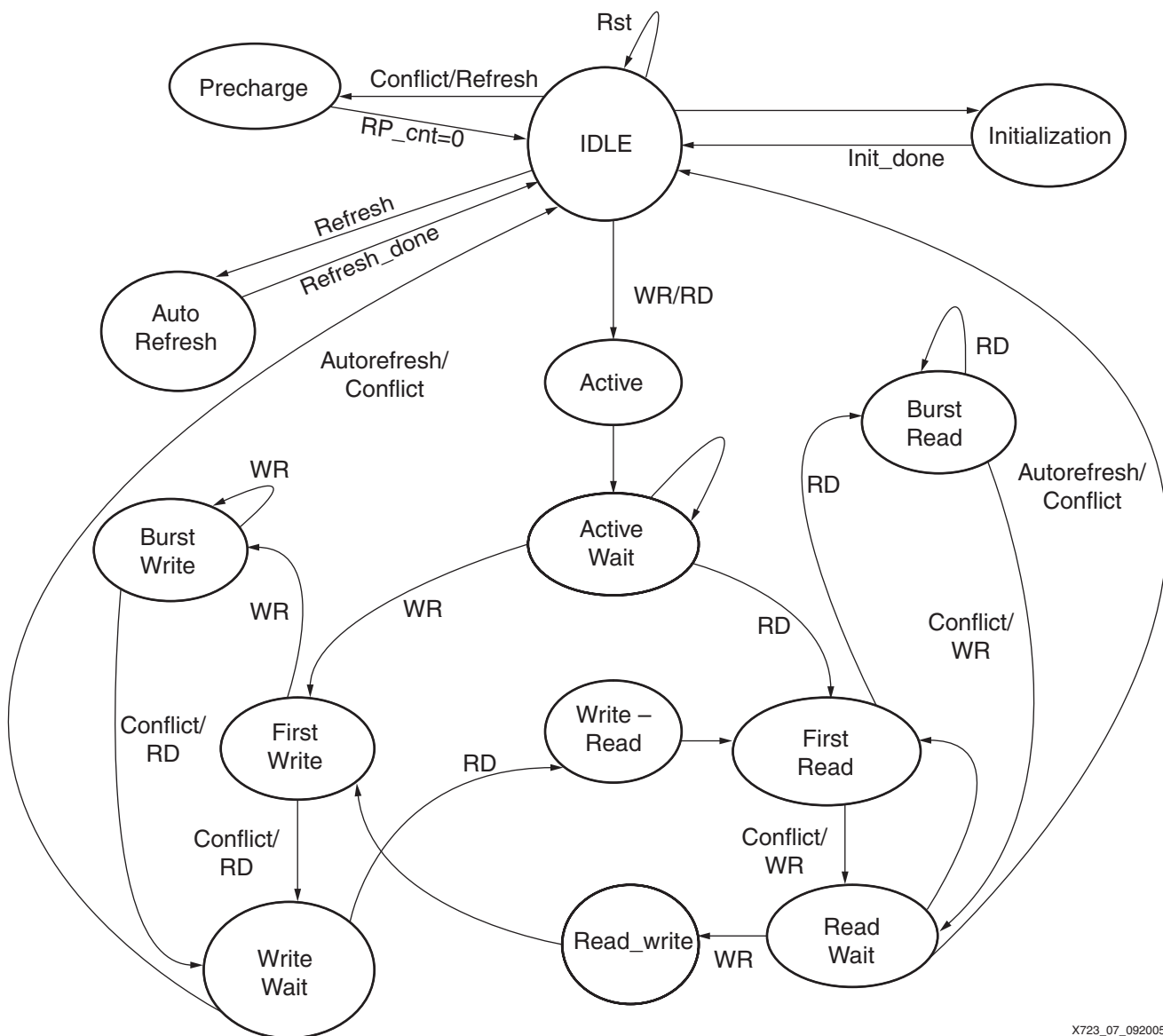
图 6: 从控制器到物理层的控制信号时序波形

控制器实现

此控制器的时钟频率等于接口频率的一半。因此，将地址、组地址和命令信号 (\overline{RAS} 、 \overline{CAS} 和 \overline{WE}) 在快速存储器接口时钟的两个时钟周期内保持有效。控制信号 (\overline{CS} 、CKE 和 ODT) 为二分频时钟的 DDR，以确保控制信号在快速存储器接口时钟的一个时钟周期内有效。

控制器状态机负责以正确的顺序发送命令，同时确定存储器的时序要求。

以下部分（包括图 7）详细说明控制器状态机的各个阶段。



X723_07_092005

图 7: DDR2 控制器状态机

控制器向存储器发送命令前:

1. 地址 FIFO 处于 first-word-fall-through 模式 (FWFT)。在 FWFT 模式中, 写入 FIFO 的第一个地址显示在 FIFO 的输出端。控制器对此地址进行解码。
2. 如果所有组都已预充电, 控制器会激活相应组中的某行; 或将这些组、行地址与已处于活动状态的组、行地址进行比较。如果存在冲突, 在进入读取 / 写入状态前, 控制器会预充电活动的组, 然后发出一个激活命令。
3. 进入写入状态后, 如果得到读取命令, 控制器会等待 *write_to_read* 的时间, 然后发出读取命令。同样, 在读取状态中, 发现来自命令逻辑模块的写入命令后, 控制器会等待 *read_to_write* 的时间, 然后发出写入命令。在读取或写入状态中, 控制器还会向地址 FIFO 发出读取使能有效信号, 以获得下一个地址。
4. 在发送到 DDR2 存储器前, 命令已经过流水处理而与地址信号同步。

设计层级

图 8 表示以名为 mem_interface_top 的顶级模块开始的设计层级。

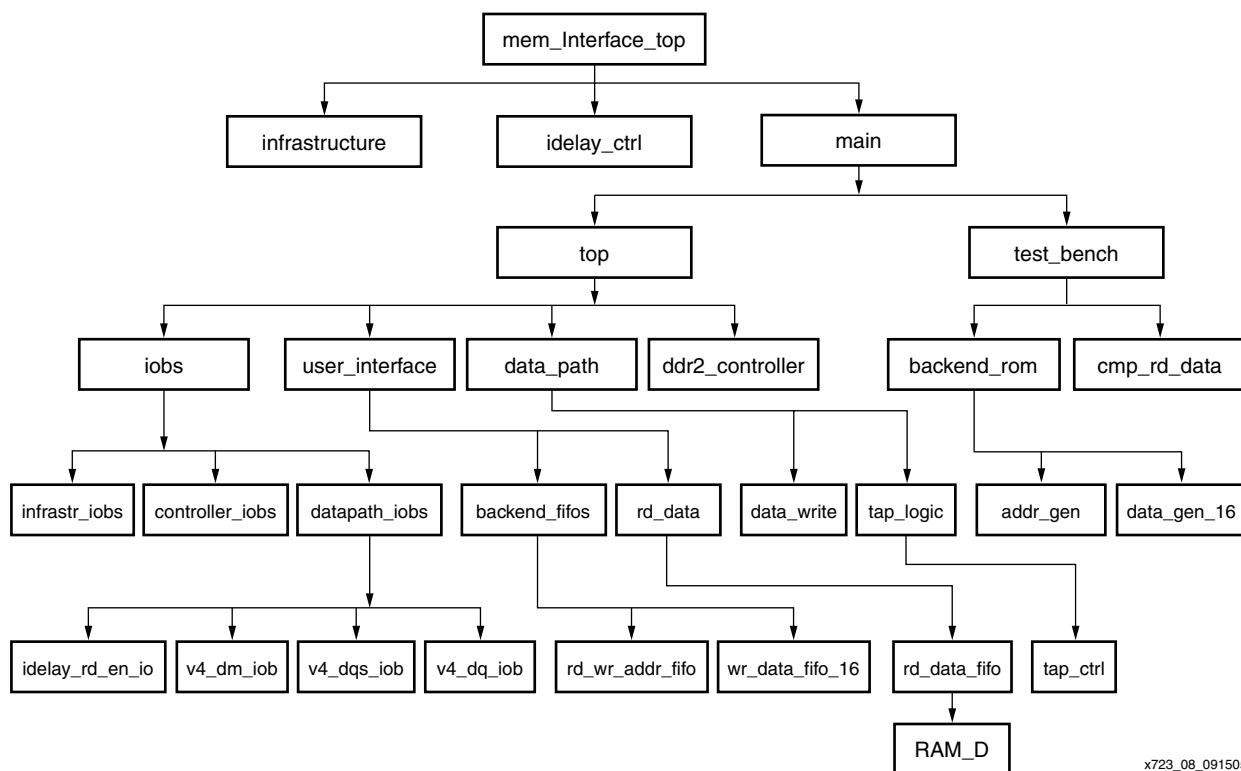


图 8: 参考设计层级

资源利用

64 位 DDR2 SDRAM 接口的资源利用情况（包括可综合测试平台）列于表 9 中。

表 9: 资源利用

资源	利用	说明
Slice	3198	包括控制器、可综合测试平台和用户接口。
BUFG	6	包括一个 200 MHz IDELAY 模块参考时钟 BUFG。
BUFIO	8	与接口内的选通脉冲数量相等。
DCM	1	
PMCD	2	
ISERDES	64	与接口内的数据位数量相等。
OSERDES	90	与数据位、选通脉冲和数据掩模信号的总量相等。

使用数据采集技术的 64 位 DDR2 SDRAM 接口的参考设计可从 Xilinx 网站下载，网址：

<http://www.xilinx.com/cn/bvdocs/appnotes/xapp721.zip>。

结论

本应用指南中描述的 DDR2 控制器与 XAPP721 中的数据采样方法，为高性能存储器接口提供了良好的解决方案。由于 FPGA 架构中所有逻辑的时钟频率都为接口的一半，从而消除很多关键路径，因此该设计提供了很大的余量。本设计通过硬件得到了验证。

修订历史

下表说明此技术文档的修订历史。

日期	版本	修订
2005 年 12 月 15 日	1.0	Xilinx 最初版本。
2005 年 12 月 16 日	1.1	更新表 8 和表 9。
2006 年 2 月 2 日	1.2	更新图 4。
2006 年 2 月 8 日	1.3	更新图 4。