

Xilinx SDAccel

面向未来数据中心的统一开发环境

作者：Loring Wirbel
高级分析师

2014 年 11 月



本白皮书介绍了赛灵思针对 *OpenCL*、*C* 和 *C++* 的软件开发环境 *SDAccel™*，它是赛灵思 *SDx™* 系列的成员之一。本白皮书将介绍 *SDAccel* 在为数据中心创建功耗更优化型计算环境，以及在通用开发环境中整合 *CPU/GPU* 优化型编译和动态可重配置加速器方面所起的重要作用。

未来数据中心严苛的功耗限制

微处理器厂商竭尽全力地缩减特征尺寸，包括利用新型 FinFET 工艺，并在 CPU 中添加特殊的节电状态，但这些仍不足以解决数据中心因集成日趋密集的服务器而造成的功耗危机。实际上负责处理标准因特网流量的大型数据中心一直在努力使功耗预算与电力公司的供电能力保持一致。当增加高分辨率视频、图像识别、深度包检测以及并行算法处理等特殊要求时，就很难让带有标准 CPU 或 GPU 的 PCI Express 开发板将功耗预算保持在 25 瓦以内。

全新推出的 28nm 和 20nm FPGA 系列（如赛灵思 7 系列和 UltraScale™）所拥有的高集成度改变了在数据中心服务器的主机卡和线卡中集成 FPGA 的格局。单位功耗性能和一款同等 CPU 或 GPU 相比很容易提升 20 倍，同时在某些应用中相比传统处理器而言将时延降低 50 至 75 倍。此外，FPGA 还可为 PCI Express、DDR4 SDRAM、10G 以太网和 25/28Gbps Serdes，未来 50 G 和 100 G 以太网构建块等高速接口提供特性优异的 IP 核。

中国最大的搜索引擎提供商百度现已转用深度神经网络（DNN）处理技术来解决语音识别、图像搜索以及自然语言处理中存在的各种问题。公司迅速决策到当在线预测使用神经反向传播算法时，FPGA 解决方案远比 CPU 和 GPU 更容易进行扩展。百度开发的 400Gflop 软件定义加速器，其所用的赛灵思 Kintex®-7 480t-21 PCI Express FPGA 开发板可以插入到任何类型的 1U 或 2U 服务器中。在不同工作负载下，百度发现 Kintex 7 FPGA 开发板的性能均比 GPU 高出 4 倍，比 CPU 则高出 9 倍，同时在实际生产系统中功耗仅为 10-20W。百度指出应用 FPGA 解决方案的一大壁垒就是开发时间长，百度建议利用 Xilinx SDAccel 环境提供的相应软件工具来解决这个问题。

板级超级计算机专家 Convey Computer 将 x86 CPU 与赛灵思 FPGA 完美结合，设计了一款可帮助数据中心服务器进行内容高速缓存的 Wolverine 加速卡。Convey 与戴尔的数据中心解决方案（DCS）业务部通力合作推出了一款图像缩放解决方案（在社交媒体和图片存储网络中非常需要）。该解决方案采用两个 Virtex®7 开发板，相对仅采用

CPU 的同等系统而言，缩放速度可提高 35 到 40 倍。此外，Convey-Dell 解决方案之所以得到广泛使用，关键还是能够利用更高级的语言定制 FPGA 加速器。

大型数据中心需要令人信服的 FPGA 实用功能，微软的案例就是一个有力的证明。在 2014 年年初，微软启动了一项计划——使用 FPGA 加速 Bing 搜索排名。微软公司服务器工程副总裁 Kushadra Vaid 最近在 Linley 处理器大会上的一次主题演讲中展示了使用 1632 台带 PCIe FPGA 加速卡的服务器试生产结果。相对于未加速的服务器，微软实现方案的吞吐量提高了 2 倍，而时延和成本分别降低了 29% 和 30%。尽管 Vaid 展示了 ASIC 可以提供极高的效率，但他表示他们根本无法赶上快速变化的需求。一直阻碍 FPGA 在这些数据中心应用中更广泛使用的原因就是缺乏一款高效优化的编译器和相关开发环境，以满足数十年在面向通用 CPU 和 GPU 架构的编译器上工作的需求。

微软致力于 Bing 搜索加速凸显了异构计算（其中分配给协处理器的任务有文档排名等）在数据中心的重要程度提升到了与同构多内核多处理技术同等的水平。最初旨在针对 integer CPU 的编译器开发人员现在能够以零散的方式增加对于协处理的支持，即使异构元件在统一 FPGA 架构中很少像内核和 CPU 一样紧密耦合在一起。Nvidia 近期将 OpenCL 加入其现有的并行 CUDA 环境，这一举措表明使用处理器而非中央整数 CPU（在 Nvidia 的案例中为 GPU）完成编译工作的处理器公司更看好并行语言的前景，而非单核或多核 CPU 设计。

针对 x86 及其它架构的编译器负责编译一些新的参数以优化性能，在近年来其功能重要性要高于代码密度。英特尔的 C++ 编译器（尤其是与 Xeon Phi 协同使用）和 Nvidia 的 CUDA 编译器试图优化并行线程，尽管两家公司在向主 CPU 增加协处理元件方面均未取得巨大的成功。正如处理器架构变得日趋复杂，编译器要求也在不断提高，要求编译器能够处理多核、更多的流水线，以及额外的协处理器、片内片外等高级功能。

赛灵思从事特定领域规范环境的开发工作将近十年了。数据中心管理人员和服务器 / 交换机 OEM 厂商对数据中心性能的关注有助于推动向统一环境纵深发展，从而在数据中心应用中实现设计优化。因此，用于加速的软件定义开发环境 SDAccel 应运而生。SDAccel 的编译器技术建立在赛灵思于 2011 年年初收购 AutoESL 时获得的高层次综合（HLS）技术的基础上。赛灵思在过去三年多时间里进一步开发该技术，并将其作为产品供货给 1000 多名 FPGA 客户。与此同时，赛灵思还将该技术从针对 C 和 C++ 扩展到了现在能够优化本地 OpenCL 代码的编译工作。

这款编译器不仅可完成用户在任何本地 OpenCL 编译器上所能实现的基本功能，如循环合并、扁平化以及展开等，而且还能执行一些更高级的优化工作，如内存使用、数据流、循环流水线等选项。这些优化让客户依赖编译器将 C、C++ 或 OpenCL 直接高效导入到 FPGA 硬件中。赛灵思基准测试显示，编译器相对优化的 RTL 大小可减少 5%，而且赛灵思还表明，在一些情况下其结果质量（QoR）相比 RTL 能提升 20% 以上。这让客户能够在具有嵌入式调试功能的本地 FPGA 硬件上进行综合和调试前，即可在架构层的 x86 处理器上设计和优化他们的应用。

不止是一款有效的编译器： 而且还是一个类似 GPU 的开发环境

尽管很多新型 C、C++ 和 OpenCL 编译器都作为各种开发套件的组成部分，但是相当多的软件开发套件（SDK）仅仅包含一系列关联松散的线性工具，其中有些工具仍然采用古老的命令行式界面。SDAccel 环境从建立之初就被设计成一种交互式动态开发环境，用以分析应用并将它们解析成 CPU 和内核元素，同时以 x86 目标卡为平台对这些元素进行仿真以备后续在 FPGA 中实现。图 1 给出了 SDAccel 环境中的典型设计流程。

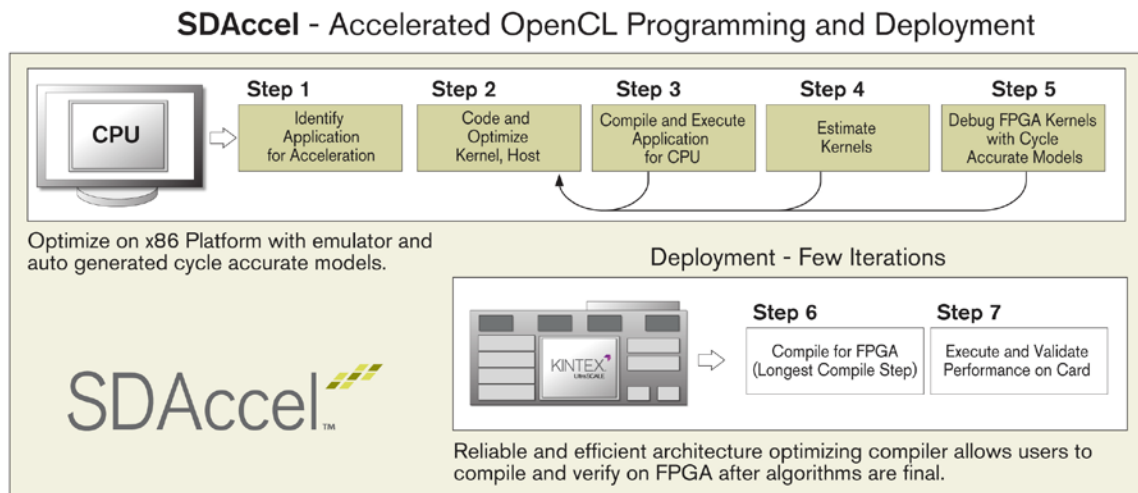


图 1：通过 SDAccel 编译创建的可执行镜像可在赛灵思 FPGA 中实现。

有些许 FPGA 实例化经验的软件开发老手都会发现 SDAccel 中有很多熟悉的内容。允许 C、C++ 和 OpenCL 输入是为了让来自独立 CPU 领域的开发人员尽快熟悉编程环境，同时能获得 FPGA 的所有独特功能集。SDAccel 支持在 CPU 上的完整仿真，程序员可对并行和流水线化元素进行比较，并在对特定 FPGA 架构进行初始编译之前执行

循环、片上存储器和数据流等优化操作。

三级编译便于进行设计迭代，以实现 FPGA 的应用编程和部署。首先，在 x86 平台上执行 C、C++ 或 OpenCL 内核编译与仿真，以实现设计验证和功能调试。然后，在 x86 CPU 上使用 System C 模型对内核进行编译与仿真。最后，在 FPGA 器件上进行编译，不过 SDAccel 在所有三个阶段都具有调试可见性。

CPU 仿真目标和 FPGA 实现目标使用同一个软件工作流程。根据需要载入加速单元作为 FPGA 的异构元素，编译后的加速器可在主机和内核中进行特性分析。在向所选的 FPGA 架构提交设计之前，可以在同一工作流程中对多个内核进行多次协同仿真。多次反复可以让用于加密以及图像滤波与缩放的加速器能够达到接近手动编码设计的效果。下面我们将探讨多次反复协同仿真的优势。FPGA 中所用的通用接口（例如 PCI Express 和千兆位以太网）在重配置加速器的时“永远在线”，因此能够简化加速器内核的使用。

能够支持 C、C++ 和 OpenCL 对开发人员来说是一个独特优势，因为无论是使用现有代码库还是利用全新的 OpenCL 环境都可达到“两全其美”境地。尽管 OpenCL 提供一些明显优势，例如可移植性，以及在主机与运行内核的计算单元之间实现代码分段，但是大部分函数库和现有代码库均采用 C 或 C++ 编写。SDAccel 使客户能够在合适的时候继续用 C 和 C++ 进行开发，同时利用 OpenCL 的可移植性进行移植。

SDAccel 库包含 OpenCL 内置函数、DSP、视频和线性代数库。SDAccel 还将诸如 OpenCV 和 BLAS 等第三方的库集成到其软件环境中。当设计方案使用压缩或加密等复杂协处理模块时，那么利用 SDAccel 开发环境得到的设计在性能和大小方面可与手动编码效果旗鼓相当，甚至更胜一筹。

实现 OpenCL 的全部优势

在评估 SDAccel 的竞争格局时，很重要的一点是要认识到：在可编程逻辑领域，RTL 流程仍占据着主导地位。当然，在这样的环境中能够明显改善器件设计。例如，Tabula 利用名为 DesignInsight 的工具增强了其现有的 Stylus RTL 编译器特性。该软件环境通过插入嵌入点能够更好的了解现有设计，从而有助于加速器的验证与调试步骤。但是，如果不具备优化编译器的前端应用程序，DesignInsight 只能处理未依照通用编译器方案将 CPU 与加速器紧密连接的“first-pass”设计方案。

开放式计算语言（或 OpenCL）由苹果公司开发，并由科纳斯组织（Khronos Group）负责推广，旨在协助 CPU、GPU 和 DSP 模块在异构设计中的集成。为更多地将该语言用于设计的并行实现，业界领先的 CPU 和 GPU 厂商，包括 Intel、Nvidia、Qualcomm、AMD、Imagination Technologies 以及 ARM Holdings 都为该语言及其 API 的开发助有一臂之力。OpenCL 支持基于任务和基于数据的并行处理。尽管赛灵思也支持针对编译设计的 C 和 C++ 内核输入，但赛灵思和 Altera 已决定在新设计中使用 OpenCL 语言。对于 FPGA 库来说关键的一点是 OpenCL 将特定任务加速器定义为可在 OpenCL 器件上运行的内核，这是在 SDAccel 中实现联合编译环境的关键因素。这些内核用标准 C 语言编写，但包含用来识别存储器层级和并行处理的结构标注（annotated with constructs）。

尽管 Intel 和 Nvidia 都是 Khronos 组织的支持者，但是这两家公司在提供面向自身处理器架构的 OpenCL 方面尚处于起步阶段，而且在通过协处理套件为合作伙伴开放 OpenCL 方面也不作为。Nvidia 在 CUDA 上投入了大量的时间和精力，因此也就不难理解为什么 OpenCL 编译器方面的工作会开展得比较缓慢。Intel 已经提供了 Xeon Phi 工具，以及针对 Celeron、Xeon、Ivy Bridge 和 Sandy Bridge 等架构的优化指南，但在很大程度上指望第三方来开发可集成加速器的工具。有意思的是 Intel 的两家 FPGA 合作伙伴 Tabula 和 Achronix 还尚未表示出对 OpenCL 感兴趣。

Khronos 的其他 CPU 和 GPU 支持者，包括 AMD、ARM 和 Imagination (MIPS) 在 2012 年与 MediaTek 和德州仪器（TI）共同组成了异构系统架构 (HSA) 联盟，明确支持将 OpenCL 作为 CPU、GPU 和加速器的一种连接手段。has 联盟在将 OpenCL 连接到其现有编译器环境方面取得了明显进步，例如在 2013 年推出了 HSAIL 语言，以及最近与 AMD 协作针对 HadoopCL 推出的参考设计，可利用 OpenCL 将 Hadoop 查询任务转给 GPU 处理。

类似的还有，伦敦帝国学院、萨尔兰大学、加州大学洛杉矶分校、俄亥俄州立大学以及很多其他设有工程学院的科研院所共同发起了一个项目，用以将标量图形或者在 FPGA 中实现高速暂存存储器等任务实现并行处理。不过，几乎所有发表的论文都涵盖在 OpenCL 出现之前的环境中所开发的 C 和 C++ 内容。这说明共享虚拟存储器和管线（pipe）等 OpenCL 高级功能，在 2013 年底推出 OpenCL 2.0 版本时才发布。

尽管 Altera 已经使用 OpenCL 管线功能将 OpenCL 扩展至数据层元素，但其自身的 OpenCL 编译器仍然将加速器代码和内核开发作为两个不同任务来处理。代码的开发在 x86 目标平台上完成并将优化报告发送给设计人员，而加速器内核的开发和原型设计则在虚拟 FPGA 架构上完成。

通过比较实例压缩与流媒体加密两个标准测试，可以看出优化加速器内核的区别，如表 1 和表 2 中所示。SDAccel 在压缩标准测试中的吞吐量是同类竞争 FPGA 标准 OpenCL 编译的三倍，而且在加密标准测试中尺寸缩小 4 倍，功耗仅为同类竞争方案的三分之一。表 2 中，SDAccel 进行高清滤波和图像缩小时与同等的 Nvidia GPU 方案相比具有 7 倍的功耗优势。之所以能获得这些优势，是因为 SDAccel 使用了面向开发人员的优化方案，并在执行最后的 FPGA 编译之前在模拟和仿真阶段进行了设计迭代。这不仅大大简化了布局布线等后期任务，而且编码效果可与手动编码相媲美。

应用	指标	手动编码 RTL	面向 FPGA 的 SDAccel 编译	其他 FPGA 编译器技术
压缩标准测试	吞吐量	1 倍	1 倍	0.3 倍
	面积	1 倍	0.9 倍	3 倍
流加密标准测试	吞吐量	1 倍	1.2 倍	1 倍
	标准测试	1 倍	1.25 倍	5 倍

应用	目标	面向 FPGA 的 SDAccel 编译	其他 FPGA 编译器技术	SDAccel 优势	SDAccel 开发人员选项
高清 Sobel 滤波器	最高 (帧 / 秒)	650fps	130fps	加快 5 倍	基于 C 的 FPGA 优化库
高清图像缩小	最高 (帧 / 秒)	465fps	110fps	加快 4 倍	基于 C 的 FPGA 优化库

* 以上表格中的数据由 Auviz Systems 提供

应用	指标	面向 FPGA 的 SDAccel 编译	Nvidia K20	SDAccel 优势
高清 Sobel 滤波器	帧 / 瓦	80	11	7 倍
高清图像缩小	帧 / 瓦	36	5	7 倍

* 以上表格中的数据由 Auviz Systems 提供

表 1、2 和 3。SDAccel 与其他 FPGA 编译器技术（顶部）以及 Nvidia K20 编译技术（底部）的应用性能对比。

SDAccel 在超越数据中心功耗限制中的作用

有越来越多的 CPU/GPU 厂商、服务器 OEM 厂商以及数据中心管理员都开始接受 OpenCL，这表明各方都认识到了针对单一处理器架构的基于 C 的优化编译器只能在

服务器机架中实现较小的总体功耗削减，即使处理器采用 20nm 以下工艺并进入特殊的省电模式亦是如此。对于大量使用 DSP 和图形的应用领域来说，例如数据挖掘与智能、3D 可视化，以及微生物学、金融贸易和类似垂直市场中的并行算法开发，一段时间以来这个问题尤为明显。

服务器 OEM 厂商做了大量努力以便在数据中心的更多使用 FPGA，这说明在异构计算中实现更高集成度和更低功耗的这一需求正在延伸至更为通用的应用领域，例如搜索引擎查询和 Hadoop 查询。为建立统一异构系统规范所做的努力都没有白费，例如 HSA 联盟所开展的工作，以及 Tabula 的 RTL 编译和设计后验证与确认，或者 Altera 在数据层使用 OpenCL 的管线功能，以上这些项目都很有用。

到目前为止，私企或学术界都未能在统一的 FPGA 设计充分发挥 OpenCL 的强大功能。SDAccel 开发环境使开发人员可以在 x86 目标板上执行高效的编译迭代，用自动生成的周期精确内核模型进行仿真，并执行协同仿真与验证。随后，可针对 FPGA 架构编译优化设计方案。

利用 FPGA 实现低功耗数据中心不可能一蹴而就。百度、戴尔、微软等公司对新设计方法的推广将有助于提升新型异构服务器的认知度，同时，HSA 联盟将在 OpenCL 使用标准化过程中起到类似作用，或许会在几年内使并行语言成为标准语言。

不过，要发挥 OpenCL FPGA 的最大效用，需要的不仅是目前所提供的点式编译工具。SDAccel 不仅使加速内核接近传统 CPU 和 GPU，甚至超越它们以往的性能，而且还能简化面向未来低功耗异构数据中心的 FPGA 产品的开发工作。

作者简介

Loring Wirbel 是林利集团 (*The Linley Group*) 的高级分析师。林利集团可提供最全面的网络芯片行业分析。我们不仅仅分析商业策略，而且还分析所有已发布产品中所使用的技术。我们的每周刊物和深度报告涵盖多种主题，包括以太网芯片、网络处理器、多核嵌入式处理器以及无线基站处理器等。如需了解更多信息，敬请访问我们的网站：www.linleygroup.com。

本文所用的商标名称仅以文字形式出现，未配有商标图案。这些商标均为各自所有者的财产。白皮书由赛灵思赞助，但所有观点和分析均为作者所有。