

赛灵思 中国通讯

Xilinx News

第四十三期 2012年 春季刊 Issue 43 Spring 2012

借助赛灵思第二代 目标设计平台赢取 新的市场

采用基于 FPGA 的汽车 ECU 设计充分满足
国际标准要求

如何构建具有自检功能的测试平台

ISE 13.4 设计套件已经开放下载



 XILINX®

请即浏览
网络版的全部精彩内容
www.xilinx.com/cn/xcell43



DESIGNED BY AVNET

简洁易用的套件展示 Xilinx Spartan-6 器件的多功能性

低价位的Spartan-6 LX9 MicroBoard 对于那些专注于Microblaze嵌入式应用和Spartan-6 器件的工程师来说是个很好的解决方案。这个套件提供了几个预建好的Microblaze嵌入式系统，客户可以象使用其他标准微处理器那样开始软件开发工作。附带的SDK 软件开发包提供了一种类似于Eclipse 的开发环境用来编写和调试代码。有经验的FPGA工程师会发现MicroBoard 是一个很好的开发样机和测试的工具，并且附带的外设和扩展接口使这个套件可以应用在更广泛的领域。

Xilinx Spartan-6 FPGA LX9 MicroBoard 主要特性:

- Avnet Spartan-6 FPGA LX9 MicroBoard
- ISE WebPACK 软件和指定器件锁定的SDK 和ChipScope 软件许可证
- Micro-USB 和USB 连接电缆

特惠价:

¥ 538，含税
送FPGA培训一天

如需购买此套件，请联络以下安富利科汇办事处或访问：<http://mall.eetrend.com/>

安富利科汇中国办事处:

北京 (86 10) 8206 2488

成都 (86 28) 8652 8262

重庆 (86 23) 6879 7512

福州 (86 591) 8771 0115

广州 (86 20) 2808 7388

杭州 (86 571) 8580 0667

南京 (86 25) 8483 8137

青岛 (86 532) 8097 0716

上海 (86 21) 3367 8387

沈阳 (86 24) 8290 2597

深圳 (86 755) 8378 1886

苏州 (86 512) 6522 2535

武汉 (86 27) 8732 2806

厦门 (86 592) 516 3621

西安 (86 29) 8831 0515

香港 (852) 2176 5388

科通

提供全方位FPGA设计服务



开发板

- TED
- Cook Tech
- PLDA
- Beijing V3
- HiTech Global

EDA工具

- cadence

科通

赛灵思

IP Core

- Intelliprop
- Northwest
- PLDA

设计服务领域

- Industrial Ethernet
- EdgeQAM
- Vision Machine
- DNA Encryption
- Factory Automation
- Repeater with DPD
- ASICS Prototype
- HD IP Camera

enquiry: Xilinx_enquiry@comtech.com.cn

COMTECH 科通
www.comtech.com.cn

深圳 电话: 86-0755-26743210/0755-26988221/0755-26743087
北京 电话: 86-010-51726678/79/80/81/82
上海 电话: 86-021-51696680
南京 电话: 86-025-86816659 / 86816709
杭州 电话: 86-0571-51020941/42/43/44/45/46

成都 电话: 86-028-85131563/85131763/85187804/
85131589/85139576
西安 电话: 029-84508551 / 84508553
武汉 电话: 86-027-87690655/87777241/87568667
香港 电话: 852-27301522

赛灵思 7 系列 目标设计 平台上市

仅凭一块开发板令您力不从心？最新 Kintex-7
与 Virtex-7 套件可加速 FPGA 开发进程。

作者：Mike Santarini
《Xcell 杂志》出版人
赛灵思公司
mike.santarini@xilinx.com

T

为帮助客户评估最符合需求的 FPGA，并让客户的设计快速启动和运行，赛灵思公司推出了首批三种支持 28nm 7 系列 FPGA 的目标设计平台。其中 Virtex[®]-7 和 Kintex[™]-7 FPGA 基础套件包括灵活混合信号子卡以及行业标准的 FMC 接插件。除了这些基础套件之外，安富利也推出了 Xilinx[®] Kintex-7 FPGA DSP 套件，可帮助客户充分利用 FPGA 在多 DSP 任务处理和更快运行速度方面的优势。

这三款全新套件意味着赛灵思第二代 FPGA 系统开发平台的首次发布 (Figure 1)。赛灵思早在 2009 年即推出了支持 6 系列器件的目标设计平台 (TDP) 战略 (见中国通讯第 33 期封面报道：用目标设计平台加速创新)。赛灵思将平台战略描绘为由四个层次组成的金字塔：基础平台、特定领域平台、特定市场平台和最顶层的客户设计。目标设计平台战略可让客户充分利用赛灵思和赛灵思生态系统预先构建的解决方案优势，并将它们轻松地添加到 FPGA 设计项目中。将目标设计平台作为设计的基础，客户就可以将精力放在产品的差异化功能设计上。

在赛灵思目标开发平台分层架构中，全新的 Virtex-7 FPGA VC707 评估套件和 Kintex-7 FPGA KC705 评估

套件等基础平台是评估赛灵思器件系列的主要方法。在基础目标设计平台之上，安富利提供的特定领域套件可以进一步帮助客户完成 DSP、嵌入式和连接功能等领域的设计。此外，赛灵思还面向航空航天和军用、汽车、无线和有线通信、专业广播和工业、科学和医疗等细分市场提供特定市场的开发平台，以实现更快的设计速度。这些面向 7 系列的特定市场套件的各个版本即将陆续发布。

所有赛灵思的目标开发平台不仅包括用于编程 FPGA 的开发板和软件，还包括内部和第三方 IP 核、参考设计和技术文档、广泛的内部开发和合作伙伴开发的 FPGA 夹层卡 (FMC) 子卡系列等。所有这些产品完美结合成一个强有力的工具，可帮助用户比以往任何时候都能够更快地在系统级进行设计工作。

赛灵思已推出面向 6 系列器件的所有三类目标设计平台，现在即将推出面向 7 系列器件的目标设计平台。VC707、KC705 和 Kintex-7 FPGA DSP 套件是在未来几个月内即将陆续推出的众多 7 系列套件中的第一批。

赛灵思高级战略市场营销经理 Mark Moran 强调指出，目标开发平台不是传统的开发套件。所有可编程芯片厂商所提供的套件一般只包括开发板、电源线、软件，有时还包括连接器。

Moran 指出：“在使用典型套件时，您需要将软件加载到自己的 PC 机上，插上开发板并加电，您所能看到的 LED 灯被点亮，表明开发板已开始工作，就是这样。如果想要了解更多，您通常需要到厂商的网站上去搜索相关技术文档和适用于芯片和开发板的 IP 核。在大多数情况下，如果您足够幸运，还可以找到基本的构



图 1：赛灵思目标参考设计平台理念让用户能够专注于产品差异化并加速产品上市进程。

建模块。但就算是找到了，往往也是过时的。某些厂商甚至会要求您购买标准的 IP 模块，仅用于正常启动和运行。在某些厂商处购买套件，就像购买一辆没有轮胎的汽车。您可以坐进驾驶席并发动引擎，但哪儿也去不了。”

更为严重的是，许多厂商提供大量令人眼花缭乱、功能重叠的套件。Moran 指出，这种现象既让用户难以分辨哪一种是最佳产品，同时又让厂商难以提供高质量的支持。他指出：“赛灵思的目标设计平台方案为用户提供的內容要比典型套件丰富得多。我们不会提供没有轮胎的汽车，相反，我们的开发板就像一辆已装配赛车轮胎并且加满整箱油的法拉利，经过了充分调试，随时准备出发，而且会风驰电掣。”

赛灵思目标设计平台业务高级产品市场营销经理 Evan Leal 指出，除开发板、连接器和设计软件之外，目标设计平台套件还包括多种类型的参考设计、免费的 IP 核，有时还会捆绑 FMC 卡。用户可以即时访问赛灵思和第三方厂商提供的 IP 核库和即插即用 FMC 子卡目录。Moran 指出：“因为这是我们的第二代目标设计平台，所以我们已经拥有一个非常强大的生态系

统来为这些全新套件提供支持。而且，采用这一代器件，我们能够让客户更加轻松地完成开发，快速投入运行。”

组成赛灵思联盟计划 (<http://www.xilinx.com/cn/alliance/index.htm>) 的数百家开发板、设计服务、IP 核和工具厂商可为赛灵思目标设计平台提供丰富多样的解决方案和应用。赛灵思分别与 4DSP、Analog Devices、Avnet、Digilent、Northwest Logic、MathWorks、TI 和 Xylon 等展开密切合作，共同向市场推出 Kintex-7 FPGA 和 Virtex-7 FPGA 套件。

即插即用的 FMC 卡

事实上，赛灵思目标设计平台方案的关键组成部分之一是行业标准 FMC 接插件，而且从 Virtex-6 和 Spartan®-6 FPGA 系列开始，所有套件都包含 FMC 接插件。FMC 接插件可帮助 IP 核厂商、芯片制造商和设计服务公司推出子卡，使设计人员能够利用子卡快速将开发板连接到赛灵思套件，并在系统级环境中对其设计进行测试。

Moran 指出，自 2009 年推出 6 系列以来，目标设计平台生态系统中的 30 多个合作伙伴已推出 100 多种

FMC 卡。在最近几个月中，有超过 30 种 FMC 在赛灵思举行的插拔测试大会上经过验证能够支持全新 7 系列器件，可满足各种应用的需求。在未来几个月中，赛灵思预计将有更多 FMC 卡推出。

此外，7 系列器件也可从根本上改进目标设计平台战略。例如，Moran 指出，随着去年 7 系列器件的推出，赛灵思即采用了 ARM® AMBA® AXI4 接口。AXI4 接口可让用户更加方便地将赛灵思、第三方以及内部开发的 IP 核集成到赛灵思 7 系列器件中。此外，它还可让客户和赛灵思 IP 核生态系统将重点集中于一个 IP 核互连结构而非多个，以便快速精简 IP 核解决方案以及开发新的 IP 核。

新一代目标设计平台的另一关键优势，在于赛灵思所有 7 系列器件（包括 Virtex-7、Kintex-7 和 Artix™-7）以及 Zynq™-7000 可扩展处理平台器件，均可在一个可扩展的可编程逻辑架构上实现。Moran 指出，这种统一架构可让用户随设计需求的变化，在 FPGA 系列之间方便地应用所有的 IP 核或者进行设计迁移。

Moran 称 7 系列的另一巨大优势在于，即便是 Kintex-7 器件现在也包

即便是 Kintex 器件现在也包含了灵活混合信号技术，AMS 模块允许用户在设计中监控和测试内部模块，甚至在 FPGA 上实现模拟功能，无需依靠独立的外部电路。这样做可以提升性能，节约板级空间，并减少物料清单。

除了灵活混合信号 (AMS) 模块，也可方便用户在设计中监控和测试内部模块，甚至在 FPGA 上实现模拟功能（比如 ADC 和 DAC），无需依靠独立的外部电路。这样做可以提升性能，节约板级空间，并减少物料清单。Moran 指出，这样还可以让用户监控器件的功耗，并确认赛灵思 7 系列比同类竞争器件的优越之处（见赛灵思中国通讯第四十一期封面报道）。

Moran 指出：“在 7 系列之前，我们只在 Virtex 器件中提供 AMS 模块。从 7 系列开始，我们在 Kintex 器件中也提供 AMS 模块。将会有全新的客户群现在可以从这些模块中获得巨大的优势。”

Moran 指出，率先推出的三种 7 系列目标设计平台所配备的功能可帮助用户以极快的速度启动并完成设计。每款套件都有极其丰富的功能集，详情可访问：www.xilinx.com/cn/7。Moran 和 Leal 将向大家逐一介绍每款套件的要点。

Virtex-7 FPGA VC707 评估套件

Moran 表示，对于寻求在采用 Virtex-7 FPGA 的大量应用中同时实现突破性的性能、容量和能效的设计人员来说，赛灵思 Virtex-7 FPGA VC707 评估套件是基础目标设计平台。这些应用包括用于有线和无线通信、航空航天与军用产品、医疗和广播市场的高级系统。

该套件专门采用 VX485T-2 FPGA，这是一种中型的 Virtex-7 器件（图 2）。

在软件方面，该套件配套提供了 Virtex-7 VX485T-2 FPGA 专用的——

两个 FMC-HPC 连接器（8 个 GTX 收发器、160 路单端或 80 路差分用户定义的信号。）在存储器方面，它包括速率为 1,600 Mbps 的 SODIMM DDR3 存储器、用于 PCIe® 配置的 1Gb



图 2：对于寻求在采用 Virtex-7 FPGA 的大量应用中同时实现突破性的性能、容量和功耗的设计人员，赛灵思 Virtex-7 FPGA VC707 评估套件是基础目标设计平台。

ISE® 设计套件逻辑版本。在串行连接功能方面，可采用千兆以太网（GMII、RGMII 和 SGMII）、SFP/SFP+ 收发器连接器、一个配备四个 SMA 连接器和一个 PCI Express® x8 边缘连接器的 GTX 端口 (TX、RX)。

在并行连接功能方面，该套件采用

(128 MB) BPI 闪存、一个 SD 卡接口和一个 8 KB I²C EEPROM。

其它连接功能包括 HDMI™ 视频输出、UART 转 USB 桥接器、2x16 LCD 插头、8 个 LED、IIC 和模拟混合信号端口。

该套件还配套提供参考设计和演示

符合 ROHS 规范的 Kintex-7 FPGA KC705 评估套件 可提供一系列效果显著、节约成本的功能。 该套件旨在实现最高灵活性，以加速广泛的应用范围。

以及综合全面的技术文档，以使用户立即着手工作。实例设计和演示包括开发板诊断演示、ChipScope™ Pro 串行 I/O 工具套件、IBERT 收发器测试设计、多重启动参考设计、PCI Express Gen 2 (x8) 测试设计和 DDR3 存储器接口设计。

在技术文档方面，本套件包括入门指南、硬件用户指南、参考设计和实例设计指南。另外还附送原理图和 UCF 文件，以提供根据最佳实践加速开发板布局和开发进程的必要信息。

如欲了解关于该板件的更多详情，比如器件配置、时钟设置、控制和电源，敬请访问 <http://www.xilinx.com/cn/vc707> 上的 Virtex-7 FPGA VC707 评估套件目标设计平台套件页面。

Kintex-7 FPGA KC705 评估套件

采用 XC7K325T-FF900 FPGA 的 Kintex-7 FPGA KC705 评估套件是 Kintex-7 系列的基础目标设计平台。Moran 指出，该套件旨在实现最高灵活性，以帮助设计人员加速无线电/基带、雷达、边缘 QAM、三速率 SDI 以及其它要求高能效高速通信和处理等的各种应用的开发进程的应用 (图 3)。

符合 ROHS 规范的 Kintex-7 FPGA KC705 评估套件可提供一系列效果显著、节约成本的功能。该套件配套提供 Kintex-7 XC7K325T FPGA 专用的 ISE 设计套件逻辑版本。

串行连接功能包括千兆以太网 (GMII、RGMII 和 SGMII)，SFP/

SFP+ 收发器连接器、配有四个 SMA 连接器的 GTX 端口 (TX、RX)、UART 转 USB 桥接器以及 PCI Express x8 边缘连接器。

并行连接功能包括 FMC-HPC 连接器 (四个 GTX 收发器、116 路单端或 58 路差分 (34LA 和 24HA) 用户定义的信号) 以及一个 FMC-LPC 连接器

PCIe 配置的 1Gb (128 MB) BPI 闪存、SDIO-SD 卡接口、一个 16 MB QUAD SPI 闪存和一个 8 KB I2C EEPROM。

该套件还提供开发板诊断演示、ChipScope™ Pro 串行 I/O 工具套件、IBERT 收发器测试设计、多重启动参考设计、PCI Express Gen 2 (x8) 测试



图 3: Kintex-7 FPGA KC705 评估套件旨在实现最高灵活性，以帮助设计人员加速各类 Kintex-7 应用的开发工作。

(1 个 GTX 收发器、68 路单端或 34 路差分用户定义的信号)。

其它连接功能包括 HDMI 视频输出、一个 2x16 LCD 显示器连接器、8 个 LED、I²C、LCD 插头和一个模拟混合信号端口。

存储器包括速率为 1,600 Mbps 的 SODIMM DDR3 存储器、一个用于

设计和 DDR3 存储器接口设计。Leal 称：“另外，本套件还配套提供采用 PCIe4 Gen2 和 DDR3 的目标参考设计，使设计人员能够快速着手集成 FPGA 设计人员最青睐的部分功能。”

在技术文档方面，本套件包括入门指南、硬件用户指南、参考设计和实例设计指南。另外还附送原理图和



图 4: 安富利公司 (Avnet) 提供的 Kintex-7 FPGA DSP 套件主要面向期望使用 FPGA 更快完成多个 DSP 工作的客户。

UCF 文件。Leal 称: “就像 VC707, KC705 评估套件配套提供 AMS 评估卡, 可帮助设计人员迅速评估 AMS 功能的价值。”

另外配备有若干电缆和适配器 (即通用 12V 电源、两条 USB 电缆、一条以太网电缆和一个 HDMI 转 DVI 适配器)。

如欲了解关于该开发板的更多详情, 比如器件配置、时钟设置、控制和电源, 敬请访问 www.xilinx.com/cn/kc705 上的 Kintex-7 FPGA KC705 评估套件目标设计平台套件页面。

Kintex-7 FPGA DSP 套件

除了这些基础平台, 针对那些期望使用 FPGA 更快地完成多个 DSP 工作的客户, 安富利正在推出 Xilinx Kintex-7 FPGA DSP 套件目标设计平台。这款基于 Kintex-7 KX325T FPGA 的目标设计平台, 包括连接真实信号用的集成式高速模拟 FMC (图 4)。

这款高速模拟子卡是 4DSP 推出的 FMC150。该卡提供两个 14 位、

250 Msps 的 A/D 通道以及两个 16 位、800 Msps 的 D/A 通道, 其既可采用内部时钟源, 也可采用外部提供的基准时钟进行计时。

Kintex-7 FPGA DSP 套件附带目标 DSP 参考设计, 内含具备数字上变频 (DUC) 和数字下变频 (DDC) 功能的高速模拟接口。最终用户可直接将其用于自己的设计, 从而可节约数周的开发时间。

如欲了解关于该开发板的更多详情, 比如器件配置、时钟设置、控制和电源, 敬请访问 <http://www.xilinx.com/cn/k7dspkit>。Kintex-7 FPGA DSP 套件页面。

在未来几个月里, 赛灵思将陆续发布数款新的开发板以支持 7 系列器件。如欲查看今天推出的开发板并了解更多详情, 敬请访问: <http://www.xilinx.com/cn/products/boards-and-kits/index.htm>。如欲了解 FMC 子卡的更多详情, 敬请访问: http://www.xilinx.com/cn/products/boards_kits/fmc.htm。●●

赛灵思第一批 7 系列 FPGA 目标设计平台上市

全面提升 7 系列 FPGA 的设计生产力和系统集成能力

2012 年 2 月 1 日, 全球可编程平台领导厂商赛灵思公司 (Xilinx, Inc. (NASDAQ:XLNX)) 宣布推出其首批用于加速 28nm 7 系列 FPGA 系统开发与集成能力提升的目标设计平台。赛灵思针对 FPGA 系统设计和集成的目标设计平台方法提供了业界最全面的开发套件, 包括开发板、ISE 设计套件工具、IP 核、参考设计和 FPGA 夹层卡 (FMC), 能帮助设计人员立即启动应用开发。

赛灵思新型 Virtex[®]-7 FPGA VC707 评估套件、Kintex-7 FPGA KC705 评估套件, 以及与安富利电子元件部 (Avnet Electronic Marketing) 联合开发的 Kintex[®]-7 FPGA DSP 套件的演示, 通过运行应用展示了这些套件的低功耗、FMC 移植、高速连接功能和高级数字信号处理 (DSP) 性能优势。赛灵思还在展台展示了业界独有的灵活混合信号 (AMS) 模拟接口功能, 该功能目前已应用到所有赛灵思 28nm 器件中, 以支持通用模拟集成。

自 2011 年 3 月向客户交付首批 Kintex-7 器件以来, 赛灵思已开始推出 Kintex-325T、Virtex-485T、Virtex-2000T FPGA 和 Zynq-7020 可扩展处理平台。这 3 款新型套件是赛灵思和生态系统合作伙伴成员即将推出的近 40 款套件中的第一批, 这些套件可用于支持嵌入式和高速连接功能应用, 满足汽车、广播、消费、工业和通信等市场的需求。每款套件配套提供的参考设计可为 FPGA 新手和经验丰富的设计人员提供理想的设计起点, 有助于迅速完成设计工作, 同时实现最佳性能、最低功耗和最高带宽, 以及充分利用赛灵思 FPGA 的丰富特性。

嵌入式视觉： FPGA 技术潜在的 重大商机

作者：Brian Dipert

总编

嵌入式视觉联盟

dipert@embedded-vision.com

José Alvarez

视频技术工程总监

赛灵思公司

jose.alvarez@xilinx.com

Mihran Touriguian

高级 DSP 工程师

BDTI (伯克利设计技术公司)

touriguian@bdti.com

一项联合开发的参考设计证实了赛灵思 Zynq 器件在新兴应用领域的潜力。

什么样的积极创新可以帮助您设计出这样一个系统——它能够提醒用户有儿童在游泳池中溺水，或是有入侵者试图闯入住宅或者办公场所？这种技术还能够提醒驾驶员道路上即将发生的危险，甚至可以制止他们并线、加速及其它可能会给自身或他人带来危险的操作。它能够给军用无人机或其他机器人配上电子“眼”，使这些设备部分实现甚至完全实现自动化操作。它能够协助内科医生诊断患者的病情。它能够准确地进行面部识别，随后启动一系列操作（例如自动登录用户账号，或者获取相关新闻及其它信息），解读姿态，甚至觉察人的情绪状态。与 GPS、指南针、加速计、陀螺仪和其他功能配合，它还能够提供数据强化 (data augmented) 的场景再现。

上面谈到的应用实例都采用了一项共同的技术，即嵌入式视觉。该技术正准备书写新一代电子系统的成功篇章。嵌入式视觉最初应用于组装生产线检测、光学字符识别、机器人、监视和军用系统等传统的计算机视觉应用。不过近年来，随着关键技术构建块成本的不断下降以及功能的不断丰富，嵌入式视觉技术不断向主要的大批量市场加速渗透。

例如，在日益丰富和不断提高的应用需求的推动下，图像传感器的分

辨率、低亮度性能、帧速率、尺寸、功耗和成本等关键特性都有着明显的改善。同样，嵌入式视觉应用也要求处理器具备高性能、低成本、低功耗以及灵活的可编程功能。这些理想的特性在不计其数的产品设计中正日渐变为现实。最新一代光学系统、照明模块、易失性和非易失性存储器以及 I/O 标准也正在实现类似的特性优化。因此，算法到了迎接挑战的关口，需要充分利用这些硬件性能的改进来提供更稳健可靠的分析结果。

嵌入式视觉指的是能够通过视觉方式理解其所处环境的机器。“嵌入式”的意思指内置图像传感器的非通用型计算机系统。比如，嵌入式可以是手机、平板电脑、监视系统、地面或者具备飞行能力的机器人、安装有一套 360° 摄像头的车辆或者是医疗诊断设备。它也可以是有线或者无线用户界面外设。这方面微软针对 Xbox 360 游戏机提供的 Kinect 可能是最好的例证，上市头 2 个月就销售出 800 万件。

FPGA 的商机：案例研究

可供选用的稳健可靠的嵌入式视觉处理产品丰富多样，如微处理器与嵌入式控制器、专用 SoC、DSP、图形处理器、ASIC 和 FPGA。FPGA 是一款用于实现嵌入式视觉技术的极富

吸引力的芯片平台，因为它将 ASIC 的高性能和低功耗硬件以及可运行在 CPU、GPU 或 DSP 上的软件算法的灵活性和快速上市优势集于一身。在嵌入式视觉市场处于襁褓时期的当前阶段，灵活性具有特别重要的意义。因为为了支持多样化的算法选择，迅速完成缺陷修正和特性集改进是一种常态，而非偶然。FPGA 的硬件可配置能力也便于让设计经简单直观修改就能适用于支持各种串行和并行（以及模拟和数字）接口的图像传感器。

嵌入式视觉联盟是由世界各地的开发商和提供商组成的统一的全球性联盟，其宗旨是以丰富、迅速和高效的方式将嵌入式视觉的潜力变为现实（见侧边栏）。该联盟的两个创始成员 (BDTI) 伯克利设计技术公司和赛灵思已联合开发出一个参考设计，用于证实嵌入式视觉技术不可估量的市场前景以及 FPGA 在实现该前景中可能发挥的作用。这个项目的目的是探索系统设计人员在开发高度复杂的智能视觉平台时可进行的典型架构决策，该平台所包含的元件需要高强度硬件处理和复杂的软件及算法控制。

BDTI 和赛灵思对设计进行了分区，其中 FPGA 架构负责处理数字信号处理密集型运算，而 CPU 则负责处理复杂的控制和预测算法。在这个探索性实现方案中，CPU 电路板通过以太网接口连接到 FPGA 开发板。FPGA 执行高带宽处理，仅有元数据通过网络 (network tether) 进行交换。该项目还探索了软硬件同步开发，故要求在最终的 FPGA 硬件实现之前使用精准的仿真模型。

第一阶段：道路标志检测

项目的第一阶段和第二阶段均采用了两个基于 PC 的专门功能：正在开发中的赛灵思视频 IP 模块的仿真模型和一个由 BDTI 开发的处理应用（见图 1）。输入数据为 720p 高清分辨率、60 fps 的 YUV 编码视频流，代表车辆正前方摄像头可能采集到的图像。其目的是识别（虽然没有采用光学字符识别技术“读取”，但这项功能可以自然延伸出来）视频帧中的四种类型的对象，以辅助驾驶员驾驶：

- 绿色方向标志
- 黄色和桔红色危险标志
- 蓝色信息标志
- 桔红色安全锥

赛灵思提供的 IP 模块仿真模型负责输出用于识别每帧中各颜色像素组的位置和大小的元数据，这些也是最终硬件 IP 模块生成的元数据。许多嵌入式视觉系统的精度受多种外部因素的影响，比如成像传感器的噪声、突然的照度变化以及难以预测的外部运动。对本项目的必要要求之一是要求 FPGA 硬件在尽量节约硬件资源的情况下，借助能够容忍大量外部干扰且不降低检测精确度的预测性软件，在有大量外部干扰的条件下完成图像处理并生成元数据。

BDTI 针对这种特定应用，对这些 IP 模块丰富的配置参数集进行了优化，而且 BDTI 的后处理算法还提供了进一步的优化和预测功能。例如，在某些情况下，该硬件只能部分识别

一帧中的对象，但应用层软件使用跟踪算法能够继续预测对象的位置。这种方法非常有效，因为在许多情况下物理探测无法做到持续不断，因此软件智能层对提供持续的预测起着关键作用。

再举一个例子。高速公路绿色指路标志上的黑色或白色字符可能会扰乱 IP 模块普通的图像分析功能，会将路标错误地分解成多像素的子集合（见图 2）。根据该应用中使用的成像传感器的质量和设置，IP 模块还会混淆红色和桔红色，从而将其他车辆的尾灯或刹车灯误认为交通锥或交通标识。

因此，BDTI 开发的针对特定应用定制的算法可用于进一步处理赛灵思提供的元数据。例如，BDTI 的算法知道什么样的标志看上去应该是怎么样

嵌入式视觉联盟成功在望

嵌入式视觉技术有望打造出多种更智能、响应速度更快，对用户更具价值的电子产品。它不仅能为现有产品增加辅助性功能，而且还可为硬件、软件和半导体制造商开辟新的重要市场。嵌入式视觉联盟是由技术开发商和提供商组成的统一的全球性组织，将以丰富、快捷和有效的方式，将这种潜力变为现实。

嵌入式视觉联盟已开发出一个功能齐备的网站，任何人都可免费访问。网站设有专文、视频、每日新闻门户和一个涉及有各种技术专家参与的多学科论坛。网站注册用户可收到联盟每月通过电子邮件方式发出的电子通讯，还有权访问“嵌入式视觉学院”。“嵌入式视觉学院”提供大量辅导性宣讲、技术论文和文件供下载，旨在帮助嵌入式视觉领域的新人迅速丰富他们的专业知识。

预计未来嵌入式联盟还将发挥以下职能：

- 吸收世界各地的大学和实验室取得的技术突破并实现其商业化；
- 编撰硬件、半导体和软件标准，消除大量重复性实现方案带来的混淆和低效，加快新技术的推广；
- 开发稳健可靠的基准，实现处理器和软件算法等各种嵌入式视觉系统构建块清晰全面的评估和选择；
- 丰富软硬件参考设计、仿真器以及其他开发辅助手段，使组件供应商、系统实现方和最终用户能够根据自己独特的应用需求开发并选择最佳产品。

更多信息，敬请访问：www.embedded-vision.com。如需联系嵌入式视觉联盟，请发电子邮件至：info@embedded-vision.com，或致电：(510) 451-1800与 Brian Diper 联系。

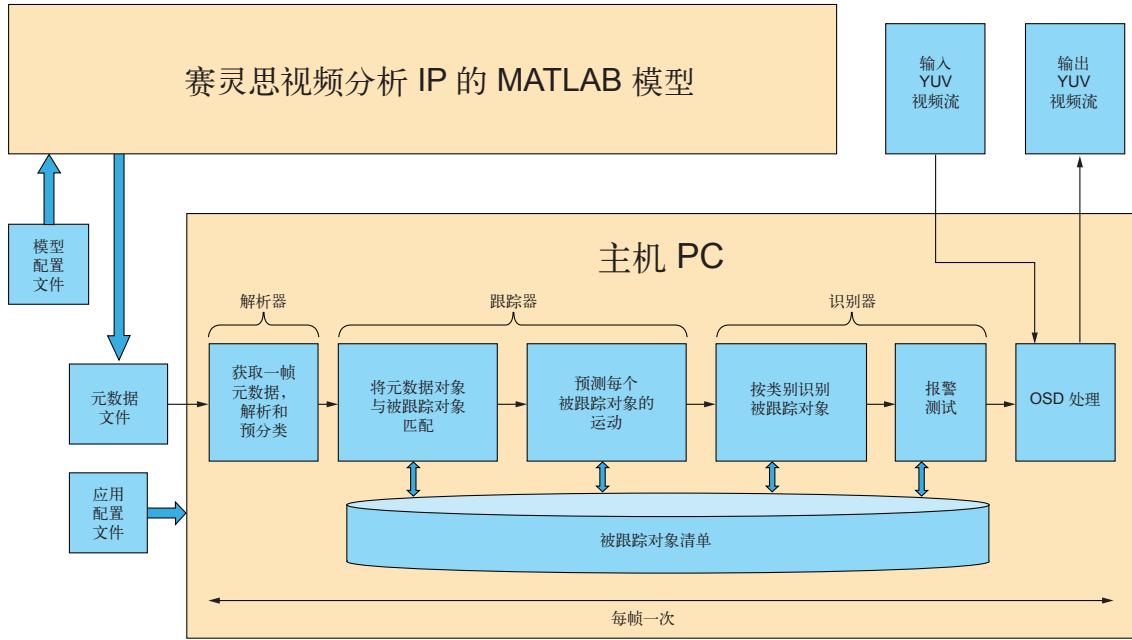


图 1 - 在项目的前两个阶段，BDTI 和赛灵思的视频分析概念验证参考设计开发项目完全在 PC 上进行



图 2 - 采用专门针对应用定制的二级算法进一步处理 FPGA 的视频分析硬件电路输出的元数据

的（大小、形状、颜色、图案、在帧中的位置等），故而能够将相关的像素集群组合成更大的群组。类似的，这些算法也能判断什么时候应该去除了看似颜色相近但并非标志的像素集群，比如前面提及的车辆刹车灯。

第二阶段：行人检测与跟踪

在项目的第一阶段中，摄像头处于运动状态而待识别的对象（即道路标志）处于静止状态。第二阶段主要针对安全应用，摄像头处于静止状态而对象（本例中为行人）则未必。对这种情况，视频分析算法就不能依靠

预设的颜色、图案或其它对象特征，因为行人可以穿着各种衣物，可以高矮胖瘦各异，可以肤色、头发颜色和发型不同（另外还可能戴着遮挡头发的帽子、墨镜等装饰物）。软件还需要解决另一个难题，不仅需要识别和跟踪行人，还需要在行人穿越一道数字“绊网”，进入视频帧的特定区域时发出警报（见图 3）。

项目第二阶段与第一阶段采用的硬件配置完全相同，只是软件有所变化。视频流馈送到视频分析 IP 核的仿真模型中，所生成的元数据传输到二级算法器件供进一步处理。此时面临的难题包括：

- 解决不必要的噪声和适当的对象分割之间根本性的权衡取舍问题
- 对象不断变化的形态（外形和结构）



图3: 在行人检测和跟踪功能中包括一项“绊网”警报功能, 当行人进入视频帧的有界部分的时候就会发出警报

向运动矢量的对比

就“绊网”的实现, 四种不同的视频流对视频分析算法的调试和优化尤其有效:

- 以相反方向行走的“近处”行人
- 以不同方向行走的“近处”行人
- 一个“远处”行人和一辆行驶的卡车, 从某种角度看, 两者大小相仿
- “远处”的多名行人与一辆驶近的卡车, 卡车看上去比人群大

第三阶段: 硬件转换及未来发展

项目的最后阶段采用赛灵思真正的视频分析 IP 模块(代替之前使用的仿真模块), 运行在 Spartan®-3A 3400 视频入门套件上。MicroBlaze™ 软核处理器嵌入在 Spartan-3A FPGA 内, 采用额外的专用功能模块予以强化, 并实现了网络协议栈。该网络协

- 对象不断变化的运动状态, 包括行人间的运动状态变化以及特定行人随时间的运动状态变化
- 元数据消失。比如当行人停止行走, 被中间的障碍物遮挡或者是与背景图案混为一体
- 有其他对象出现在场景中, 包括静态和动态的
- 行人与摄像头之间的距离不断发生变化
- 人群中个别行人与群体的运动矢量对比, 主体运动矢量和反

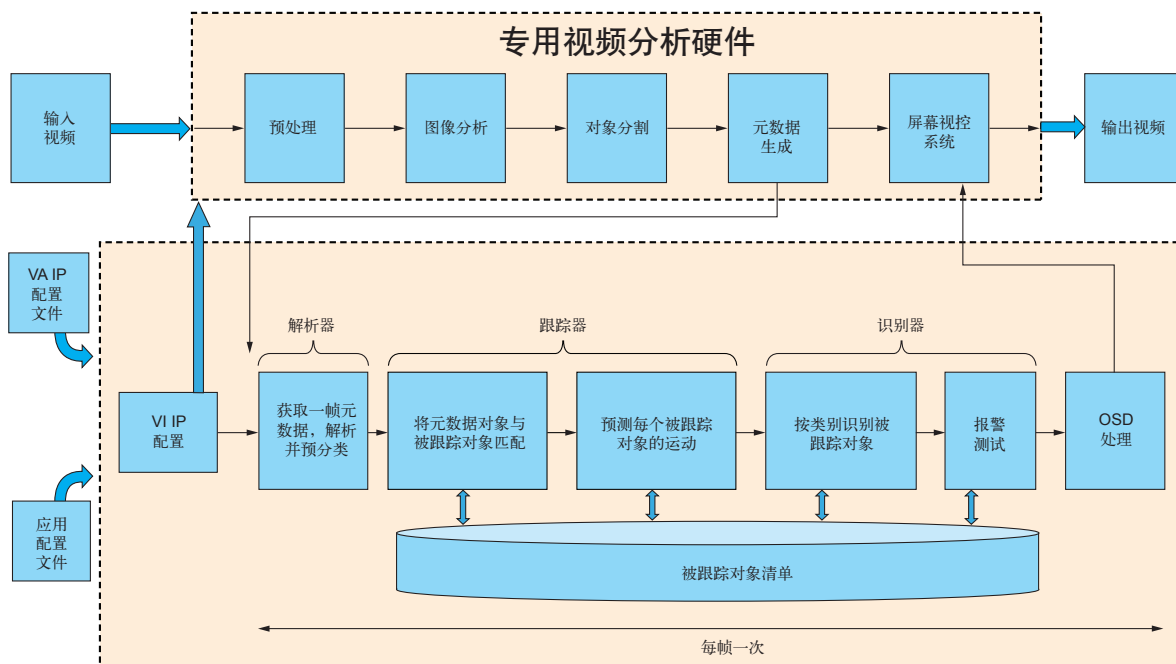


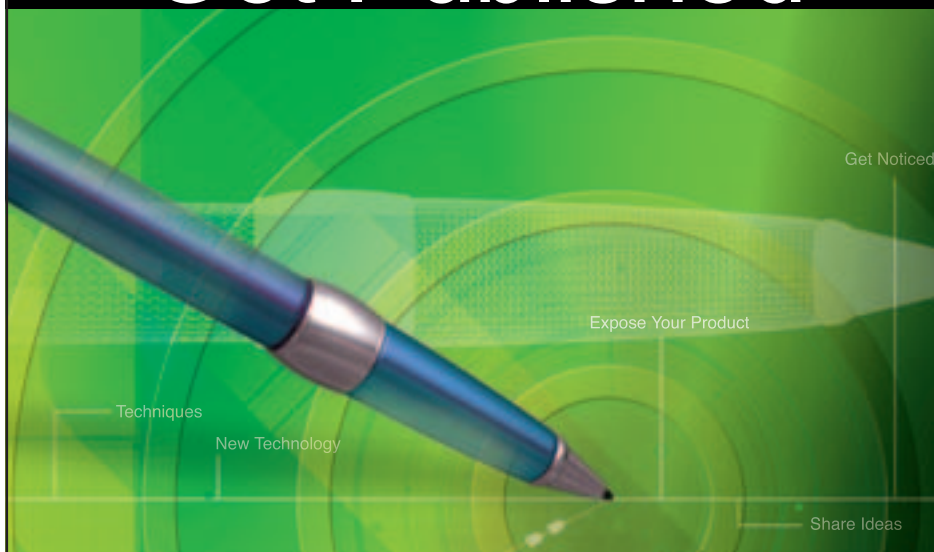
图 4 - 项目的最后阶段是将项目从赛灵思仿真模型中移植到实际的 FPGA IP 模块中。BDTI 还将二级算法从 x86 CPU 移植到基于 ARM 的 SoC 上, 为后续采用单芯片 Zynq 可扩展处理平台铺平了道路。

议栈主要负责处理高数位率和以太网分组的元数据并将其传输到 BDTI 开发的第二级处理算法，同时实现道路标志检测和行人检测与跟踪功能。虽然这些算法之前在基于 X86 的 PC 上运行，BDTI 已成功地将它们移植到基于 ARM® Cortex™-A8 的硬件平台 (BeagleBoard) 上 (见图 4)。

对已经熟悉赛灵思产品计划的用户来说，可能立即就会想到将 FPGA 和 Cortex-A8 CPU 集成在单个芯片上的 Zynq™ 可扩展处理平台。能不能在单个 Zynq 器件上运行整个视频分析参考设计呢？答复显然是肯定的，因为 Zynq 产品系列的各器件包含有足够的可编程逻辑资源，同时 BDTI 算法对 ARM CPU 核来说负载适中。

嵌入式视觉正在为系统开发商及其半导体和软件供应商书写新一篇重大的技术成功篇章。正如本文中介绍的案例研究所示，FPGA 以及 FPGA 与 CPU 组合的 SoC 能够成为实现嵌入式视觉算法极富吸引力的芯片平台。🌈

Get Published



Would you like to write for Xcell Publications?

It's easier than you think!

Submit an article draft for our Web-based or printed publications and we will assign an editor and a graphic artist to work with you to make your work look as good as possible.

For more information on this exciting and highly rewarding program, please contact:

Mike Santarini
Publisher, Xcell Publications
xcell@xilinx.com



See all the new publications on our website.

www.xilinx.com/xcell

采用基于 FPGA 的汽车 ECU 设计能够充分满足 AUTOSAR 和 ISO 26262 标准的要求

汽车产业利用可重配置硬件技术，可灵活地综合车载功能。

作者: Francisco Fons

Francisco Fons
在读博士生
Rovira i Virgili 大学
西班牙塔拉戈纳
francisco.fons@estudiants.urv.cat

Mariano Fons

在读博士生
Rovira i Virgili 大学
西班牙塔拉戈纳
mariano.fons@estudiants.urv.cat



当今的汽车制造商正在把越来越多的高级功能添加到汽车电子控制单元 (ECU) 中, 以改善驾驶体验, 增强安全性, 当然还期望超过同类竞争产品的销量。在这种情况下, 汽车开放系统架构 (AUTOSAR) 计划和功能安全国际标准 ISO26262 正在快速成为汽车 ECU 设计的技术和架构基础。

为了满足新车型日益提高的功能需求, 汽车电子产品的密度不断增大, FPGA 厂商也正在不断推出更大型的器件。这些器件能够集成所有的应用, 而且与前代器件相比, 功耗更低, 价格更具竞争力。这种趋势意味着可重配置计算技术在汽车产业将会得到进一步推广和应用。

我们推出了一种具有开创性的方法, 即使用可编程 FPGA 器件而非基于 MCU 的平台作为 ECU 的基础, 设计出一款能够同时满足 AUTOSAR 和 ISO 26262 标准的汽车 ECU。我们的设计方法对可重配置硬件的关键特性, 比如并行性、可定制性、灵活性、冗余性和多功能性进行了充分的探索。在概念设计完成后, 我们希望在原型中实现设计。为此, 赛灵思 Zynq™-7000 可扩展处理平台成为了理想选择。该款

FPGA 平台将 ARM® 双核 Cortex™-A9 MPCore 硬处理器和具备动态部分可重配置功能的 28 nm 赛灵思 7 系列可编程逻辑器件完美结合在一起, 不但可充分满足所要求, 而且还配备有 CAN 和以太网等车载网络常用的片上通信控制器。

新兴应用

目前汽车计算能力借助通过通信网络互连的 ECU 来分配。在未来几年内, 由于机动车辆中新应用的兴起, 这样的计算能力有望进一步提高。这些新应用包括安全和驾驶员辅助功能、车辆间通信功能、舒适性和控制功能、车载娱乐功能以及为数众多的混合动力电动技术。毫无疑问, 车辆电子设备的数量预计还会增加。根据分析人员的预测, 汽车应用半导体市场的规模将在未来五年内以 8% 的年均复合增长率 (CAGR) 增长。其中增长最快的细分市场之一涉及到微控制器 (MCU) 和可编程逻辑器件, 比如现场可编程门阵列 (FPGA)。

在车载功能的数量和先进性与日俱增的同时, 设计和管理这些系统变得日趋复杂, 汽车制造商认为有必要采取有效方式来解决这一难题。其结果就是当今 AUTOSAR 和 ISO 26262 两大标准都在影响着实际汽车 ECU 软硬件系统的架构、设计和部署方式 (见侧边栏)。

2003 年由多家汽车制造商共同制定的 AUTOSAR 标准旨在为分布于车辆中的 ECU 定义标准的系统软件架构。而 ISO 26262 标准的目的则以功

能安全性为中心，实质上是以避免或检测并处理故障为目的，从而减轻故障影响并防止出现对任何既有的系统安全目标的违反行为。随着全新的安全关键功能（比如驾驶员辅助或动态控制）的推出，功能安全性已经成为汽车开发中的关键问题之一。ISO 26262 标准于 2011 年批准生效，可为软硬件的安全开发提供支持。

因此，整个 ECU 的设计和开发流程由需要系统性进程的标准进行管理。我们的工作就是设计一款高性价比嵌入式计算平台，采用可重配置硬件技术实现优化的系统架构。

系统架构

AUTOSAR 和 ISO 26262 标准主要从软件开发的视角着眼，面向的是基于微控制器单元的计算平台。但是，硬件/软件联合设计和可重配置计算技术的应用可为这个领域带来众多优势。虽然标准的 MCU 往往是汽车 ECU 硬件平台的最佳选择，但随着新型 FPGA 成本的不断降低，加上部分 FPGA 产品内部集成有硬核处理器，使得 FPGA 器件也成为这个市场中值得广泛应用的理想解决方案。此外，汽车中不断集成新的嵌入式功能的趋势也提出了对并行计算架构的需求。这在当今的车载信息娱乐领域尤为明显，在这种领域中高速数字信号处理正在敞开大门迎接 FPGA 技术。像赛灵思这样的可编程逻辑供应商和像 MathWorks 这样的 EDA 工具厂商已对这个领域表现出明显的兴趣。

为了在汽车应用中发挥可重配置硬件的全部优势，我们将以关于部署最终用户功能的汽车计算网络中最为重要的 ECU 之一——“车身控制器模块”为重点，通过使用案例展现这种技术的潜力。该 ECU 也称为“车身域控制器”，负责综合和控制车辆中主要的电子车身功能，比如挡风玻璃雨刷/喷水系统、车灯、摇窗器、引擎点火/熄火、车外后视镜和中控锁。我们的目标是在 FPGA 平台上设计出一款配

标准化则是必由之路。它能够实现分布在 ECU 中的各项功能的高度集成和软件组件的重复使用。AUTOSAR 的主要目的是定义一个统一的 ECU 架构，让硬件与软件分离。这样 AUTOSAR 通过定义硬件无关的接口，可提高软件的重复使用。换句话说，如果按照 AUTOSAR 标准编写的软件组件，只要正确集成到符合 AUTOSAR 标准的运行环境中，就能在任何厂商的微控制器上运行。

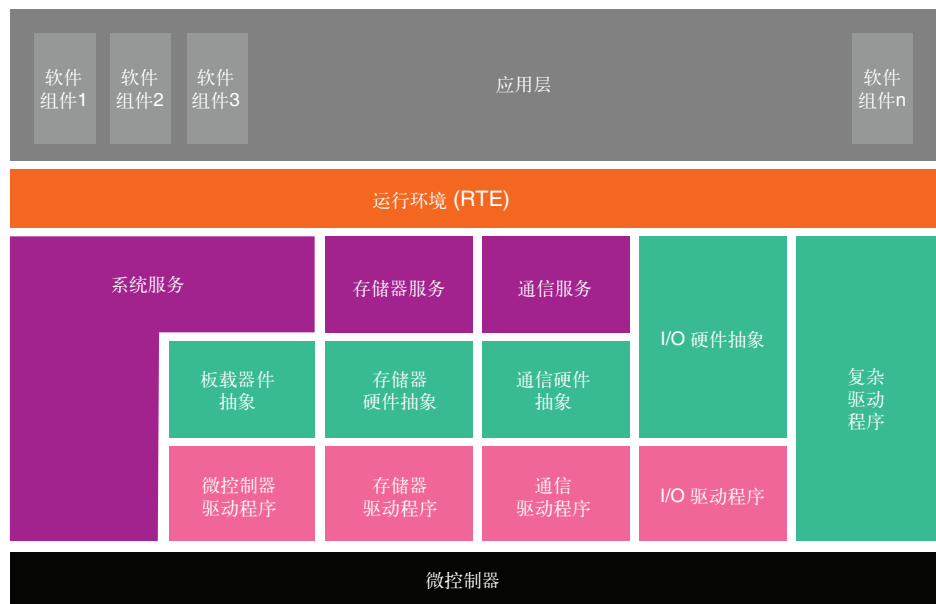


图 1 - 从 MCU 到应用层的 AUTOSAR 分层模型

备有安全关键功能且符合 AUTOSAR 的 ECU 系统。

实际情景

如果汽车制造商要想经济高效地管理日益复杂的车辆功能，经 AUTOSAR 提倡的 ECU 系统架构的

这项功能给汽车制造商带来了更高的灵活性。由于 AUTOSAR 标准内在的即插即用特性，汽车制造商可以在整个汽车平台上以透明的方式更换不同供应商开发的相同软件模块的各个版本，且不会给汽车中其余功能的发挥造成负面效果。最终硬件和软件

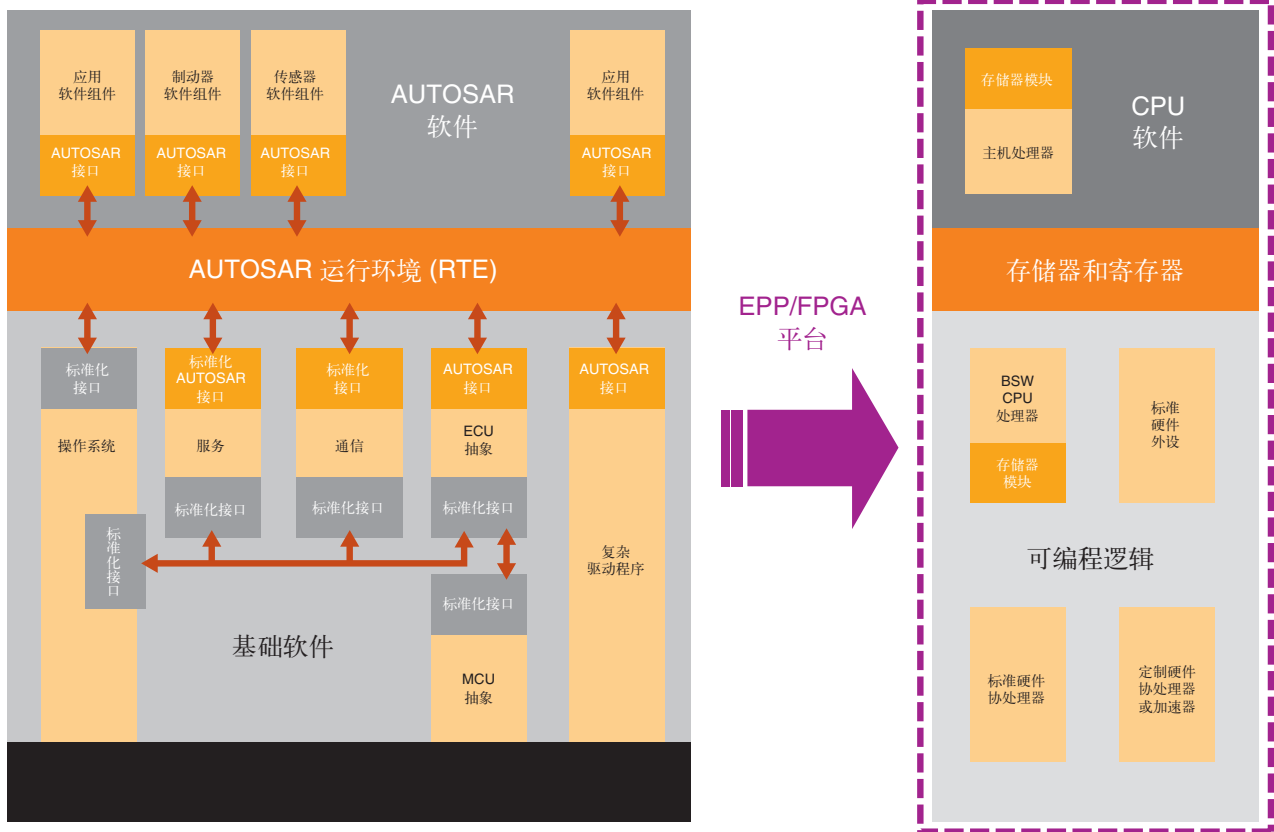


图 2 - 将 AUTOSAR ECU 架构移植到 FPGA 平台上

实现彼此高度独立。这种分离是通过标准软件的 API 将抽象层互联实现的。图 1 是 AUTOSAR 定义的功能层的分解图。

底部以黑色表示的是硬件层或物理层，由 MCU 自身（即 CPU 和与其相连的部分标准外设）构成。微控制器之上是基础软件（BSW），分为三层：粉色的微控制器抽象层（MCAL）、绿色的 ECU 抽象层（ECUAL）和复杂驱动程序、紫色的服务层（SRV）。这三层经组织形成了多个列或协议栈（存储器、通信、输入/输出等）。

紧贴硬件组件的是微控制器抽象层。正如其名所示，该层是 MCU 的抽象。该层的目的是提供一个硬件独

立的 API，负责处理微控制器中的硬件外设。微控制器抽象层的上一层是 ECU 抽象层，负责抽象 ECU 开发板上的其他智能器件，一般直接与 MCU 接触（例如，系统电压调节器、智能交换控制器、可配置通信收发器等）。接下来的第三层是服务层。该层基本具有硬件独立性，其作用是处理所需的不同类型的背景服务。例如网路服务，系统看门狗的 NVRAM 处理或管理。通过这三层，AUTOSAR 定义了一套基础软件功能。这套软件功能在特定的硬件平台下支持着汽车 ECU 各高级抽象层的所有功能。

第四层是运行环境（RTE），为应用软件提供通信服务。它由可从上面

的 BSW 层和应用层（APP）共同访问的一套信号（发送器/接收器端口）和服务（客户端和服务端端口）构成。该 RTE 从基础软件中抽象出应用，明确地勾勒出将通用的可交换软件代码（APP）与特定的硬件相关代码（BSW）分离的软件协议栈架构。换句话说，RTE 可将软件应用与硬件平台分离。因此运行在 RTE 上的所有软件模块都具有平台无关性。

在 RTE 之上，通过应用层，软件架构方式从分层变为以组件为基础。功能主要封装在软件组件（SWC）中。因此，完成 AUTOSAR 软件组件接口的标准化是支持各项功能跨不同车辆平台的 ECU 实现可扩展性和可移植性

的中心环节。除复杂驱动程序外，AUTOSAR 标准明确地规定了这些组件的 API 及特性。SWC 仅通过运行环境与其他模块（ECU 间或内部）通信。

随着 ECU 不断集成越来越多的功能，FPGA 器件成为了单核或多核

或主机处理器来管理应用并处理分布在应用层的软件组件中的不同功能。同时，MCU 层和部分基础软件层可以在可编程逻辑结构中的硬件中综合。因此，除了能够实现与 CPU 相连的标准外设，其它定制外设和协处理器也能够能够在硬件中并存，并在软件中完全

所定义的彼此对应的发送器和接收器软件端口。

建议将基于 MCU 的 AUTOSAR ECU 架构移植到可扩展处理平台 (EPP) 或者 FPGA 器件上，并在各层中确保清晰的系统分区，如图 2 所示。位于 RTE 层以下的有操作系统

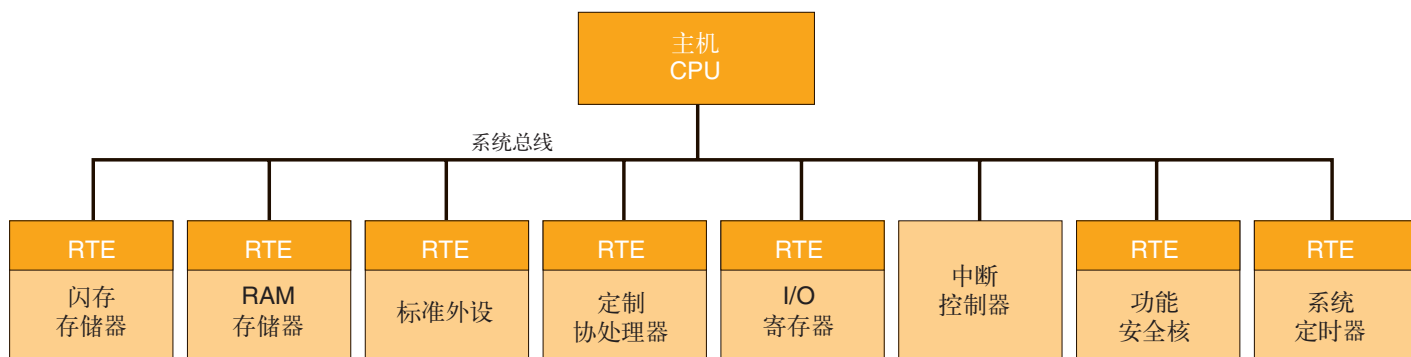


图 3 - 在 FPGA 中部署的汽车 ECU 方框图

MCU 的明智替代。通过从总体上把握 AUTOSAR 的不同层次，可以预见设计人员将这种架构部署在可编程逻辑中所能带来的优势。下文将更深入地介绍我们的设计如何实现基于定制静态硬件（基于闪存或 SRAM 的 FPGA 技术）的解决方案，然后将这种方法延伸为为一种运行时可重配置的硬件实现方案（基于 SRAM 的部分可重配置 FPGA）。

基于 FPGA 静态硬件的 ECU 设计

AUTOSAR 架构非常适合由 CPU、存储器和可编程逻辑组成的嵌入式系统。ECU 平台需要一个 CPU

或部分地加以管理。

另外从功能安全的角度来看，专用协处理器或内核处理器也非常适用，因为它们实现功能可让硬件从源头避免干扰，即便要求冗余性，也能给系统设计带来高灵活性。另外，居于中间层的 RTE 层可以在分布于 FPGA 中的 RAM 模块中，或者在嵌入在器件逻辑单元中的触发器中以及外部存储器中综合。而且，RTE 信号接口经简单设计就能够同时进行读写操作（通过单端口存储器）或限制架构仅进行读操作或者写操作（通过配有两个独立读写端口的单个双端口存储器），以防范干扰，比如 AUTOSAR

(OS)、存储器协议栈、通信协议栈、I/O 协议栈等。位于 RTE 层以上的是软件组件，它们用于实现应用并通过 AUTOSAR 接口与 RTE 进行通信。

由于 AUTOSAR 架构内在的复杂性，需要功能强大的嵌入式计算平台才能进行部署。如今，典型的 ECU 设计基于运行在 MCU 平台上的 32 位单核处理器。但是单核越来越难以提供所需的全部计算能力。而使用多核 CPU 需要通过多处理器总线和仲裁机制共享程序/数据存储器，往往会导致高度复杂的解决方案，造成性能劣化。

作为这种方案的替代，我们提出了一种基于可编程逻辑的设计。这种设计

FPGA 方法能够实现与多处理器平台相媲美的系统性能，且和单核处理器一样简单易用，这主要归功于采用了可与主机处理器并行处理的功能强大的、自动化定制协处理器。

只采用一个单核处理器来发挥主机 CPU 的作用，但配有更智能的外设、协处理器乃至从处理器。所有这些计算单元都可以在 FPGA 架构中例化为新的软核处理器，比如赛灵思 PicoBlaze™ 和 MicroBlaze™，从 FPGA 的专用 RAM 模块运行自己的代码（各个软核处理器均分别配有专用程序存储器），此外，也可例化为定制的硬件加速器。两种方式的拓扑架构均由一个主机 CPU 和分担部分 CPU 任务的智能外设构成，从而可降低系统复杂性。这样，主机 CPU 负责管理软件中的整个应用层，而定制外设则负责管理 BSW 层，这两者以并行的方式彼此独立地自动运行。此外，这种外设设计的方法的优点还在于能够让主机 CPU 的软件执行更加线性化，即外设不会通过中断服务程序产生过多的请求 CPU 关注的中断。图 3 显示了这种系统的方框图及其对应为 FPGA 器件中综合的功能单元的组件细分情况。

这种方法能够实现与多处理器平台相媲美的系统性能，而且就软件开发和维护而言，和单核处理器一样简单易行。通过使用专用硬件构建可与主机处

理器并行处理的功能更强大的自动化定制协处理器，就可实现这种最佳平衡。

从概念上来说，可以通过将这些系统架构用 RTE 接口划分为顶层和底层两个彼此独立的主要层次来简化设计。顶层相当于 AUTOSAR 的应用层，由负责管理车辆中最终用户功能的软件组件构成。而底层则由硬件和基础软件乃至 RTE 链路构成。应用层从数值上来说，可代表约 90% 的车载高级功能，而且所有 RTE 以上的源代码都可重复利用。

同时，底层包含能够赋予顶层灵活性和多用性的全部功能。这即是说，底层可完成特定硬件平台上所有可重用功能的定制化。这样，顶层从本质上说是通过以有限状态机 (FSM) 形态实现的算法来实现对某些车辆负载、传感器和制动器的控制的一套软件功能。这些算法由 CPU 循环执行，并在操作系统控制的软件任务中调度。

底层还负责实现 CPU 连接的所有标准外设的驱动程序，例如 A/D 转换器、PWM 控制器、定时器或者存储器控制器，从而让顶层的抽象具备可行性。底层负责管理那些需要得到实时响

应的事件。在这方面可编程逻辑能够起到一定的作用。其构想为：让主机 CPU 将应用当作一个简单的免受通常硬件造成的外部事件影响的软件功能序列来处理，但要定期读或写 RTE 信号，让 FSM 进行相应的调整。底层对硬件事件进行隐藏与管理，然后在 RTE 中对其进行预处理并更新特定信号，或作为结果，根据自身具体任务安排实时地执行特定的行动。

将定制硬件控制器连接至系统 CPU 可以最大限度地降低对共享资源的需求，只要这些控制器能够自动运行。从操作系统的角度来看，这样做有助于降低系统的复杂性（避免仲裁、时延、重试机制等）。

采用专用硬件的另一项优势在于可以更简便地实现一般在软件中通过多线程才能实现的某些功能，因为硬件较软件内在更具并行性。另外，这种灵活的硬件能够采用并行和流水线硬件设计，将算法计算强度高的部分进行硬连接，而不是采用冯·诺伊曼 (Von Neumann) 计算机所采用的序列软件方法，从而减少执行时间。

用户可以将 MCU 和 BSW 层中

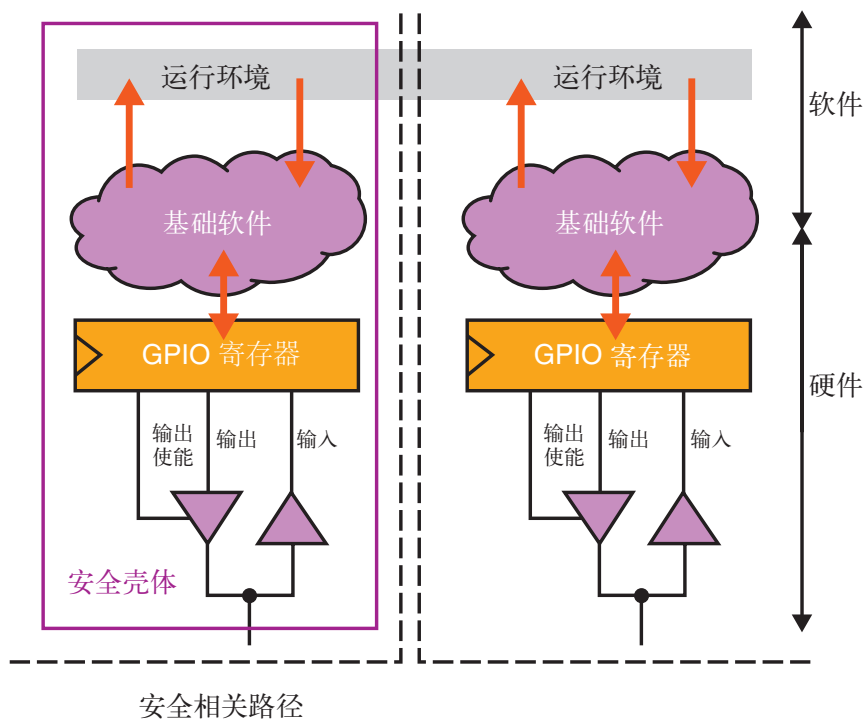


图 4 - 软/硬件联合设计的安全架构，可将安全相关端口和非安全相关端口隔离开来，以保证无干扰

综合的外设和硬件协处理器设置成高智能化水平，以释放 CPU 时间，从而简化车载 ECU 的软件。

随着 ECU 平台日趋复杂化，系统所需的 I/O 线路数也在不断增加。在这方面 FPGA 较微控制器有明显的优势，因为 FPGA 一般能够提供多得多的用户引脚数。这一点一般与基于 MCU 的 ECU 有关，因为这种 ECU 需要采用执行并-串数据转换的外部芯片（比如数字移位寄存器或模拟多路复用器）来扩展 ECU 的输入和输出。采用 FPGA 可以绕开这些外部组件，进而缩减材料清单成本以及电子开发板的 PCB 尺寸。

先进的 FPGA 器件已经集成有模

数转换器。这个特性对汽车设计意义重大，因为许多 ECU 使用模拟信号（比如电池电压）来实现所需的部分功能。在可编程逻辑器件中集成模数转换器为 FPGA 开辟了新的应用领域。

与 MCU 类似，FPGA 也提供远程更新功能。但在这里需要提醒的是，下载到 FPGA 中的位流不仅涉及到软件代码，而且与硬件电路也息息相关。这意味着就算产品已经进入量产阶段，仍然可以通过系统更新或升级来修改硬件设计。汽车产业非常欣赏这种灵活性，因为它能够在产品发布后修改缺陷（软/硬件均可）。

在任何嵌入有符合 ISO 26262 安全

相关要求的功能的 ECU 中，涉及该实现方案的软硬件必须根据其分类满足一定程度的保护要求。从软件的角度讲，它必须体现出抗干扰能力，即运行在 ECU 中的非安全相关代码一定不能危及同一 ECU 中安全相关类的代码的运行。这种隔离是保证安全相关功能与非安全相关功能在同一处理器上正确并行运行所必须的。一般来说，在可编程逻辑中管理这些指标比在 MCU 中具有更大的灵活性。

对于面向功能安全的存储器保护策略，有必要确保只能授权的安全软件组件有权对特定安全相关信号进行写入存取。在 MCU 器件环境中，存储器分区提供了一种故障约束机制，能够将软件应用彼此分离，避免其间发生数据错误。可编程逻辑很有可能实现一种更有效的自我保护机制。可编程逻辑可以通过专用的单个双端口存储器来管理与安全信号相关的 RTE 缓存，这样数据从写端口写入，从读端口读取。采用这种方法，可以采用专用的硬件控制器给写入或读取这些来自软件侧的信号设置不同的约束条件。这种方法也可以采用寄存器来实现。

能够在 ECU 系统中导入定制硬件解决方案是 FPGA 的一大优势，特别是对安全相关的功能而言。具体而言，对 I/O 引脚和 GPIO 控制器，在安全功能中涉及的引脚布局可以组合成定制的 I/O 端口，仅供 ECU 中的安全组件访问，与器件的其余引脚分离。这是将系统的安全相关引脚与非安全相关引脚分开的理想办法，从设计上避免了干扰的

这种基于冗余的安全策略是选择可编程逻辑的又一理由，因为可编程逻辑能够在同一器件中多次例化多个相同、独立的处理引擎。

发生。任何对非安全引脚的访问都不会破坏安全引脚的状态，因为安全引脚只受安全相关代码的管理。这种构思的具体描述见图 4。

另外，还能够根据应用或处理该应用的软件组件的需求定制每个 GPIO 端口的大小，从而避免将 GPIO 端口转换为不同应用共享的物理资源，如 MCU 端口的情况。用这种方法，FPGA 中每一个由不同软件组件（比如车窗升降器、雨刷、外后视镜等）管理的应用都能够将自己特定的端口映射到系统存储映射中特定的寄存器。这在 MCU 平台上无法做到，因为 MCU 的端口有固定尺寸（一般为 8、16 或 32 位宽）且按字长寻址，而非按位寻址。因此在采用 MCU 的情况下，这种控制寄存器在程序执行的时候变成了有多个 SWC 访问的共享资源。

我们可以把用于 GPIO 控制器的策略扩展用于其它标准外设。这样 AUTOSAR 借助 SWC 概念在顶层提倡的功能分区和隔离思路也可以在可编程硬件的帮助下推广运用到较低层的资源上。这种技术如果采用基于标准 MCU 器件的静态硬件解决方案是无法实现的。

我们上文介绍的用于 MCU 标准外设的隔离策略也可以用于安全功能的各

个通道或数据路径。这一特性尤其适用于按 ISO 26262 标准的 ASIL 分级组织的精细分类安全目标（见侧边栏）。此项功能可用于将各个通道或者数据路径分解成较低 ASIL 级别的冗余分区，这样每一个通道或路径都以冗余方式运行，后续根据各自的新级别予以实现。这种基于冗余的安全策略是选择可编程逻辑的又一理由，因为可编程逻辑能够在同一器件中多次例化多个相同、独立的处理引擎。另外，满足某个 ASIL 级别的要求用架构方法（硬件）往往比用抽象软件能够更轻松明晰地证明，特别是像抗干扰这样的功能。C 编程语言中的栈溢出或是数据指针处理不当可能会给系统带来出乎意料的安全性问题。

可编程逻辑的灵活性及其对功能安全的适用性还带来另一项设计优势，就是可以采用三模冗余（TMR）策略。这是航空航天应用中用于缓解单粒子翻转（SEU）风险的常见方法。这种缓解方案由三个相同逻辑电路构成，并行执行相同的任务，对应的输出由一个多数表决电路进行比较。采用硬件实现这种策略效率很高。

另外，在这个高度关注成本和功耗的市场上，赛灵思 Zynq-7000 EPP 等一些可编程逻辑器件能够支持多项降低

系统总体功耗的功能，其中的部分功能是从 MCU 继承而来。像处理系统的仅加电模式、休眠模式和外设独立时钟域这样的功能能够大幅降低器件待机期间的动态功耗。

某些可编程逻辑器件在结构中配备有硬核处理器，便于设计人员第一步先用软件开发整个系统功能，就像他们寻常在 MCU 平台上所做的一样，随后逐步地在设计中增加硬件，将部分设计移植到可编程逻辑资源。这种方法能够让设计人员为解决方案开发出不同的版本，而且与纯软件方法相比，能够在定制硬件中综合部分功能的优势。

在运行时可重配置硬件上进行

ECU 设计

在探讨完毕借助可编程逻辑在静态硬件和软件上实现 ECU 的优势后，我们接下来探讨采用基于 SRAM 并具备运行时部分可重配置功能的 FPGA 设计 ECU。部分可重配置技术能够为汽车设计人员提供更多优势。

事实上，其中的一大优势是如果 FPGA 包含有不必在启动时（如在 ECU 唤醒或加电）配置的部分可重配置区域，可以缩短系统启动时间。不支持动态部分可重配置的 FPGA 在加电

时需要配置所有的 FPGA 资源，但运行时可重配置 FPGA 只需下载部分位流进行部分重配置。

由于当今先进的 FPGA 器件具有巨大的容量，故在加电时下载完整的位流会引起可观的配置时间开销。运行时部分可重配置技术能够显著地缩短这种配置时延。在那种情况下，有可能在加电时只配置一个最起码的子系统（即引导载入程序和立即需要的部分系统应用），让系统其余部分保

持待机状态，直到有必要初始化为止。如果系统在加电或唤醒时需要快速响应，可将这种启动工作划分为两个阶段，以加快初始化过程。为此，可将系统架构分解为一个静态域和一个或者多个部分可重配置域 (PRR)。静态域涵盖负责执行启动过程的系统（一般来说是主机 CPU），以及可重配置引擎和通往位流库的数据链路。由特定部分位流描述的其他域可按应用需求，随后下载。

另外，如果禁用 PRR 域，则可以让

器件的功耗与禁用区域部分成比例降低。在使用汽车电池供电的 ECU 中，节能模式尤为重要。为此，在车辆未使用时（即处于休眠模式时），车载 ECU 可使用低功耗模式，以让 ECU 功耗保持最低。同样，可以在不需要的时候使用空白位流禁用 FPGA 的部分区域，减少逻辑活动，从而降低动态功耗。

在采用运行时可重配置逻辑的系统中，汽车设计人员还可使用一种从航空航天应用中借鉴来的重配置技术。重配

两大关键标准

汽 车产业在设计车载电子设备时已将两项关键标准奉为主臬。其中一项标准是 AUTOSAR，它通过适当的软硬件架构解决嵌入式系统复杂性问题。另一项标准是即将推出的 ISO 26262，用于管理功能安全性。AUTOSAR 提出的以及 ISO 26262 采用的相关技术课题主要为安全问题的检测和处理，比如运行时发生的硬件故障、时序失常和应用执行的逻辑顺序打乱、数据损坏等。

AUTOSAR 详解

近年来，电子组件已经取代了车辆中的机械系统和液压系统。随着设计人员开始用软件实现更多的控制、监控和诊断功能，这种趋势正在持续。实际上，用电子技术能够实现仅用机械和液压解决方案无法开发者开发成本高的新功能。但这些部件必须满足严格的安全要求，以避免出错和故障。

虽然软件相关的故障目前来看比较罕见，但随着软件在汽车这种工业制品中用量的不断增加，系统变得日趋复杂，加上产品开发周期的缩短，最终可能导致产品故障。为解决这个问题，汽车产业通过结盟和实施标准，确保使用和开发安全可靠的软件。

比如汽车工业软件可靠性协会 (MISRA) 就是由福特和美洲豹路虎这样的汽车制造商、组件供应商和工程咨询方组成的团体。通过制定一系列软件编程规则，MISRA

旨在在道路车辆的车载安全相关电子系统和其他嵌入式系统的开发工作中推广最佳实践。

汽车开放系统架构 (AUTOSAR) 是来自电子、半导体和软件行业的汽车制造商、供应商和其他公司组建的联合体为解决几项重大问题而制定的一种事实上的汽车电气/电子 (E/E) 架构开放行业标准。这几项重大问题包括：控制随功能不断增加而导致的日益提高的车载电气/电子系统复杂性；提高灵活性以便产品的修改、升级和更新；在产品线内部以及跨产品线提高解决方案的可扩展性；改善电气/电子系统的质量和可靠性；实现设计初期阶段的出错检测。

这个架构面临的挑战是必须集成广泛供应商提供的日益丰富的软件和电子技术。通过简化软硬件的交换和更新选项，AUTOSAR 架构为可靠地控制汽车车载电气/电子系统日益提高的复杂性奠定了基础，同时在保证质量的情况下改善了成本效益。

AUTOSAR 架构制定于 2003 年，是更早期的 OSEK/VDX 联合体的自然发展。OSEK/VDX 联合体诞生于十年前，由部分德国和法国汽车制造商主推。由于有更远大的目标，AUTOSAR 如今已经为世界各地大部分汽车制造商采用。

AUTOSAR 架构的核心成员包括宝马集团、博世、大陆、戴姆勒、福特、通用汽车、雪铁龙、丰田和大众集团。除了这些核心成员公司，另有 160 余家其他成员为联合体的成功发挥着重大作用。由此，在“在标准上合作，在设计上竞争”的口号的指引下，汽车制造商和供应商联合一致，共

置(configuration scrubbing) 可以将系统从因单粒子翻转 (SEU)和电磁干扰造成的 SRAM 故障中恢复过来。定期重新配置硬件外设可保证系统在出现故障时自我修复。另外, 这样也可以将故障的最大时长限制在重配置时间间隔内。这种技术也通常运用在软件中, 作为一种常见的抗干扰保护措施, 例如 MCU 外设的定期重配置。

另一项运行时部分重配置技术的灵活性带来的有前景的功能是在 FPGA

资源的某个特定二维位置出现永久性或不可修复的电路故障, 比如影响到特定逻辑单元或 RAM 模块时, 可通过功能重定位实现故障修复。一旦发现有硬件或软件故障出现, 可以在运行中将所需的功能自动重定位到同一 ECU 中的可编程逻辑器件的其他部分。虽然这个构思是可行的, 但这项功能还没有得到当今的自动化工具的完全支持。

适用于汽车产业的运行时可重配置计算技术最强大的特性无疑是共享的硬

件资源上功能的实时时分复用。可以由 ECU 中的相同计算资源处理的功能性应用进行时间共享, 如果应用间相互独立(例如, 当车辆向前直行时使用行车道偏离预警功能, 倒车时, 则切换到后视摄像头视图或停车辅助应用)。这种设计思路可以帮助降低此类嵌入式系统的成本和复杂性, 释放空间, 减轻车身重量。

这种设计思路还可用于实现特定算法在不断变化的环境条件或者外部条件

同制定了这个旨在实现车载电气/电子设计突破的开放标准化系统架构 ([HTTP://WWW.AUTOSAR.ORG](http://www.autosar.org))。

功能安全性

与此类似, IEC 61508 是负责管理电气、电子和可编程电子系统和组件的功能安全性的国际电工委员会的一般性标准, 自 2004 年生效以来已经得到世界各地的认可, 适用于各个领域的安全相关系统。

在专门为功能安全性制定的其他标准中, 有一项系专门为汽车行业的功能安全性制定, 这就是国际标准化组织的 ISO 26262。这项新标准尚在制定过程中, 预计将于 2012 年颁布, 旨在支持和推动汽车行业中安全产品的开发工作。它覆盖了从构想、产品开发、生产和经营的所有安全工作。

事实上, 功能安全, 即不允许发生因电气/电气系统的功能失常导致的危险性造成不可接受的风险, 业已成为汽车设计中的一项重要要求。该拟在近期颁布的标准专门针对汽车行业的实际情况, 定义了可接受的风险, 重在防范恶性故障。为此, “风险”一词的定义为发生伤害或者损害的可能性及伤害或者损害的严重性。在工程开发阶段, 该标准要求提前评估所有潜在的危险和风险, 并要求开发人员采取适当的措施尽最大可能予以消除。ISO 26262 提供了适当的要求和流程, 指导如何避免这些风险。

根据该标准的要求, 汽车的功能被分成安全相关功能和非安全相关功能两大类。安全相关功能指如果功能失常就会给驾驶员带来风险的功能。对分类为安全相关功能的功能, 该标准进一步设定了数个可能的风险等级。就是说

从确保具体的安全目标的角度出发, 某些功能的比另一些功能更加关键。

根据可能发生的事实的严重性、出现特定驾驶状况的概率、采用外部措施降低风险的程度, 该标准定义了一系列汽车安全完整性等级 (ASIL)。该系列等级具体分为四个等级, 从 D 到 A。D 代表最高安全等级, A 代表最低安全等级。每个 ASIL 等级都列明汽车制造商和供应商必须满足的要求或建议, 以将“不可容许的严重风险”降低为可容许残余风险。

例如, 如果在车辆行驶中方向盘轴被卡住, 驾驶员就可能遭遇事故, 因为驾驶员无法转动方向盘。为将该风险降低到可容许的水平, 方向盘轴控制功能的设计就必须根据 ISO 26262 标准和为此安全目标设定的 ASIL 等级满足一定的安全设计标准。

软件开发人员和硬件开发人员必须依据每一项安全目标的 ASIL 等级, 在实现涉及的功能的时候思考具体的安全措施。对高安全等级的 ASIL (D 或 C), 常用的设计方法是将安全要求分解为冗余安全要求, 以便采用充分独立的元件在较低的 ASIL 等级上满足 ASIL 容许度要求。换句话说, 就是将原始的安全要求用不同的处理器 (一般为 MCU) 冗余地实现, 采用冗余通道最大程度地降低恶性故障发生的概率。

最后, 制造商和供应商需要向认证机构证明自己的电气/电子系统能够根据行业专门的规定安全可靠地提供要求的功能 ([HTTP://WWW.ISO.ORG/ISO](http://www.iso.org/iso))。

中的自适应性。例如，给定的引擎控制算法可通过部分可重配置自主调整部分硬件模块，以在任何运行温度下或电池电压下实现理想的运行。同样的理念对通信系统也适用，比如可以设计某种加密控制器，能够在运行中运用特定的参

数函数制定专门的安全等级。另如，可以设计某种 ECC 加密器/解密器 IP，用于在高噪声通信信道中检测和修改数据传输错误，能够根据感应到的信噪比动态适应其硬件架构。

最后，如果将前述的构想发挥到极致，可以设计出一种通用汽车 ECU 平台。这种平台可以在生产线上进行配置并针对汽车中特定的 ECU 功能进行定

创新来自汽车电子设备，而且这个势头方兴未艾。未来汽车将采用非常先进的软硬件技术，实现大量的新功能，比如自动驾驶、车辆间通信、娱乐以及和更高安全性。但是，对在这个以大批量制胜的产业而言，控制车载嵌入式系统的

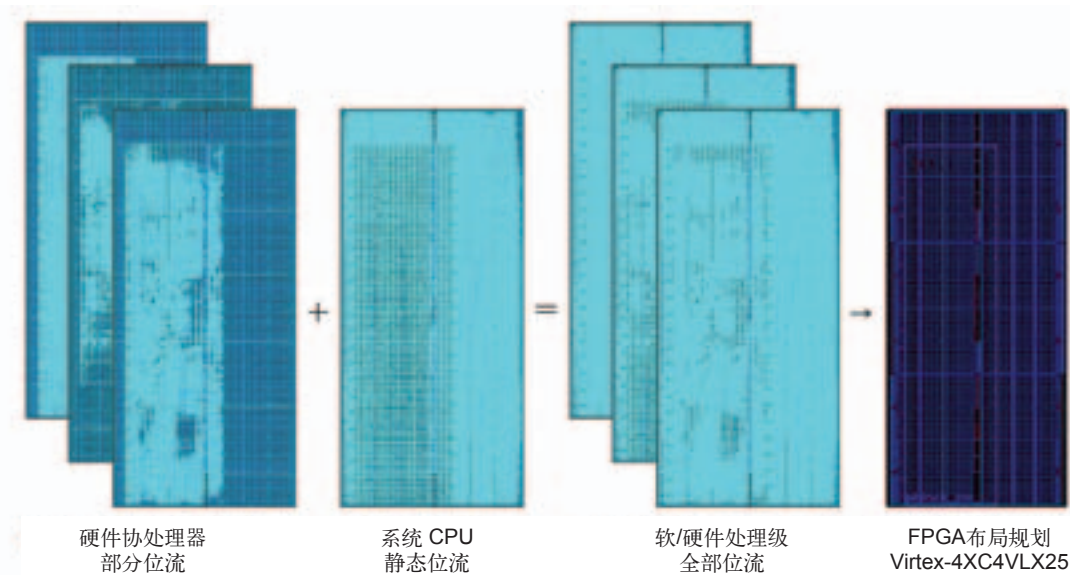


图5 - 在由部分可重配置域和静态域构成的运行时可重配置 FPGA 中实现的汽车 ECU 应用的空间分区和临时分区

数函数制定专门的安全等级。另如，可以设计某种 ECC 加密器/解密器 IP，用于在高噪声通信信道中检测和修改数据传输错误，能够根据感应到的信噪比动态适应其硬件架构。

图 5 显示了一个采用赛灵思 Virtex®-4 FPGA 部署的 ECU 系统的示例，由一个静态域和一个部分可重配置域构成。静态域集成了一个 MicroBlaze 软核处理器和一个基于 ICAP 的重配置控制器，部分可重配置域 (PRR) 则发

挥着共享资源的作用，负责在不同时间换入和换出不同的功能任务或应用。

制。这种构想在技术上借助可重配置硬件具有可行性，能够简化制造厂的物流要求，将存货压低至最低水平。这是因为从硬件的角度来看，在生产线上组装的模块对所有车辆都是一样的，都采用单一平台设计或产品架构（基于灵活的硬件）。只有可下载的位流会让 ECU 的功能具有差异。

高集成度 ECU

在当今的汽车产业中，有约 90% 的

成本对汽车制造商极其重要。因此，当前的趋势是在减少车辆中的 ECU 数量的同时让每个 ECU 发挥强劲的功能。要实现这个目标需要功能更加强大的计算平台。

许多行业参与方共同采用的方法是开发用作域控制器的高集成度 ECU。就是将多个单核处理器或微控制器布置在同一开发板上，共享总线连接和其他资源，旨在从整车的角度降低系统复杂性。这种趋势让我们联想到可以将可重

配置硬件用于 ECU 的设计，从而在有效提高计算并行性，降低 PCB 的复杂性的同时，实现最高性价比解决方案。

这种设计方法虽然在我们的工作中尚处于萌芽阶段，却为将 AUTOSAR 和 ISO 26262 标准与运行时可重配置硬件融合用于软/硬件联合设计，实现完整的车载嵌入式 ECU 系统奠定了基础。实际上，虽然目前 AUTOSAR 还没有覆盖到可重配置硬件，但我们不排除将来有这种可能。

基于 SRAM 的运行时可重配置 FPGA 已用于航空航天应用，能够满足容易导致 SEU 的更为恶劣的环境条件的要求，况且汽车行业从历史上看有借鉴航空航天行业率先开创的风气的习惯。另外，在市场上已经存在某些合格的用于实现基于 FPGA 的安全相关系统的设计方法和工具，而且行业中涉及 FPGA 器件的标准也已经存在有相当长时间，比如用于规范航空电子业组件和系统设计的 DO-254 标准。

联合设计带来模式变革

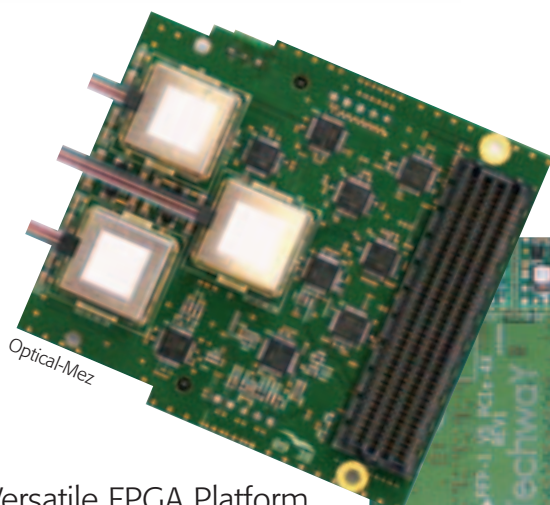
因此，我们的工作将掀起汽车产业计算模式的变革。在特定的 ECU 应用场景中，纯软件的解决方案将被软/硬件联合设计和可重配置计算技术所取代。这是因为采用冯诺依曼型 MCU 的纯软件方法由于性能、复杂性和安全性方面的局限，已不敷使用。可编程逻辑技术的价格的不断降低，加上汽车电子控制单元性能需求的不断走高，将在不久的将来把这场变革变为现实。 🌈

Techway

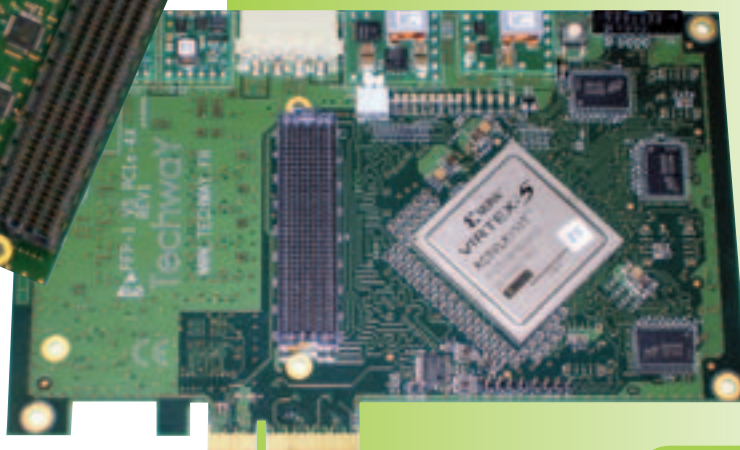
The way of innovation

Versatile FPGA Platform

- PCI Express 4x Short Card
- Xilinx Virtex Families
- I/O enabled through an FMC site (VITA 57)
- Development kit and drivers optimized for Windows and Linux



The Versatile FPGA Platform provides a cost-effective way of undertaking **intensive calculations** and **high speed communications** in an industrial environment.



www.techway.eu

降低基于 FPGA 的原型项目的 成功门槛

赛灵思 Virtex-6 和 Synopsys HAPS
系统使 ASIC 设计的原型走向实用。

作者: Troy Scottby
Synopsys 公司高级产品销售经理
troy.scott@synopsys.com

近期根据对 ASIC 设计人员团队的调研，发现在所有的设计项目中，超过 70% 的设计项目在测试芯片流片前采用某种形式的基于 FPGA 的原型来构建设计的高速模型。这种原型有助于在设计周期中尽早启动软件开发工作和完成功能覆盖。在许多公司中，采用商用的基于 FPGA 的原型系统所具备的多用性和重用优势较公司内部开发的定制电路板可带来更高的投资回报。

Synopsys HAPS 高性能 ASIC 原型系统长期以来一直使用赛灵思 Virtex® FPGA 作为 ASIC 原型的逻辑主机 (logic host)。HAPS 电路板系统最早由位于瑞典 Lund 的 HARDI Electronics AB (现为 Synopsys 公司硬件平台部的下属单位) 开发，经数以千计的原型项目验证，是一款成功的多功能工具。究其原因，有必要对构成这种先进的解决方案的 Virtex-6 和 HAPS 系统架构的功能元件进行更深入的了解。

VIRTEX-6 是 ASIC 原型的理想选择

在 HAPS 原型系统的整个发展历程中，至始至终采用 Virtex 系列器件，其中包括 Virtex-II、Virtex-II Pro、Virtex-4、Virtex-5 和最新的 Virtex-6 LX760 器件。世界最大容量的 LX760 已经在许多公司中证明其作为 ASIC 原型设计工具的实用性。设计人员可以同时将该器件的可编程功能和嵌入式模块功能用于原型设计工作。

主要的 LX760 逻辑构建块 (即 Slice) 由可编程查找表 (LUT)、用于实现组合功能的存储单元以及小型 RAM Block 或移位寄存器构成。LX760 中共有 118,560 个可用的 Slice，为原型

ASIC RTL 提供充足的资源用于实现主机逻辑功能，比如奇偶校验、XOR、AND、OR 和同步逻辑。对于乘法器、累加器及其它 DSP 逻辑等算术功能的移植，LX760 能提供比基于 slice 的逻辑单元面积使用率高得多的嵌入式信号处理模块。除 DSP48E1 模块外，

设计人员可以同时将 LX760 的可编程功能和嵌入式模块功能用于 ASIC 原型设计工作。

LX760 还可提供 864 个 DSP 模块，每个 DSP 模块由一个 25x18 位二进制补码乘法器和一个 48 位累加器构成。Synopsys Synplify Premier FPGA 逻辑综合工具能够自动针对这些必要的构建块提供最佳时钟性能。

片上系统 (SoC) 设计涉及多种存储器，或由目标 ASIC 晶圆厂的存储器库提供，或由存储器编译器生成。在大多数情况下，FPGA 能够有效地运用这些存储器，将 Slice 对应较小的寄存器文件，嵌入式 Block RAM 对应较大、较深的阵列，或对应最大型的存储器，将 HAPS 的存储器子板用作主机。有效的 ASIC 存储器移植是基于 FPGA 的原型方法的组成部分，往往涉及分配一个替代性的 FPGA 友好型实现来保证对片上 RAM 最有效的利用。例如，可以使用 Verilog HDL 的“Define”来驱动替代设计，以便在代码指向不同的实现时在模块之间轻松完成切换。在许多情况下，可以用 ASIC 存储器编译器生成模型的“仿真友好型”轻量版。这个轻量版不含测试逻辑，故原型设计能够更容易地移植到原型系统。Virtex-6 760LX 可为

托管存储模块提供多达 8,280Kb 的基于 Slice 的分布式 RAM 和 25,920Kb 的 Block RAM。

Virtex-6 系列提供了多达 9 个基于 PLL 的嵌入式混合模式时钟管理器 (MMCM)，可用作宽频带上的频率综合器、内部或外部时钟的抖动滤波

器，以及去歪斜时钟。Virtex-6 的 MCMM 的输出频率可从 4.69MHz 到 800MHz。这对需要实现内部时钟数 MHz 速率的原型来说是一种重要的资源。Synopsys Certify 多 FPGA 原型环境能够依据按设计分区情况生成的时钟分布 IP 配置 HAPS 系统的板载 PLL 和嵌入式 LX760 MMCM，从而简化 ASIC 时钟的实现。

HAPS 应用的模块化架构

HAPS 设计小组依据一些关键设计标准来平衡原型线路板的成本、性能和连接功能需求。对 ASIC 仿真器等硬件辅助验证工具而言，RTL 调试与验证是主要的应用。但原型社区更关注的是“验证”，这个过程涉及的测试场景五花八门。这就要求原型有足够高的性能，不仅能够与千兆位以太网和双沿数据 (DDR) 存储器接口等真实世界协议相连，而且还可运行 SoC 处理器以启动操作系统。

鉴于这些问题，硬件设计人员决定提供一种非常开放的模块化架构，结合 FPGA 之间的可重配置的互联方

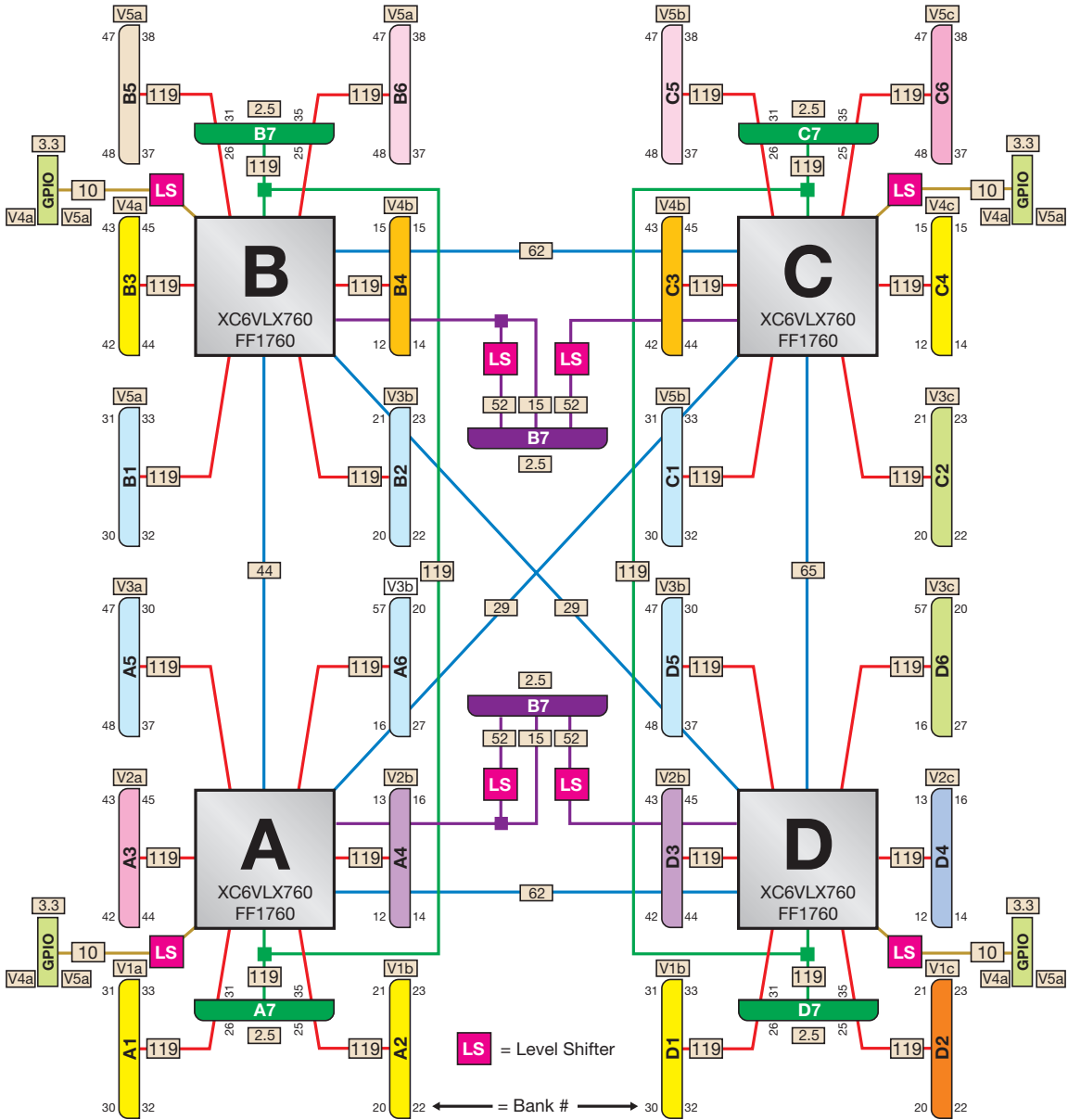


图 1 - HAPS-64 系统的 I/O 以及 FPGA 间连接

案，最大限度地提高 FPGA I/O 的访问能力。为实现 Virtex I/O bank 的 I/O、控制和电源信号访问能力的最大化，我们开发了一种专门用于原型 PCB 的专用连接器（见侧边栏），即 HapsTrak 标准。子板提供 PCIe®、DDR 存储器和 USB 等常用标准的专用物理接口。HAPS 子板使用相同的 HapsTrak 标准公/母连接器。

HAPS-64 系统将四个 XC6VLX760-FF1760 器件结合在一起，构成

了一种“超级 FPGA”平台，其容量多达 1,800 万 ASIC 门。有如此大的逻辑容量可供使用，HAPS 设计小组可用 HapsTrak 连接器将 I/O 以及 FPGA 间总线连接成正则矩阵，用于支持系统的堆叠或连线。每个 FPGA 均与一组这样的连接器相连，每个连接器都有专门的引脚用于电源和时钟。板载的埋线提供了更多 FPGA 连接。互联开发板可带来更宽的总线。总线的一部分连接到两对 HapsTrak 连

接器上，用于将总线延伸到其它系统、子板和测试设备。所有 HAPS 系统在底部均采用公母配套连接器，故可以堆叠在一起。这种非常开放的 I/O 方案为 ASIC 原型设计人员提供了大量的扩展和连接功能选项。

在任何电路板设计中，都要着重考虑到时钟管理，原型系统也是如此。以板载 PLL 或外部时钟发生器为时钟源的板载全局时钟分配树可避免歪斜并提供充足的扇出缓存驱动强

度，确保高速运行下良好的健全性。该设计为 HAPS 主板上的 FPGA 提供了一个大容量时钟走线池，共有 299 个差分时钟信号输入到 FPGA 中。该设计的时钟分配电路允许将多达三个 HAPS-64 系统链接或堆叠在一起，从而将系统的容量扩展至 5,400 个 ASIC 门。

对于经常可能被带出受控的实验室环境，带到现场和展会展示的原型系统来说，电路板的可靠性是一个重要的问题。HAPS 系统经升级，可采用一个专用监控器 FPGA 来控制电源和时钟的分配，监测电压电平并管理经 Synopsys UMRBus 接口与主机的数据交换。

软硬件混合验证工具

原型系统的未来是什么样的呢？随着像 SCE-MI 这样的联合仿真标准以及像 PCIe 和 Synopsys 的通用多资源总线 (UMRBus) 这样的高性能物理接口的兴起，将用 C/C++/SystemC 编写的虚拟原型和硬件原型混合使用现在已具备可行性。这种混合原型方法能够支持设计人员将 IP 与更加丰富

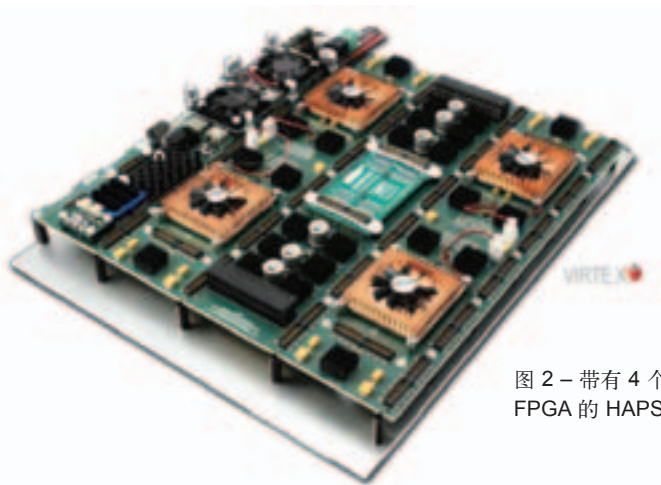


图 2 – 带有 4 个 Virtex-6 LX760 FPGA 的 HAPS-64 母板板载

多样的模型抽象结合使用，进行验证。HAPS 系统架构就其自身的组织来说，是 SoC 项目的理想选择。在需要观察现实情况下使用的接口时，它可以托管外设子系统。在需要改善数据吞吐能力时，它可以托管硬件执行引擎。

随着像 HAPS 系统这样的商用原型解决方案成为主流验证方法，它们必须遵从标准，以便在现有流程和环境轻松部署和集成该解决方案。就原型而言，为最大化商用系统的投资回报率，系统必须能够重复使用多年且能够用于各种项目和设计。HAPS 架构的灵活性得益于模块化构思，能够最大程度地减少硬件的使用。这样的模块化原则使

HAPS 产品易于理解和构建，并享有开发几乎所有系统原型的自由。稳健可靠的硬件、高度的灵活性、丰富的 I/O 连接功能，加上大量的现成硬件模块，使 ASIC 设计人员能够轻松构建自己的定制 ASIC 原型。

如需深入了解“原型设计 (design-for-prototyping)”方法，敬请参阅 Doug Amos、Austin Lesea 和 René Richter 合著的《基于 FPGA 的原型方法手册》(FPMM) (<http://www.synopsys.com/fpmm>)。如需了解 Synopsys HAPS 的更多信息，敬请访问：www.synopsys.com/haps。🌈

GETTING CONNECTED WITH THE HAPSTRAK STANDARD

What gives the HAPS system its inherent flexibility and ability to generate a high-performance multimegahertz prototype is its modular concept and a high-density connector scheme called the HapsTrak standard.

Synopsys developed the connector jointly with Samtec, Inc. to provide density, signal integrity and reliability for PCBs that will be assembled and reassembled many times over their lifetime. We have upgraded HapsTrak over the years to address the scenarios in which prototype boards are applied and to keep pace with the innovations in FPGA programmable I/O performance and specialty circuits for double-data-rate (DDR) support. Electromechanical quality and reliability were top design criteria for the HAPS design team. The connector has impedance-matched traces to minimize signal reflections and provides a remote identification capability so that software applications can label and recognize connectors.

A single HAPS system consists of one, two or four FPGAs. In the HAPS-60 series, a Virtex-6 LX760 in an FF1760 package is the device of choice. Positioned near each FPGA are six HapsTrak II 120-pin connectors. Programmable I/O, clock and power signals are routed from each FPGA to the six connectors.

– Troy Scott

数字滤波器输入输出的设计与实现

采用 FPGA 可以方便有效地实现多种类型的数字信号处理滤波器。

作者：Adam P. Taylor
首席工程师
EADS Astrium
aptaylor@theiet.org

滤波器是任何信号处理系统的关键组成部分，随着现代应用的日趋复杂，滤波器设计的复杂程度也日益提高。采用 FPGA 设计和实现的高性能滤波器的能力是模拟方法所望尘莫及的。另外，采用 FPGA 设计的数字滤波器可以避免模拟设计中存在的某些问题，特别是组件漂移和容差（在高可靠应用中，由温度过高、老化和辐射问题造成）。这些模拟问题会显著降低滤波器的性能，特别是在通带纹波等方面。

当然，数字模型也有自身的缺陷。滤波器数学运算中的舍入可能会带来问题，因为舍入误差会被累加，给性能造成不良影响，比如增大滤波器的噪声基底。工程师可以采取多种方法最大程度地减轻这种影响，例如使用收敛舍入可以获得比传统舍入更好的性能。最终，舍入误差问题的严重性与模拟器件相比得到了显著降低。

将 FPGA 作为滤波器构建模块的主要优势之一在于，如果因为集成原因或者需求变动原因需要调整性能，允许在设计过程的后期修改或者更新滤波器的参数，且产生的影响很小。

滤波器类型和拓扑结构

大多数熟知数字信号处理的工程师都知道滤波器的主要类型有四种。低通滤波器只允许频率低于预设截止频率的信号通过。高通滤波器与低通滤波器相反，只允许频率高于截止频率的信号通过。带通滤波器只允许频率在预设带宽内的信号通过，不允许其它频率的信号通过。带阻滤波器与带通滤波器相反，不允许频率在预设带宽内的信号通过，但允许其它频率的信号通过。

大多数数字滤波器都采用下列两种方法之一来实现：有限脉冲响应 (FIR) 和无限脉冲响应 (IIR)。首先我们深入探讨如何设计和实现 FIR 滤波器。这种滤波器也常被称为窗口 sinc 滤波器。

为什么我们首先以 FIR 滤波器为重点呢？两种滤波器的最大区别在于有无反馈。对未采用反馈的 FIR 滤波

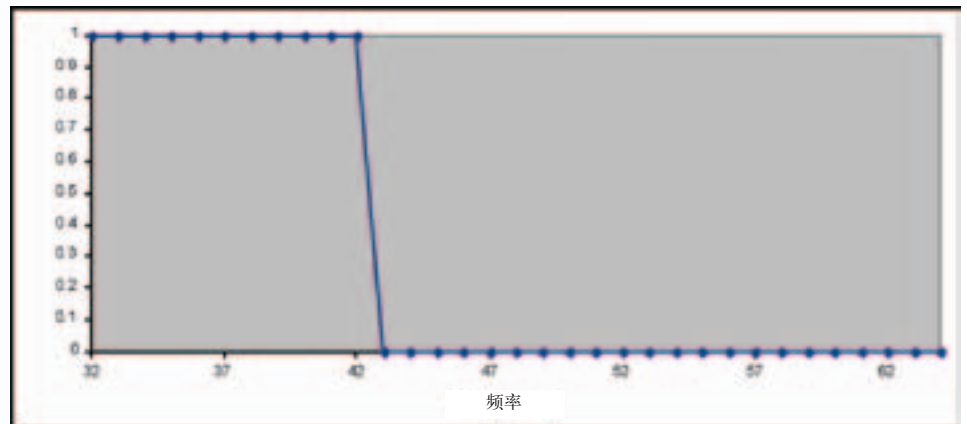


图 1: 理想低通滤波器的性能，从通带到阻带的急变

器，在给定的输入响应下，滤波器的输出最终会稳定为 0。而对采用反馈的 IIR 滤波器，在相同的给定输入下，输出不会稳定为 0。

FIR 滤波器的设计由于未采用反馈，故天生具有稳定性，因为滤波器的所有极点都与原点重合。IIR 滤波器就没有这么幸运。由于在设计 IIR 滤波器的时候，必须精心考虑其稳定性，这样窗口 sinc 滤波器对新接触 DSP 技术的工程师来说，更加易于理解和实现。

如果要求工程师绘制理想低通滤波器在频域中的原理框图，大多数工程师会画出和图 1 一样的图。

图 1 所示的频率响应一般称为“砖墙型”滤波器。这是因为通带和阻带之间的过渡非常陡峭，要比现实中能够实现的陡峭很多。这种频率响应还具备其它“理想”特性，例如没有通带波纹以及具有理想的阻带衰减。

如果将该图围绕 0 Hz 进行对称扩展，同时扩展到 $\pm FS$ Hz (FS 指采样频率)，然后对响应进行离散傅里叶逆变换 (IDFT)，就可以得到该滤波器

的脉冲响应，如图 2 所示。

这就是图 1 所示理想滤波器频率响应的时域表示法，也称为滤波器内核。FIR 或窗口 sinc 滤波器正是由这个响应而得名，因为画出 sinc 函数的曲线可以得到脉冲响应：

$$h[i] = \frac{\sin(2 * \text{PI} * \text{Fc} * i)}{i * \text{PI}}$$

结合滤波器阶跃响应，频率响应、脉冲响应和阶跃响应提供了有关滤波器性能的所有信息，可用于判断滤波器是否满足设计要求。

频率响应

频率响应是工程师在考虑滤波器时所习惯关注的问题。它代表着滤波器改变频域信息的性能。

通过频率响应可以观察到截止频率、阻带衰减和通带波纹。在该响应中还可以清晰地观察到通带和阻带之间的滚降，也称为过渡带。通带中的波纹会给滤波信号造成影响。阻带衰减则表明

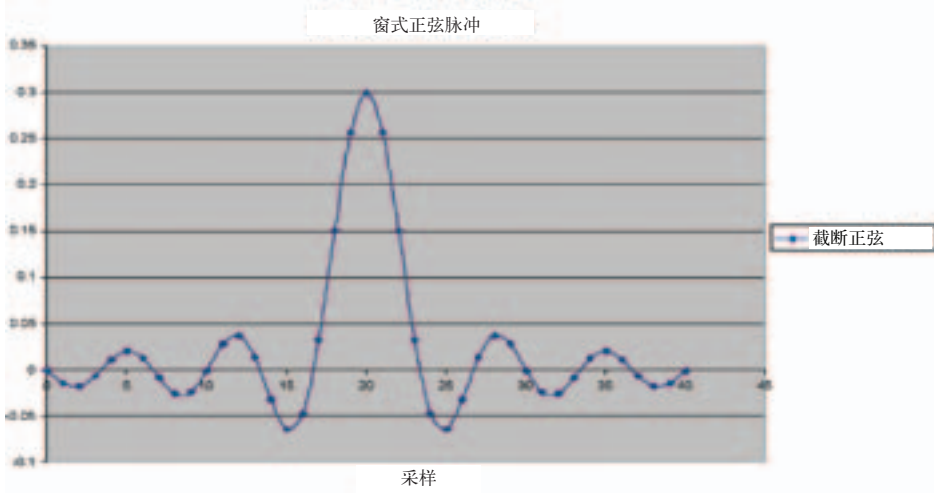


图 2：理想低通滤波器的 IDFT 或脉冲响应

滤波器输出中存在多少不必要的频率。这对需要抑制特定频率的应用意义重大，比如在通信系统中为频分多路复用通道滤波。

脉冲响应

从脉冲响应中可以抽象出滤波器的系数。但是，要实现滤波器的最佳性能，标准的方法是采用窗函数。窗函数

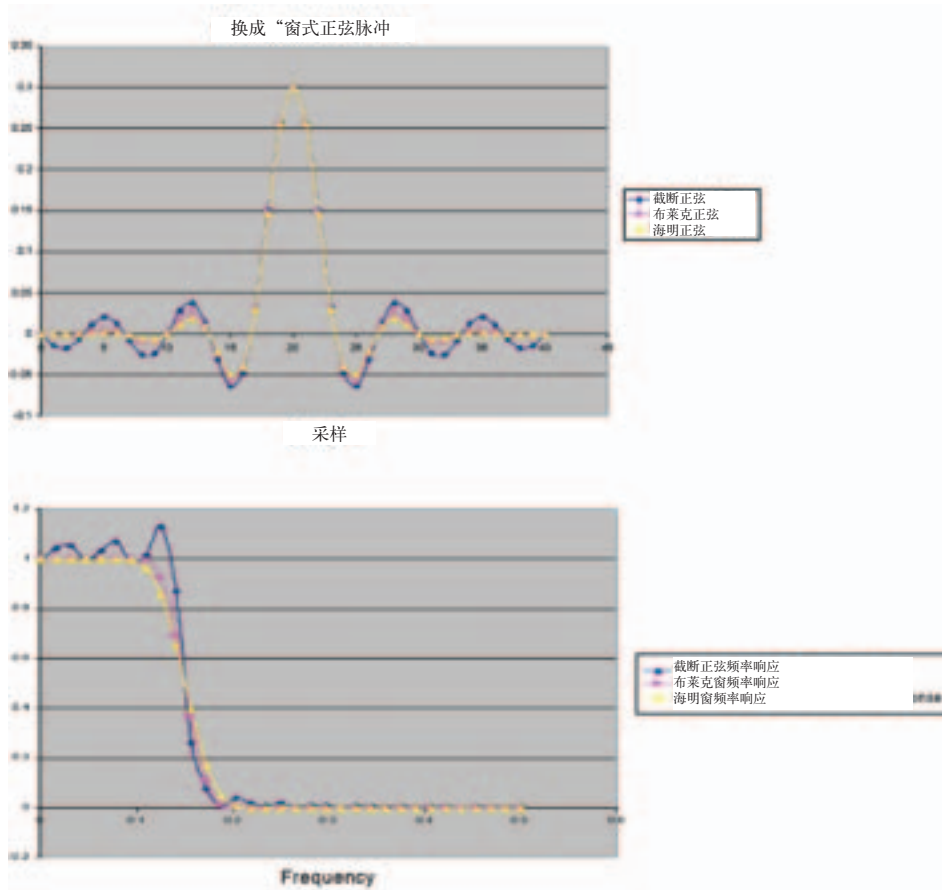


图 3：低通滤波器的脉冲响应（顶图）和频率响应

指给截断的脉冲响应应用额外的数学函数，以求减轻截断带来的副作用。

在图 2 中，由于纹波的存在，脉冲响应向外无限延伸，尽管纹波的振幅显著降低，但永远不会降低至 0。因此，必须围绕位于中心的主瓣，在两侧对称地按 $N+1$ 的系数截断脉冲响应，这里 N 是期望的滤波器长度（切记 N 应为偶数）。脉冲响应被突然截断会给滤波器的频域性能带来不良影响。如果对截断的脉冲响应进行离散傅里叶变换 (DFT)，可以观察到通带和阻带都有波纹出现以及滚降性能的下降。这就是为什么一般会采用窗函数来改善性能的原因。

阶跃响应

对脉冲响应进行积分所得的阶跃响应体现着滤波器的时域性能以及滤波器自身如何影响该性能。观察阶跃响应时应重点关注的三大参数分别是上升时间、过冲以及线性度。

上升时间指从振幅级的 10% 上升到 90% 所需的样本数量，可显示滤波器的速度。要在最终系统中具有实用性，滤波器必须能够区分输入信号中的不同事件，因此阶跃响应必须短于信号中各事件之间的间隔。

过冲是指滤波器添加至其正在处理的信号时产生的失真。降低阶跃响应中的过冲有助于判断信号的失真是来自系统，还是来自系统正在测量的信息。过冲不但可增大失真来源的不确定性，降低最终系统性能，而且还可导致系统无法满足所需的性能要求。

如果信号的上半部分和下半部分是对称的，则滤波器的相位响应具有线性

相位，这是确保阶跃响应的上升沿和下降沿相同的要件。

优化滤波器，以在时域和频域中同时实现良好的性能是非常困难的，在这一点上它也是毫无价值的。因此，必须明白需要处理的信息位于哪一个域中。对于 FIR 滤波器而言，需要处理的信息位于频域中，因而频率响应占主导地位。

滤波器加窗

使用截断脉冲响应不能提供最佳性能数字滤波器，因为它不能展示任何理想的特性。因此设计人员可采用视窗函数来改善滤波器的通带纹波、滚降以及阻带衰减性能。对于截断正弦函数，有许多视窗函数可以使用，如高斯、巴特利特、海明、布莱克曼以及凯塞等。不过最常用的两种视窗函数是海明和布莱克曼。下面将详细介绍这两种视窗。

采用这两种视窗不但可降低通带纹波，而且还可提高滤波器的滚降和衰减性能。图 3 是采用布莱克曼和海明视窗后截断正弦函数的脉冲响应和频率响应情况。如图所示，两种视窗均可显著改善通带纹波状况。

滤波器的滚降不仅由视窗决定，而且还由滤波器的字长决定，即系数的数量，也就是常说的滤波器抽头。

海明视窗：

$$w[i] = 0.42 - 0.52 \cos(2\pi i/N)$$

布莱克曼视窗：

$$w[i] = 0.42 - 0.52 \cos(2\pi i/N) + 0.08 \cos(4\pi i/N)$$

方程式中 i 为 1 至 N 时，总数等于 $N+1$ 个点。

要将这些视窗应用于截断脉冲响应，必须用视窗系数乘以截断脉冲系数，得出所需的滤波器系数。

虽然视窗类型决定了滚降频率，但经验法则告诉我们，对于所需的跳变带宽，需要的抽头数量为：

$$N=4/BW$$

其中 BW 为跳变带宽。

实现不同的滤波器拓扑

无论最终得到的滤波器类型是什么（是带通、带阻还是高通），所有这些都始于低通滤波器的初始设计。如果知道如何设计低通滤波器和高通滤波器，将两者相结合就可得到带阻及带通滤波器。

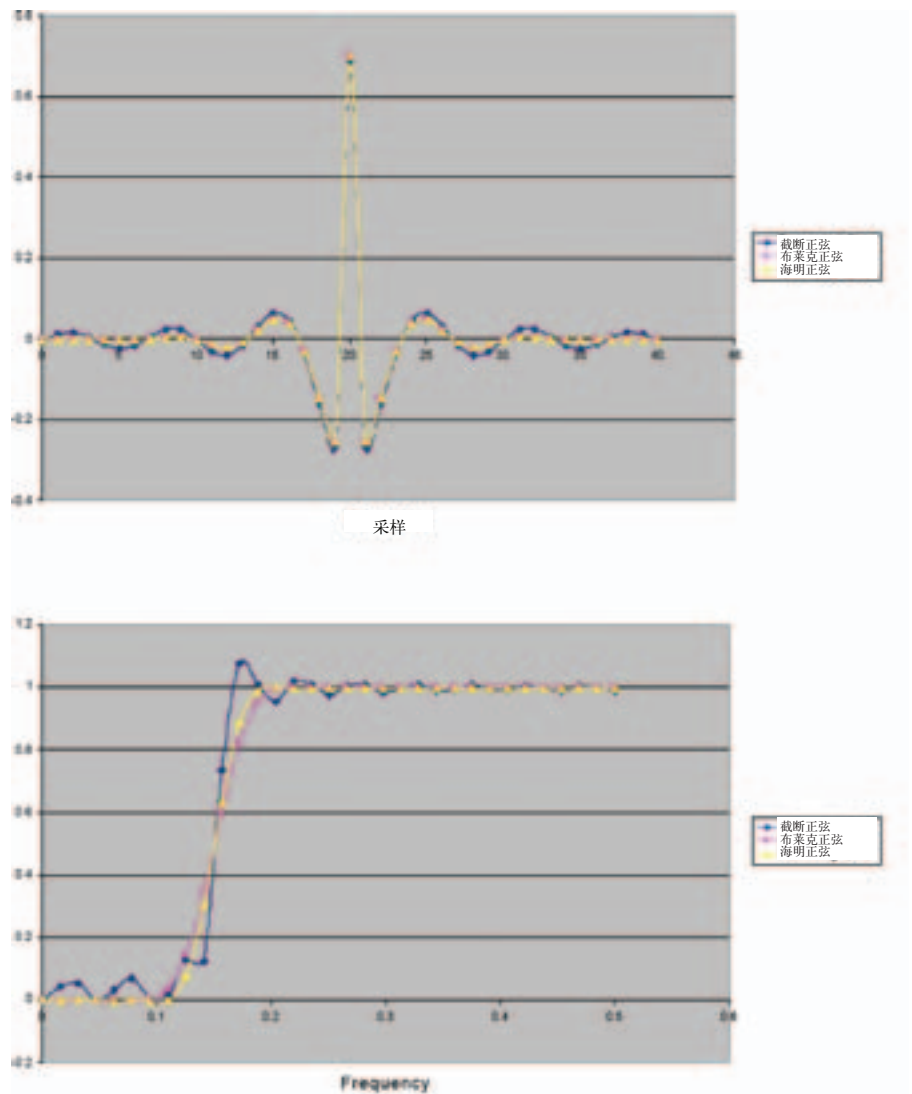


图 4：高通滤波器脉冲响应（顶图）和经未运用视窗的频谱翻转后运用海明及布莱克曼视窗得到的频率响应

首先看如何将低通滤波器转化成高通滤波器。最简单的方法叫做频谱翻转，即将阻带转换为通带，将通带转换为阻带。执行频谱翻转的方法是翻转每一个样本，同时给中心样本添加一个样本。第二种转换高通滤波器的方法为频谱倒转，即镜像频谱响应，方法很简单，就是倒转每一个其它系数。

完成低通滤波器和高通滤波器的设计之后，就可通过组合便捷地生成带通滤波器和带阻滤波器。生成带阻滤波

器只需将高通滤波器和低通滤波器并行布置，然后将输出加总。生成带通滤波器则可通过将低通滤波器和高通滤波器串行布置来实现。

实际设计

上面的内容现已详细说明了窗式正弦滤波器的情况、视窗应用的重要性以及如何生成不同拓扑的滤波器。不过在 FPGA 中实现滤波器之前，必须使用如 Octave、MATLAB® 或者 Excel

等一种软件工具生成一组滤波器系数。许多这些工具都可提供简化的界面和选项，帮助用户以最少的工作量完成滤波器设计，MATLAB 中的 FDA 工具就是最好的示例。

在为所需滤波器生成一组系数后，就可在 FPGA 中实现滤波器。无论决定采用的抽头数量多寡，FIR 滤波器每一级的基本结构是不变的，总是由乘法器、存储以及加法器构成。

大多数工程师青睐的、迄今为止

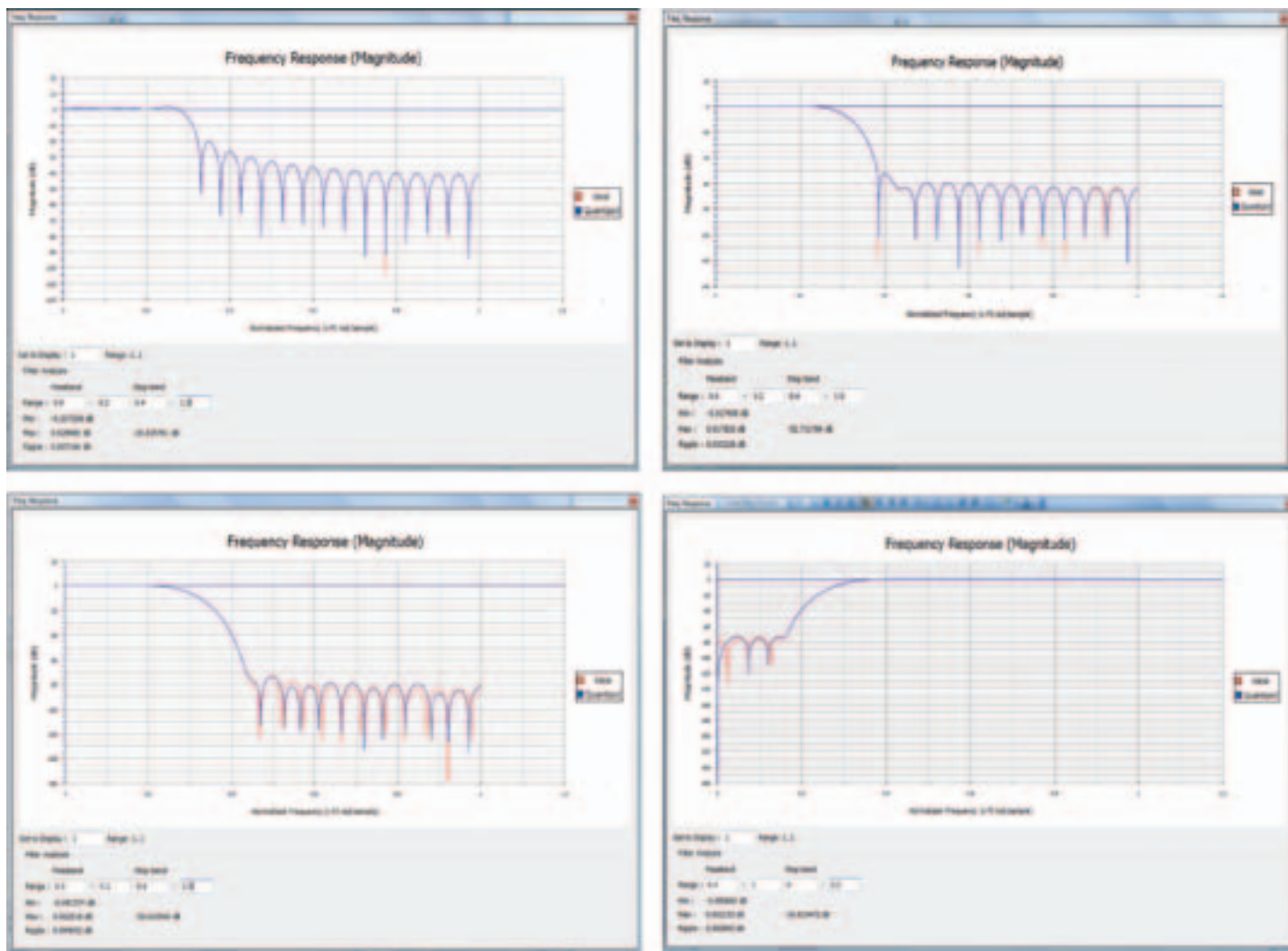


图 5 - Xilinx CORE Generator 频率响应：上图：截断正弦（左）与布莱克窗。
下，海明窗（左）与海明窗式高通滤波器

现在在许多应用中都可看到数字滤波器的身影，而 FPGA 则可为使用它们的系统设计人员带来显著优势。

最简单的方法是使用赛灵思 CORE Generator™ 工具中的 FIR Compiler，其可为定制和生成高级滤波器提供多种选项。用户可将生成的系数以 COE 文件形式导入 FIR Compiler。该文件内含已经为基数赋值的各种滤波器系数。

```
Radix=10;
Coefdata =
-0.013987944,
-0.01735736,
-0.005971498,
0.012068368,
0.02190073,
```

将这些系数加载后，FIR Compiler 将显示与所提供系数相对应的该滤波器频率响应，以及阻带衰减与通带纹波等基本性能特征。

在使用 FIR Compiler 工具完成滤波器定制后，只要用户使用的是正确的仿真库，CORE Generator 就可生成实现设计以及在实现之前的行为仿真

过程中对其仿真所需的全部文件。

如果愿意，用户还可以使用用户自己生成的 HDL 实现该滤波器。这种方法一般只有在用户最终实施目的是 ASIC，只是将 FPGA 实施用作原型设计系统时使用。在这种情况下，第一步是量化滤波器系数，以便使用浮点结果的固定数字表示。由于滤波器系数可以为正，也可以为负，常见的做法是采用二的补码格式表示这些系数。在完成系数的量化后，就可将其当作常数用于 HDL 设计中。

现在在许多应用中都可看到数字滤波器的身影，而 FPGA 则可为需要使用它们的设计人员带来显著优势。使用基本数学工具，结合 FPGA 内核生成工具或者直接使用 HDL，可便捷设计和实现窗式正弦滤波器。🌈

赛灵思 Virtex-7 2000T 荣膺 2012 中国年度 电子成就奖

2012 年 3 月 1 日，全球可编程平台领导厂商赛灵思公司 (Xilinx, Inc. (NASDAQ:XLNX)) 宣布其 28nm Virtex®-7 2000T 凭借其突破摩尔定律的工程创新成就，荣膺 2012 年度中国电子成就奖 (China Annual Creativity in Electronics (ACE) Awards 2012) 之数字处理器/DSP/FPGA 类最佳产品奖。ACE 最佳产品奖项由《电子工程专辑》资深分析师组成的评审小组独立评选得出入围名单，最后由中国大陆工程师社群网上投票而选定。


Virtex-7 2000T 是世界上容量最大的 FPGA，和最大单硅片器件相比，容量和带宽翻了一番还多，同时还具有较小芯片快速量产的优势。利用创新的 2.5D 堆叠硅片互联 (SSI) 技术，Virtex-7 2000T FPGA 在单个器件上集成了 200 万个逻辑单元、68 亿个晶体管和 12.5Gb/s 的串行收发器，从而使其成为全球最高密度的 FPGA，实现了前所未有的系统集成度，而且能够取代 ASIC 原型和 ASIC。

环球资源旗下企业联盟 eMedia Asia Limited 总裁石博廉 (Brandon Smith) 先生表示：“‘中国年度电子成就奖’旨在表彰对中国半导体产业不断发展作出贡献的人士及公司，他们通过创新设计，致力提高半导体产品的表现及效能，实在贡献良多。此外，对于那些有能力影响市场发展并帮助进一步提升中国电子产业在世界舞台上地位的企业更加值得表扬。”

汤立人表示“代表赛灵思全球所有参与世界上第一个 2.5D FPGA 研发和交付的工程师，我对 Virtex-7 2000T 能够荣膺环球资源这项行业久负声望的奖项深感荣幸。尤其是该奖项意味着在所有入围的优秀产品中，有那么多电子工程专辑 (EE Times-China) 的读者把他们手中的选票投给了 Virtex-7 2000T。这是对 Virtex-7 2000T 作为赛灵思乃至整个半导体行业一个技术里程碑式产品的高度认可，是对其在 28nm 工艺节点为当今的工程技术团队所奉献的超越摩尔定律的技术领先性的高度认可”。

运用 FPGA 解决 DSP 设计难题

作者：Reg Zatrepaek
Hardent 公司 DSP/FPGA 设计专家
rzatrepaek@hardent.com



本文以实践为基础，对 DSP 和 FPGA 技术进行了简要回顾，并详细比较了这两种架构在 FIR 滤波器应用中的优劣。

DSP 对电子系统设计来说非常重要，因为它们能够迅速测量、过滤或压缩即时模拟信号。这样有助于实现数字电路和模拟电路之间的通信。但随着电子系统进一步精细化，需要处理多种模拟信号源，迫使工程师不得不做出艰难决策。是使用多个 DSP 并将其功能与系统的其余部分同步更具优势？还是采用一个能够处理多项功能的高性能 DSP 并配套精细的软件更具优势？

由于当今的系统非常复杂，在许多情况下单个 DSP 实现方案根本没有足够的处理能力。同时，系统架构也不能满足多芯片系统带来的成本、复杂性和功耗要求。

FPGA 已成为需要高性能 DSP 功能的系统的理想选择。事实上，与单独的数字信号处理器相比，FPGA 技术能够为高难度的 DSP 问题提供大为简化的解决方案。要明白其中的缘由，需要回顾一下 DSP 的肇始和发展。

用于实现专门目的的微处理器

在过去二十年里，传统的 DSP 架构一直在竭尽全力跟上不断提高的性能需求步伐。但随着视频系统大踏步地迈进高清和 3D 时代，通信系统为实现更高带宽已将现有技术发挥到极致，设计人员需要替代性实现策略。常用于实现数字信号处理算法的硬件不外乎如下三类基本器件之一：微处理器、逻辑和存储器。部分设计还需要额外的硬件来实现模数 (A/D) 和数模 (D/A) 转换以及高速数字接口。

传统的数字信号处理器是设计用于实现专门目的的微处理器，非常适合算法密集的任务，但性能受时钟速率及其内部设计的有序性的限制，从而限制了它们对输入的数据采样每秒最多执行的运算次数。一般来说，算术逻辑单元 (ALU) 运算一次需要三或四个时钟周期。多核架构可以提升性能，但提升的幅度仍有限。因此，采用传统的信号处理器设计必须将架构元件重复用于算法实现。对每次执行的加、乘、减或其它任何基本运算，每次运算都必须循环通过 ALU，不管是内部还是外部反馈。

但令人遗憾的是，在处理当今众多的高性能应用时，这种传统的 DSP 难以满足系统的要求。为此在过去已经提出过多种解决方案，其中包括在一个器件中使用多个 ALU，或在一个开发板上布置多个 DSP 器件。但是，这些方案往往会造成成本大幅上升，同时把问题直接推向另一个领域。例如，用多个器件提高性能遵循指数曲线。要

让性能提高一倍，需要两个器件。再提高一倍，则需要四个器件，依此类推。另外，编程人员的工作重点也从注重信号处理功能转为多个处理器与内核之间的任务调度。这样会产生大量额外的代码，而且这些代码会成为系统开销，而非用于解决眼前的数字信号处理问题。

FPGA 技术的引入是解决 DSP 实现方案日益增长的复杂性的福音。FPGA 最初开发用于整合和集中分立的存储器和逻辑，以实现更高的集成度、更出色的性能以及更高的灵活性。FPGA 技术已成为当今使用的几乎每一款高性能系统的重要组成部分。与传统的 DSP 相比，FPGA 是由可配置逻辑块 (CLB)、存储器、DSP Slice 及一些其它元件组成的统一阵列所构成的巨大并行结构。它们既可以使用 VHDL 和 Verilog 等高级描述语言进行编程，也可以在方框图中用系统生成器 (System Generator) 编程。FPGA 还提供众多专用功能和 IP 核，可用于用高度优化的方式直接完成实现方案。

在 FPGA 中完成数字信号处理的主要优势在于能够根据系统要求定制实现方案。这就意味着对于多通道或高速系统，用户可以充分利用 FPGA 器件的并行性来最大化性能，而对低速系统，则可以更多采用串行方式完成设计。这样，设计人员就能够根据算法和系统的要求来定制实现方案，不必折衷理想的设计来迎合纯顺序器件的诸多局限。另外超高速 I/O 通过最大限度地提高从采集、处理到最终输出的数据流，可进一步降低成本并减少瓶颈问题。

如何比对 FPGA 的，下面以一个同时使用传统 DSP 架构和 FPGA 架构的 FIR 滤波器实现方案为例，来说明每种架构的优劣。

实例：数字 FIR 滤波器

有限脉冲响应 (FIR) 滤波器是使用最广的数字信号处理元件之一。设计人员可用滤波器来改变数字信号的幅度或频谱，通常用于隔离或衰减样本数据频谱中的特定区域。从这个角度说，可以把滤波器视为信号的预处理方式。在典型的滤波器应用中，输

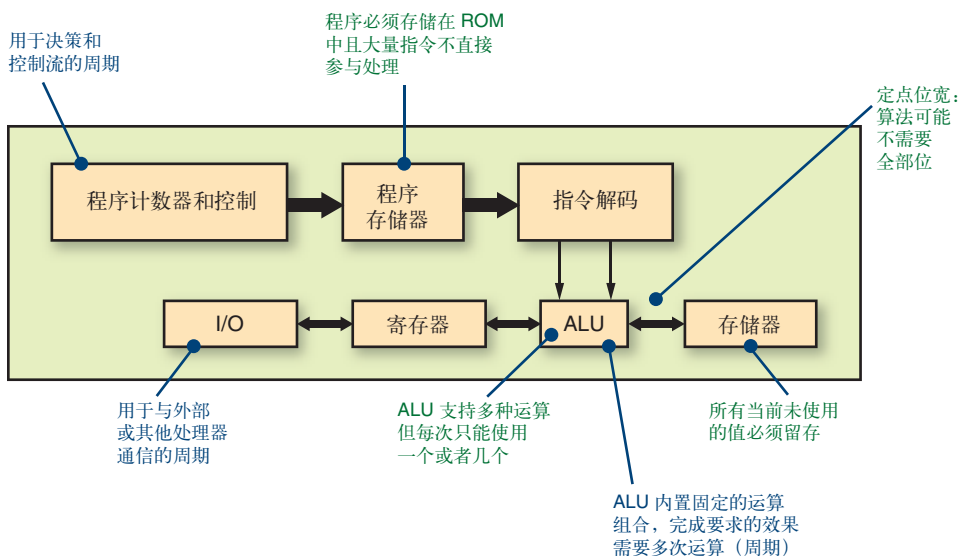


图 1 - 传统 DSP 架构

入的数据样本通过精心同步的数学运算与滤波器系数相结合，不过这取决于滤波器的类型和实现策略，随后数据样本进入下一个处理阶段。如果数据源和终点都是模拟信号，则数据样本必须首先通过 A/D 转换器，结果则必须反馈给 D/A 转换器。

最简单的 FIR 滤波器的构造采用一系列延迟元件、乘法器和加法器树或加法器链来实现。

下面的等式是单通道 FIR 滤波器的数学表达：

$$Y_n = \sum_{i=0}^{N-1} k_{n-1} S_i$$

该等式中的各项代表着输入样本、输出样本和系数。假设 S 为连续输入样本流，Y 为经滤波后产生的输出样本流，n 和 k 对应特定的瞬时时间。则如果要计算时间 n 时的输出样本 Y(n)，需要在 N 各时间点的样本群组，即 S(n)、S(n-1)、s(n-2)……s(n-N+1)。N 输入样本群组乘以 N 系数，加总后得出最终结果 Y。

图 2 是一个简单的 31 抽头 FIR 滤波器（长度 N=31）的方框图。

在选择滤波器的理想长度和系数值时，有多种设计工具可供使用。其目的是通过选择适当的参数来实现所需的滤波器性能。参数选择最常用的设计工具是 MATLAB®。一旦选定参数，就可以按照数学等式完成实现。

实现 FIR 滤波器的基本步骤包括：

1. 对输入的数据流采样

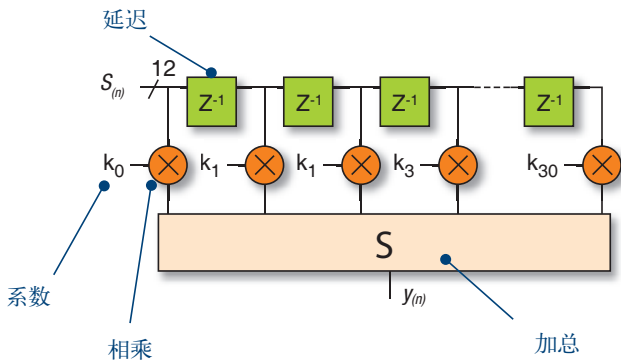


图 2 - 长度为 31 抽头的 FIR 滤波器

2. 在缓冲区组织输入样本，以便让每个采集到的样本与每项滤波器系数相乘
3. 让每个数据样本与每项系数相乘，并累加结果
4. 输出滤波结果。

使用“相乘累加法”在处理器上实现 FIR 滤波器的典型 C 语言程序，如下列代码所示：

```

/*
*采集输入的数据样本
*/
datasample = input();
/*
*将新数据样本导入缓冲器
*/
S[n] = datasample;
/*
*将每个数据样本与每项系数相乘并累加结果
*/
y = 0;
for (i = 0; i<N; i++)
{
y += k[i] * S[(n + i) %N];
}
n = (n+1) %N;
/*
* 输出滤波结果
*/
output(y);

```

图 3 所示的实现方案被称为相乘累加或 MAC 型实现方案。这基本上就是用传统的 DSP 处理器实现滤波器的方法。采用内核时钟速率为 1.2GHz 的典型 DSP 处理器实现的 31 抽头 FIR 滤波器的最高性能约为 9.68 MHz，即最大的输入数据率为 968 Msps。

而 FPGA 提供了许多不同的设计和优化选择。如果需要高资源效率的设计，MAC 引擎法相当理想。这里还是以 31 抽头滤波器为例来说明滤波器规范对所需逻辑资源的影响。这种实现方案的方框图如图 4 所示。

这种设计需要存储器存储数据和系数，可以混合采用 FPGA 内部的 RAM 和 ROM。RAM 用于存储数据样本，故采用循环式RAM缓冲器来实现。字的数量与滤波器抽头数相等，位宽按样本大小设置。ROM 用于存储系数。在最糟糕的情况下字的数量与滤波器抽头的数量相等，但如果存在对称，则可以减少字的数量。位宽必须足以支持最大的系

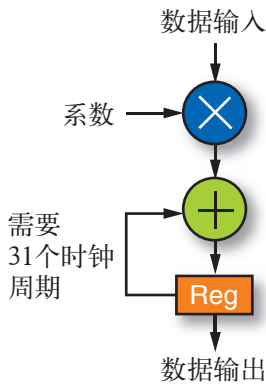


图 3 - 用传统 DSP 实现的 MAC

数。由于数据样本和系数数据随每个周期改变，故需要全乘法器。累加器负责将产生的结果累加起来。因为随着滤波器采集数据，累加器的输出会随每个时钟周期改变，故需要采集寄存器。当全套 N 样本完成累加后，输出寄存器负责采集最终结果。

如果采用 MAC 模式，则 DSP48 非常适用，因为

DSP48 Slice 内含输入寄存器、输出寄存器和加法器单元。实现 31 抽头 MAC 引擎需要一个 DSP48、一个 18 Kb Block RAM 和 9 个逻辑 Slice。另外还需要一些 Slice 用于采样、系数地址生成和控制。如果 FPGA 内置有 600MHz 的时钟，则在一个 -3 速度等级的赛灵思 7 系列器件中该滤波器能够以 19.35MHz 的输入采样速率运行，即 1,935 Msps。

如果系统规范要求更高性能 FIR 滤波器，则可采用并行结构来实现。图 5 显示了 Direct Form Type I 实现方案的方框图。

Direct Form I 滤波器能够在 FPGA 中实现最高性能的设计。这种结构通常也称为收缩型 FIR 滤波器，它采用流水线和加法器链让 DSP48 Slice 发挥出最高性能。输入首先馈送到用作数据样本缓冲器的级联寄存器。每个寄存器随后向 DSP48 提供一个样本，随即乘以对应的系数。加法器链负责存储部分结果，然后顺序相加，得到最终结果。

这种设计无需外部逻辑支持滤波器，且该结构可扩展用于支持任意数量的系数。由于没有高扇出的输入信号，故这种结构能够实现最高性能。实现 31 抽头 FIR 滤波器仅需要 31 个 DSP48 Slice。如果 FPGA 内置有 600MHz 的时钟，则在一个 -3 速度等级的赛灵思 7 系列器件中该滤波器能够以 600MHz 的输入采样速率运行，即 600Msps。

从这个实例可以清晰地看出 FPGA 不仅在性能上显著超越了传统的数字信号处理器，而且要求的时钟速率也显著降低（因此功耗也显著降低）。

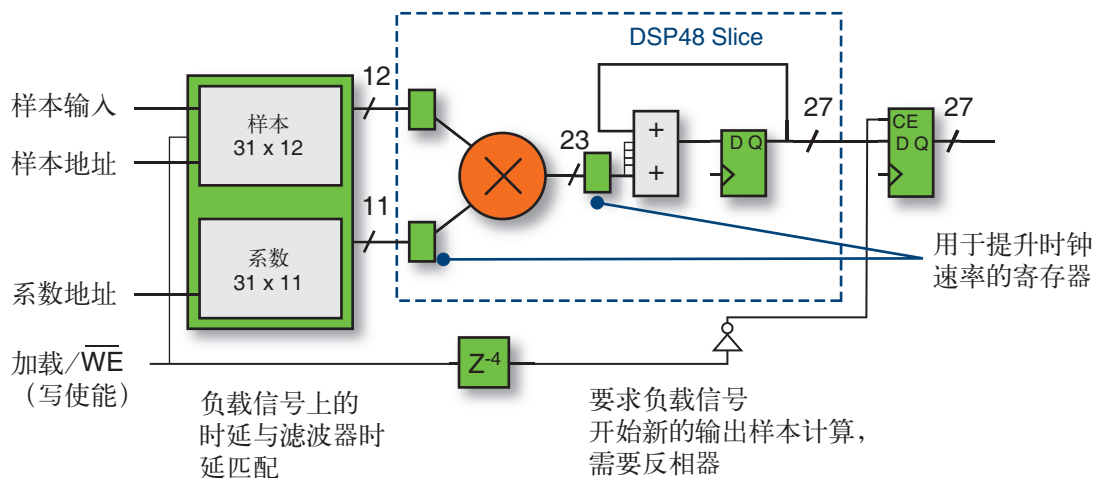


图 4 - 采用 FPGA 实现的 MAC 引擎 FIR 滤波器

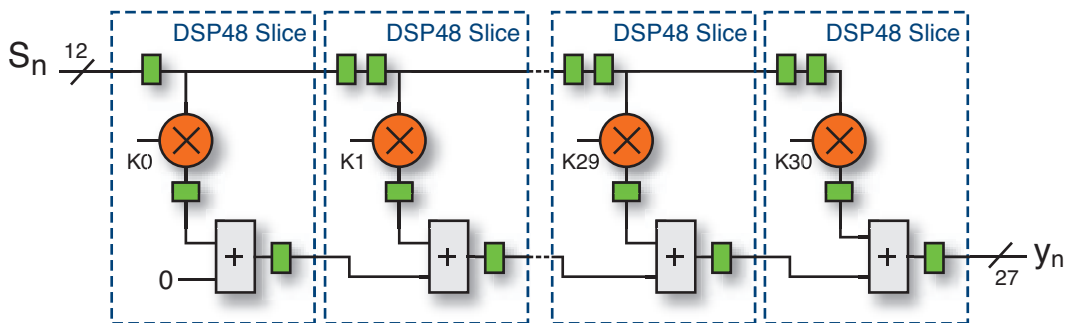


图 5 - 采用 FPGA 实现的 Direct Form I FIR 滤波器

这个实例只反映出采用 FPGA 实现 FIR 滤波器的部分技巧。为充分利用数据采样率规范，可对该器件进行进一步的定制，此时数据采样率可在顺序 MAC 运算极值和完全并行运算极值之间任取。用户还可考虑在涉及对称系数、内插、抽取、多通道或多速率的性能和资源利用方面进行更多权衡取舍。赛灵思 CORE Generator™ 或 System Generator 实用工具可帮助用户充分发掘这些设计变量和技巧。

在传统 DSP 和 FPGA 之间决策

传统数字处理器已经有多年的应用历史，当然不乏为特定问题提供最佳解决方案的实例。如果系统采样率低于数 KHz 且为单通道设计，DSP 可能是不二之选。但是，当采样率增加到数 MHz 以上，或者系统要求多通道，FPGA 就越来越具优势。在高数据速率条件下，DSP 只能勉为其能地在不造成任何损耗的情况下采集、处理和输出数据。这是因为在处理器中存在大量共享的资源、总线，乃至内核。而 FPGA 能够为每项功能提供专门的资源。

DSP 是基于指令而非时钟的器件。一般来说，对单个样本上的任何数学运算需要三条或四条指令。数据必须经输入端采集，发送到处理内核，每完成一次运算需循环通过内核，然后发送到输出端。相比之下，FPGA 基于时钟，故每个时钟周期都有可能在输入数据流上进行一次数学运算。

由于 DSP 的运算以指令或代码为基础，编程机制为标准的 C 语言，或者在需要更高性能的情况下，用低级汇编语言。这种代码可能包含高级决策树或者分支运算，难以在 FPGA 中实现。例如现存的大量用于执行预设功能或标准的代码，比如音频和语音编解码器。

FPGA 厂商和第三方合作伙伴已经意识到将 FPGA 用于高性能 DSP 系统的优势。如今已有许多 IP 核广泛应用

于视频、图像处理、通信、汽车、医疗和军用等大部分垂直应用市场。与把高级系统方框图映射成为 C 语言代码的 DSP 设计相比，将高级系统方框图分解为 FPGA 模块和 IP 核会更加简便易行。

从 DSP 转向 FPGA

考查一些主要标准有利于在传统 DSP 和 FPGA 之间做出决策（见表 1）。

软件编程人员的数量远远超过硬件设计人员的数量，这已是不争的事实。DSP 编程人员的数量与 FPGA 设计人员的数量之间的关系也是如此。不过让系统架构师或者 DSP 设计人员转为使用 FPGA 的难度并不像让软件编程人员转为从事硬件设计那么大。大量的资源可以显著简化 DSP 算法开发和 FPGA 设计工作。

主要的障碍是转换问题描述和解决思路，即从基于样本和事件的方法转向基于时钟的方法。如果能够在设计流程的系统架构和定义阶段就能够完成，对这种转换的理解和应用就会简单得多。由彼此隔绝的不同工程师和数学专家负责系统架构的定义，DSP 算法的开发和 FPGA 的设计是司空见惯的事情。当然，如果每个成员对其他开发小组成员面临的难题有一定程度的认识的话，这个过程会顺利得多。

要支持 FPGA 实现方案，架构师不需要高度精通 FPGA 设计。只需要对器件、资源和工具有基本的理解即可。通过提供的多种专题课程，可以快速进阶。

具体的进阶方式取决于工程师的背景和专业知识。具体就 DSP 类课程而言，就有算法开发课、高效设计课和 System Generator 设计课。如果用户期望成为在 FPGA 进行 DSP 设计的高手，Hardent 和其他赛灵思授权培训合作伙伴提供的三大课程可帮助您快速入门：DSP 入门、使用赛灵思 FPGA 完成 DSP 设计的必备技巧、使用 System Generator 进行 DSP 设计。

	FPGA	DSP
系统采样率	如果采样率超过数 MHz，或者需要多个通道，FPGA 是最佳选择。	对采样率在数 KHz 的单通道应用，分立 DSP 具有更高性价比。
系统规范	根据方框图开发的系统规范，或者包含方框图的系统规范映射到 FPGA 模块更为简便。	如果系统规范基于 C 语言模型，采用 DSP 能够更加简便地完成类似功能模块的代码编写工作。
数据率	如果 I/O 数据速率大于数 MBps，FPGA 设计更简单有效。	在较低数据速率下一般有多余的周期可用，故 DSP 不会受带宽限制。
数据宽度或精度	由于具备高度统一的并行结构，FPGA 是高数据宽度或者高精度系统的不二之选。	在数据宽度与处理器总线宽度完全相同且算法中不存在位增加的潜在因素的情况下，不会有显著的制约。
决策树或者条件分支	可以使用状态机方便地替代条件分支。如果要求的结构是决策树，嵌入式处理器内核或者 MicroBlaze™ 能够提供理想的解决方案。	在有分支结构的情况下，用 DSP 一般更加容易实现。
浮点	FPGA 可以有浮点内核。往往高精度定点设计能够取代对浮点的要求，在事实上提供更高性能的解决方案。	传统 DSP 可以有浮点内核。
Legacy code	Mechanisms to adapt C code for use in FPGAs are now available.	If much C code already exists, a traditional DSP may be quicker to code but may struggle to increase performance from the legacy system specification.
内核、库和第三方 IP 核	赛灵思和第三方厂商提供专为 FPGA 优化的丰富多样的可参数化的 IP 核和库。对 FPGA 设计来说，许可协议的协商一般更加简单方便。	有大量内核和库可用于传统 DSP。可能涉及按使用的特许权使用费或者复杂且具有限制性的收入方案。

表 1 - 选择 DSP 和 FPGA 时考虑的主要标准

Hardent 还提供介绍赛灵思器件、HDL 设计入门语言、优化技巧，以及设计与调试策略的公共课。另外还有专门针对高速 I/O 设计、嵌入式处理和 DSP 设计技巧的专业课程和研讨会。

详细了解 Hardent 的培训日程，敬请访问：www.hardent.com/training。

在嵌入式系统中 进行更理想的浮点 计算的技巧

浮点算法不遵循整数算法规则，但利用 FPGA 或者基于 FPGA 的嵌入式处理器不难设计出精确的浮点系统。

作者：Sharad Sinha
在读博士
新加坡南洋理工大学
sharad_sinha@pmail.ntu.edu.sg

工

程人员一看到浮点运算就会头疼，因为浮点运算用软件实现速度慢，用硬件实现则占用资源多。理解和领会浮点数的最佳方法是将它们视为实数的近似值。实际上这也是开发浮点表达式的目的。正如老话所说，真实的世界是模拟的，有许多电子系统在与真实世界的信号打交道。因此，对于设计这些系统的工程师来说，有必要理解浮点表达式以及浮点计算的优势和局限性。这将有助于我们设计可靠性更高、容错性更好的系统。

首先深入了解一下浮点运算。通过一些示例计算就可以看到浮点运算不如整数运算直接，工程师在设计使用浮点数据的系统时必须考虑这一点。这里有个重要的技巧：用对数来运算极小的浮点数据。我们的目的是熟悉一些数值运算的特点，把重点放在设计问题上。本文结尾列出的参考文献中有更加深入的介绍。

就设计实现而言，设计人员可以使用赛灵思 LogiCORE™ IP Floating-Point Operator 生成和实例化 RTL 设计中的浮点运算符。如果采用 FPGA 中的嵌入式处理器构建浮点软件系统，则可以使用 Virtex-5 FXT 中面向 PowerPC 440 嵌入式处理器的 LogicCORE IP Virtex®-5 辅助处理器单元 (APU) 浮点单元 (FPU)。

浮点运算 101

IEEE 754-2008 是现行的浮点运算 IEEE 标准。(1) 它取代了该标准的 IEEE 754-1985 和 IEEE 754-1987 版本。该标准中的浮点数据表达规则如下：

- 要求零带符号：+0, -0
- 非零浮点数可表达为 $(-1)^s \times b^e \times m$ ，这里：
 - s 为 +1 或者 -1，用于表明该数为正数还是负数，b 是底数 (2 或者 10)，e 是指数，m 则是以 $d_0.d_1d_2\dots d_{p-1}$ 形式表达的数，这里 d_i 对以 2 为底数的情况可以是 0 或者 1，对以 10 为底数的情况可以是 0 和 9 之间的任意值。请注意小数点应紧跟 d_0 。
- 分正负的极限： $+\infty$, $-\infty$ 。
- 非数值，有两种形式：qNaN (静态) 和 sNaN (信号)。

表达式 $d_0.d_1d_2\dots d_{p-1}$ 指“有效值”，e 为“指数”。有效值总共有 p 位数，p 即为表达式的精度。IEEE 754-2008 定义了五种基本的表达式格式，三种用于 2 为底数的情况，两种用于 10 为底数的情况。标准中还提供更多的衍生格式。IEEE 754-1985 中规定的单精度浮点数和双精度浮点数分别称为 binary32 和 binary64。对每种格式都规定有最小的指数 e_{min} 和最大的指数 e_{max} 。

可以用浮点数格式表达的有限值的范围取决于底数 (b)、精度 (p) 和 e_{max} 。该标准一般将 e_{min} 定义为 $1-e_{max}$ ：

- m 是 0 到 b^p-1 内的整数

例如，在 $p=10$ 和 $b=2$ 的情况下，m 就介于 0 到

1023 之间。

- 对给定的数，e 必须满足下式

$$1-e_{max} \leq e+p-1 \leq e_{max}$$

例如，如果 $p=24$ ， $e_{max}=+127$ ，则 e 的取值范围是 -126 到 104。

这里需要清楚一点，即浮点表达式往往不是唯一的。例如， 0.02×10^1 和 2.00×10^{-1} 都代表相同的实数，即 0.2。如果第一位数 d_0 为 0，则称该数值被“标准化”。同时，对某个实数来说，可能不存在浮点表达式。例如，0.1 在十进制中是一个确定的值，但它的二进制表达式是一个小数点后 0011 的无穷循环。因此，0.1 无法用浮点格式确定地表达。表 1 给出了 IEEE 754-2008 规定的五种基本格式。

浮点计算的误差

因为要用固定位数来表达无穷数量的实数，因此在浮点计算中四舍五入是不可避免的。这就会不可避免地带来舍入误差，故需要有一种方法来衡量结果与采用无穷精度计算时的差距。我们来观察一下 $b=10$ 和 $p=4$ 的浮点格式。用这种格式，.0123456 可以表达成 1.234×10^{-2} 。很明显这种表达方式在最后位置单位 (ulps) 发生了 .56 的差异。又如，如果浮点计算的结果是 4.567×10^{-2} ，而采用无穷精度计算的结果是 4.567895，则最后差 .895 最后位置单位。

“最后位置单位” (ulps) 是规定这种计算误差的一种方法。相对误差是另一种用来衡量浮点数近似实数误差的方法。相对误差被定义为实数与浮点数之差除以实数的商。比如，将 4.567895 用浮点数表达为 4.567×10^{-2} 时的相对误差为 $.000895/4.567895 \approx .00019$ 。根据标准的要求，每个浮点数的正确计算结果的误差应不大于 0.5ulps。

浮点系统设计

在为数值应用开发设计的时候，很重要的一环是考虑输入的数据或者常数是否可以作为实数。如果可以作为实数，则在完成设计之前需要注意一些问题。需要检验来自数据集的数值在浮点表达式中是否很接近，有没有出现过或者过小的情况。下面以二次方程求根为例。二次方程的根 α 和 β 分别表达为下面两个等式：

$$\alpha = (-b + \sqrt{(b^2 - 4ac)}) / 2a ; \quad \beta = (-b - \sqrt{(b^2 - 4ac)}) / 2a$$

参数	二进制格式 (底数, b=2)			十进制格式 (底数, b=10)	
	binary32	binary64	binary128	decimal64	decimal128
P, 位数	24	53	113	16	34
emax	+127	+1023	+16383	+384	+6144

表 1: IEEE 754-2008 规定的五种基本格式

很明显, 如果 b^2 和 $4ac$ 是浮点数, 就会遇到舍入误差问题。如果 b^2 远大于 $4ac$, 则 $\sqrt{(b^2)} = |b|$ 。如果 $b > 0$, β 将有解, 但 α 的解将为 0, 因为其分子中的各项相互抵消。另一方面, 如果 $b < 0$, 则 β 的解为 0, α 将有解。这是一种错误的设计, 因为在浮点计算的作用下, 根的值 0, 如果用于后续的设计, 将很容易导致错误的输出。

防止这种错误抵消的方法之一是将 α 和 β 的分子和分母同时乘以 $-b - \sqrt{(b^2 - 4ac)}$, 这样得到:

$$\alpha' = 2c / (-b - \sqrt{(b^2 - 4ac)}); \beta' = 2c / (-b + \sqrt{(b^2 - 4ac)})$$

现在, 在 $b > 0$ 的情况下, 应使用 α' 和 β 求出两个根的值。在 $b < 0$ 的情况下, 应使用 α 和 β' 求出两个根的值。在设计中很难察觉到这样的误差, 原因在于对于整数数据集来说, 常规公式会得出正确的结果, 但在使用浮点数据的时候, 常规公式会让设计返回错误的结果。

另一个有趣的实例是计算三角形面积。根据 Heron 公式, 在已知三角形边长的情况下, 三角形的面积 A 可以用下面的公式求出:

$$A = \sqrt{(s(s-a)(s-b)(s-c))}$$

这里 a, b 和 c 是三角形的边长, $s = (a+b+c)/2$ 。

对一个一边的长度约等于另外两边长度之和的平三角形而言, 有 $a \approx b+c$, 随即有 $s \approx a$ 。由于两个相邻的数值会在 $(s-a)$ 中相减, 所以 $(s-a)$ 可能会等于 0。或者, 如果 s 或者 a 出现舍入误差, 就会导致显著的 ulps 误差。因此, 最好根据数学家和计算机科学家 William Kahan (2) 在 1986 年率先提出的建议, 将此公式改写为下列格式:

$$A = \sqrt{((a+(b+c))(c-(a-b))(c+(a-b))(a+(b-c))) / 4} \quad a \geq b \geq c$$

我们看看分别用 Heron 的公式和 Kahan 的公式对相同的数值进行计算的结果如何。假定 $a=11.0$, $b=9.0$, $c=2.04$, 则正确的 s 值为 11.02, 正确的 A 值为

1.9994918。但是, 在采用 Heron 公式的情况下, 计算得出的 s 值为 11.05, 只有 3ulps 的误差, A 的值为 3.1945189, 出现巨大的 ulps 误差。在采用 Kahan 的公式的情况下, 得出的 A 值为 1.9994918, 小数点后七位完全与正确的结果吻合。

处理极小和极大的浮点数

极小的浮点数在相乘后会得出更小的结果。对设计人员来说, 这可能会导致系统的下溢问题, 最终的结果可能出错。这个问题在概率处理领域中尤为突出, 比如计算语言学 and 机器学习。任何事件的概率一般都在 0 和 1 之间。能够得到完美整数结果的公式在处理非常小的概率时往往会导致下溢问题。避免下溢的方法之一是采用指数和对数。

在对很小的浮点数做相乘运算时, 采用下面的公式非常有效:

$$a \times b = \exp(\log(a) + \log(b))$$

这里指数和对数的底数必须相同。不过需要注意的是, 如果 a 和 b 都是概率, 值都在 0 和 1 之间, 那么它们的对数会在 $-\infty$ 和 0 之间。如果只希望处理正概率, 则将概率的对数乘以 -1, 就可以正确地解读结果。采用对数值的另一项优势在于速度, 因为相加比相乘的操作速度更快。

工程人员往往会遇到需要对非常大的连续数进行相乘的情况, 比如:

$$k = \prod_{i=1}^v m_i$$

K 的值在某些情况下非常容易溢出。处理这种情况的方法之一是用下式计算 k:

$$k = \exp\left(\sum_{i=1}^v \log(m_i)\right)$$

当然，这样计算相对较为复杂一点，但如果想要保证设计在计算这种极端状况时不会出错，这点代价还是值得的。

一些常见的浮点微妙之处

浮点算术并不严格遵循整数的数学规律。加法和乘法结合律对浮点数无效，减法和除法也是如此。造成这种情况的原因有两个。首先在顺序变动时会出现下溢或者上溢，其次是舍入误差问题。请看下面关于浮点数 a 、 b 和 c 的几个例子。

例1: $a \times (b \times c) \neq (a \times b) \times c$

右边的表达式在 a 和 b 相乘时可能出现上溢或者下溢。另外，由于 a 和 b 的乘积先计算，它的舍入误差与左边 b 和 c 乘积的舍入误差不同，结果导致两个表达式得出的结果不同。

例2: $a=(b-c)+c$ 不等价于 $a=b$

左边的 $(b-c)$ 表达式中，如果两个数的浮点表示足够接近，会使该项结果为 0。在这种情况下 $a=c$ 。 $(b-c)$ 的舍入误差会导致结果与 b 不同。

例3: $a=b+b \times c$ 不等价于 $a=b \times (1.0+c)$

由于舍入误差，表达式 $(1.0+c)$ 的结果会导致值发生改变，最终与第一个表达式的结果不同。

例4: $b=c / 10.0$ 不等价于 $b=c \times 0.1$

同理， $c/10.0$ 的舍入误差与 $cx0.1$ 的不同，导致 b 的值不同。另外，数值 10.0 可以用 2 为底数表达为确切的表达式，但数值 0.1 用 2 为底数不能表达为确切的表达式。数值 0.1 在表达为二进制表达式时，会出现 0011 的无穷循环。这种不能用特定的底数进行有限表达的数被称为该底数的非确定数，而能够进行有限表达的，则被称为确定数。

假定 c 可以一直被表达为确定数，如果 c 在一种情况下与确定数相除，在另一种情况下与非确定数相乘，则得到的结果是不一样的。而且由于 c 本身也可以是确定数或不确定数，取决于之前的计算方法，所以两个表达式之间的等价性无法成立。

例5: $x / x=1.0$

这个等式在 x 为 0、无穷或者非数值的情况下是不成立的。在执行无效数学运算的情况下会出现 NaN，比如开负数的平方根或者用 0 除以 0。在出现 NaN 的情况下，程序员负责决定下一步怎么做。应注意根据 IEEE 754-2008 的规定，NaN 可以用指数 $e_{max}+1$ 和非零有效数表达为浮点数。因为有效数中可以放入由系统决定的信息，故结果将是一系列 NaN 而非唯一的 NaN。因此在处理浮点代码时，请勿用 1.0 替换 x/x ，除非能够确认 x 不是零、无穷或者 NaN。

例6: $x-x=0.0$

在 x 为无穷或者 NaN 的情况下该等式不成立。因此在不能确定 x 取值的情况下请勿用 0.0 替换 $x-x$ 。工程人员往往在编译器中采用这种替换技巧作为优化策略。但是正如所看到的，这样的优化可能导致错误的结果。

例7: $x+0=x$

上面的等式在 x 为 -0 的时候不成立（注意可以有 +0 和 -0）。这是因为根据 IEEE 754-2008 规定的默认舍入规则， $(-0) + (+0) = +0$ ，经舍入后为偶数。

IEEE 标准定义 +0 和 -0 的目的是为了得出答案的符号。比如 $4 \times (+0) = +0$ ， $(+0)/(-4) = -0$ 。为比较目的，可以令 $+0 = -0$ ，这样像 `if (x=0)` 这样的声明就不用关心 +0 和 -0 之间的差异了。

更深入的理解

除了 Kahan 的著作，想要更加深入地领会使用浮点数据的各种微妙之处，工程人员还可以阅读 Goldberg 博士的《*What Every Computer Scientist Should Know About Floating-Point Arithmetic*》A 版（加利福尼亚州 Mountain View, 1992 年 6 月）。另外有大量优秀参考文件对 IEEE 754-2008 标准以及其他影响浮点设计标准（比如 ISO/IEC 9899:201x）进行了详细解读。(3)

像航空电子和安全嵌入式系统这样的电子行业领域要求开发高度精确且无误的硬件和软件。由于部分硬件需要处理大量的浮点数据，因此设计人员有必要掌握浮点算术与整数算术之间的差异。🌈

参考资料

1. IEEE 754-2008 标准, IEEE 浮点算术标准
2. W.Kahan, 《计算针状三角形的面积和角度》, 未出版, 草稿见 <http://www.cs.berkeley.edu/~wkahan/>
3. N1548, ISO/IEC 9899:201x, 编程语言——C

如何构建具有自检功能的测试平台

测试平台，尤其是经常使用的测试平台或用于一系列项目的测试平台，应具备自检功能和时间无关性。本文将介绍一些最佳测试平台的构建技巧。

作者：**William Kafig**
高级内容开发工程师
赛灵思公司
bill.kafig@xilinx.com

VHDL 所称的测试平台或者 Verilog 所称的测试固件是一种用于 Isim、ModelSim 或者 NCsim 等仿真环境的结构。仿真首先使被测单元 (UUT) (一般指可综合的 FPGA 设计) 连接到虚拟 (仿真) 组件，比如存储器、通信设备和/或 CPU，然后用已知的激励信号集加以驱动。这些激励信号会让 UUT 对虚拟组件做出反应并与虚拟组件互动。在仿真环境中，可通过波形来观察该激励信号和反应。

这里有个简单的例子，说明如何将简单的带复位功能的 8 位拨码开关 (up/down) 当作 FPGA 设计 (UUT) 实现一个测试平台。该测试平台能够提供时钟信号、开关信号、使能信号和复位控制信号。图 1 显示的是如何将 UUT (中间的灰色方框) 连接到测试平台。

图 1 左边的各种功能为 UUT 提供激励信号，随即 UUT 产生一系列波形并显示在仿真环境中。图 2 是可缩放的波形图快照。如何清楚地看到结果？是否看到值在计数引脚先升后降？放大后是什么样 (见圆形局部放大视图)？



现在我们可以看到各种输出的值，但我们必须验证每一个值。这就是说需要验证 256 个增量值和 256 个减量值，使能关闭与复位的特例以及这些控制信号影响计数值的方式。虽然这样做对小型设计来说是可行的，但对验证更大型、更复杂的设计来说，显得繁琐和低效。

实际上，验证重大 FPGA 设计比开发可综合的设计更难更费时。对给定的已知激励信号集，设计应一直生成可预测的结果集，不管仿真是行为仿真、网表仿真还是全时序仿真（布局布线后）。

创建激励信号集以及将其用于仿真的方法肯定是多种多样，可以从仿真控制台直接输入，也可以从文本或二进制文件输入，还可以用脚本激励（.do 或.tcl）等（图 3）。

这样问题就变为：在仿真运行后，如何验证仿真是否成功，即生成的输出是否与预计的激励驱动结果相符？当然可以通过观察数十、数百乃至数千个波形来检验，但这样过于繁琐和费时，更不必说其极易出错。也可以将成千行的文本转储到磁盘上，找专人检查每条信息，这同样繁琐且易出错。

甚至可以编写一个测试平台，不厌其烦地描述每一个输出波形，在关键时刻测试波形的特定值。这类测试平台随即可“自动”检测错误。很神奇吧？但令人遗憾的是，这种测试台不仅需要每次在输入变动时大刀阔斧地进行修改，而且时间的意义在仿真环境中也并非始终不变。行为仿真不太关注设计在硬件中的真正实现方法，也不关注布线延迟问题；而网表

仿真了解设计的实现方式，但同样忽视布线延迟。只有布局布线后仿真（全时序仿真）才会考虑所有的延迟问题，提供准确的时序模型，但迄今为止这类仿真所需的时间最长。显而易见，对各类仿真而言，不存在一成不变的完全绝对时间。

这就意味着如果测试平台需要查找某个特定时间点对应的特定值（输出），该值在行为仿真和在布局布线后仿真中所处的时间点很有可能相异。

可以为每类仿真编写独立的验证测试平台，但需要投入大量的时间，更不必说花在找出“正确的”起点所

很明显，这种静态的方法已非可取良方。

“时间无关性”自检测测试平台

上文介绍一些不需要编写测试平台的方法。下面为“理想的”具备时间无关性自检功能的测试平台设定一些规范。

这种环境下的“时间无关性”是指仿真的类型（行为仿真、网表仿真、布局布线后仿真）和对应的时序对 UUT 的验证不造成影响。自检功能指测试平台无需用户明确输入便可为每个激励信号集生成有效的输出。

仿真环境

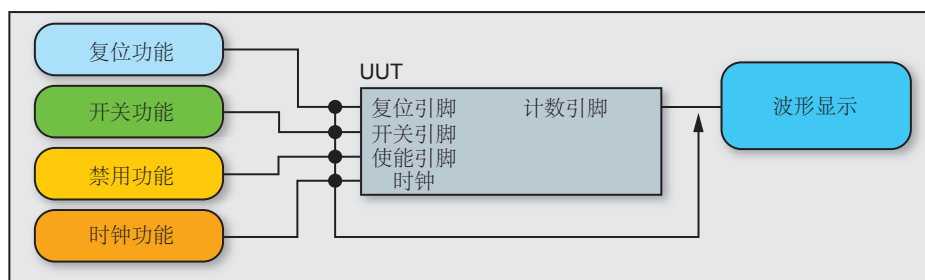


图 1 - UUT 简例，即用户的可综合的设计简例及其在测试平台内的连接方式



图 2 - 波形缩小可以显示“大图”，但不能观察细节。波形放大可以看到细节，但看不到环境。

花费的时间。另外，每次激励信号（测试矢量）发生变化，都需要对波形检查器模块重新编码。当然用户可以将数据文件作为波形检查器的标准，但计算各种值和时间所花的精力依然不菲。

要运用规范性的语言，测试平台必须满足如下条件：不管运行什么类型的仿真，都应具备有效性；应能够运行任何有效的测试矢量集；应能够以清晰易懂的方式报告激励信号集中各种测试的状态。

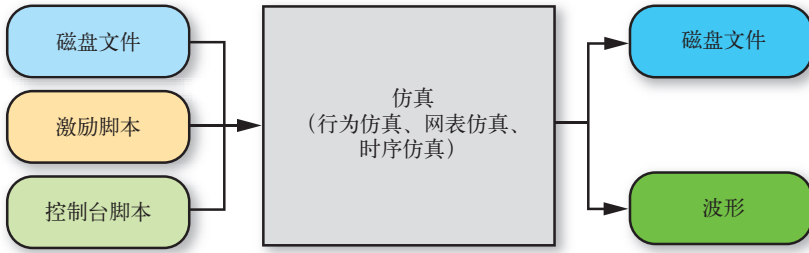


图 3: 通用测试平台结构

要实现规范性，可以采用给 UUT 创建一个并行流程的方法。激励信号不管来源如何，都同时馈送给 UUT 和并行路径。该并行流程由 UUT 的行为模型以及可调整行为模型和 UUT 之间任何时间差异的后续异步 FIFO 构成。

先用“波形比较器”检测 UUT 的新输出值，然后从行为模型的 FIFO 获取下一个值。随后比较这两个值，将结果寄存起来，就可以清晰无误地说明两条路径的相符之处和不符之处。图 4 显示了该类型测试平台的典型模型。

设计的核心

设计的核心包括 UUT 以及该 UUT 的已知正确行为模型 (KGBM)。

UUT 应足够简单，就是用户力求实现的可综合设计。KGBM 的行为符合 UUT 的规范，但其采用行为结构进行编码。

通过使用行为建模技术构建“理想”的 UUT 版本（不必是可综合的版本），用户（或用户的波形比较器）就能够迅速发现 UUT 和 KGBM 输出之间的任何差异。一般来说行为建模更快更易于编码，因为它无需满足严格的综合和时序收敛要求。

应分层构建行为模型。在完成最底层的创建后，应逐个单元地用对应的小测试平台进行仿真，以检验整个模型的行为是否正确，就像仿真可综合的设计一样。这些小测试平台一般不需要具有时间无关性或自检功能。

临时性措施（波形手动检查）通常足以胜任它们的验证工作。

创建激励信号

创建激励信号的方法有多种，最直接的是从控制台输入。许多仿真环境都允许用户将值“强制”送入信号中。虽然这种做法适用于某些设计或特定信号，但更大型、更复杂的设计还是采用能方便进行重复输入的方式为宜，因为这样可以更加轻松地进行分析和调试。

根据使用的仿真工具，还可以使用“tcl”或者“do”脚本为激励信号创建脚本。虽然这种方法有诸多优势，但需要考虑馈送到 UUT/KGBM 中的数据类型。脚本创建法特别适用于有一定数量的输入、需要用无法预计的方法进行仿真的情况，比如抖动、伪随机噪声或数据。

体现为简单文本文件的磁盘文件激励法对简单数据流的加载来说是一种理想的方法。ASCII 文本文件只包含准备输入到设计中的值。比如可以使用 WaveGen 设计，这是赛灵思提供的参考设计，配套有 ISE® 工具套件，在许

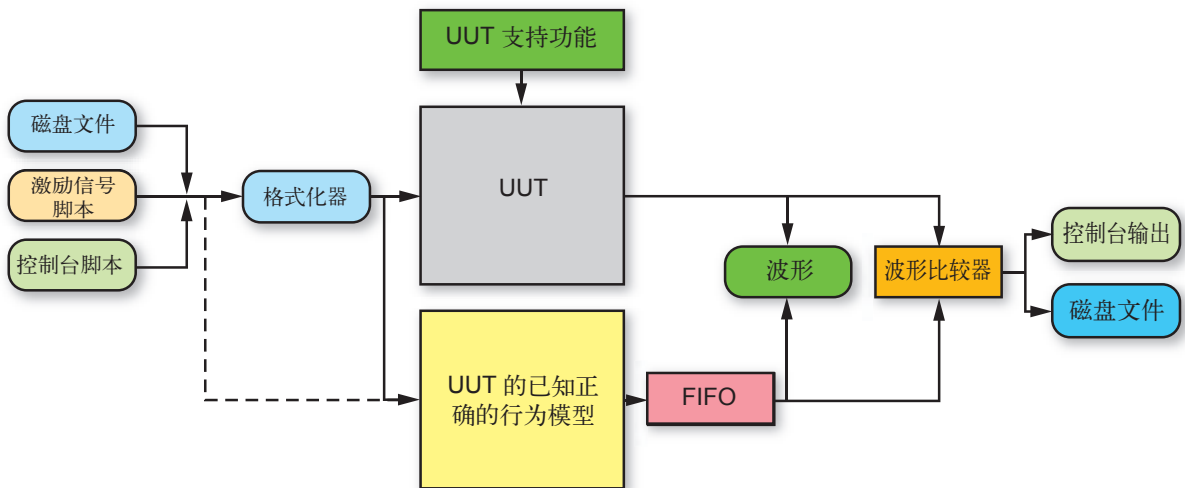


图 4 - 时间无关性自检测测试平台通用方框图

多客户培训课程中广为使用。不管激励信号的来源是什么，用户必须将信息转换为 UUT 能够理解的格式。可能需要某种“格式化器”来完成这项工作。由于 KGBM 只需要为行为建模，不需要为 UUT 的实际流程建模，故可以直接使用输入激励。比如，如果 UUT 需要处理包含在以太网包中的数据，则格式化器必须从激励信号源中采集该数据，

异步时序 FIFO

UUT 会受自己的时钟速度和架构时延的约束，但 KGBM 不会。由于 KGBM 是作为一个行为模型来构建的，所以重要的是功能而非时序（但任何其它器件使用的输出除外，比如 RS-232、以太网等）。因 KGBM 将先于 UUT 生成输出，故需要采取某种机制来调整 UUT 和 KGBM 的输出，

补偿输出的格式。WaveGen 样例可将 RS-232 流格式作为主要的输出。KGBM 则能够输出“字符”格式。这就意味着需要在波形比较器内部构建某种类型的 UART 接收器或等效的“反格式化器”（图 5）。

根据 UUT 和 KGBM 馈给的信息，波形比较器可检查两者的信息是否相符。如果相符，则将数据标注为

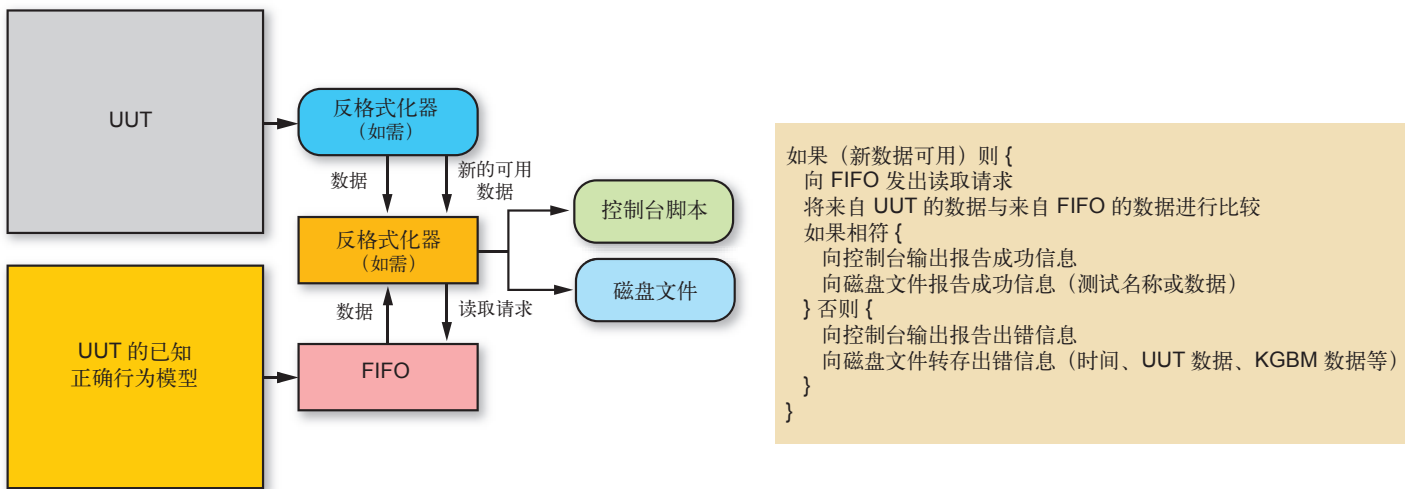


图 5 - 波形比较器的详细结构和伪代码

创建一个包，然后将这个包发送给 UUT。另一方面，KGBM 不需要任何信头信息（除非需要根据信头信息进行决策），而只需要数据本身。这就意味着用户可以将“原始”激励信息直接馈送到 KGBM，且使用格式化器为 UUT 封装激励信号。

使用为具体设计编码的 UUT 支持功能模块提供必要的时钟、复位和其它保持 UUT 运行所需的控制信号，以便其处理输入的数据。由于 KGBM 是不可综合的，因此所有的时序信号和复位信号均可保存在模型中，或与 UUT 共享。

以便它们同时馈给到波形比较器模块。异步 FIFO 非常胜任这类工作。

在 UUT 馈给输出（在时间上迟于 KGBM 的输出）时，波形比较器模块将从缓存 KGBM 数据的 FIFO 中读取下一条数据。通过这种方式，UUT 和 KGBM 之间的相对性能差异变得无关，因此无论 UUT 运行的是源级代码仿真、网表仿真还是布局布线后设计仿真均无大碍。UUT 的性能可自动得到补偿，用户在改变 UUT 仿真的类型时无需修改测试平台。

波形比较器

与激励信号一样，用户可能需要

“成功”，写出为仿真器控制台输出或者磁盘文件。如果 UUT 和 KGBM 的输出不相符，则比较器会显示适当的出错消息，提醒用户注意这种差异。如同使用正确数据一样，用户可以立即在控制台上观察到这种不相符，也可将其存储为 ASCII 磁盘文件，供后续分析使用。不管是通过控制台还是通过 ASCII 文件，文本输出的优势在于可能进行数据过滤。一般来说，用户只关心仿真是否成功。如果仿真不成功，文本文件有助于对仿真中何时出现不相符的情况进行锁定，便于用户从波形图采集更加深入的信息。一般来说，应向控制台发送

简单且高度相关的信息，将更详细的信息存储为文本文件。这样便于用户迅速浏览控制台的输出，查看哪些通过了测试，哪些没有。随后可阅读文本文件以了解详细情况。

用户也可以在发现不符的时候将仿真挂起。该功能可通过波形检查器模块实现。

对那些乐此不疲查看波形的用户，ISim 仿真器工具和大多数其它仿真器都默认以图形方式显示仿真状态。这种图形化的表示可以为调试工作提供更丰富的信息，因为在仿真器

式载入存储器中，然后以不同速率“回放”，从而构成一个简单的波形生成器。对具备此功能的演示板，可以音频速率用扬声器播放输出。

WaveGen 设计通过 RS-232 输入端接收 ASCII 文本命令和数据。因此激励文件需要包含完成下列功能的一套命令：将模式存储到存储器中，读出部分模式（以验证数据是否正确地存入存储器），配置“回放”速率，初始化自动回放。表 1 是 WaveGen 测试平台所需的 VHDL 与 Verilog 模块。

“理想”测试平台	VHDL 模块名称	Verilog 模块名称
格式化器	tb_uart_driver.vhd	tb_uart_driver.v
UUT	wave_gen.vhd	wave_gen.v
KGBM	tb_wave_gen_model.vhd	tb_cmd_gen.v
FIFO	tb_fifo.vhd	tb_fifo.v
波形比较器	tb_resp_checker.vhd	tb_resp_checker.vhd

表 1 - WaveGen 测试平台源代码的“理想”测试平台映射

运行的每个周期它都包含全部受监测的信息。正是由于发送给控制台和磁盘的文本信息中包含大量数据，用户才能够更快地“看到”成功的结果或锁定任何不符之处。

WAVEGEN 示例

WaveGen 参考设计是一种简单的设计，用于阐明 FPGA 开发工作中使用的多个重要概念，比如交叉时域、异步数据同步化以及多周期路径等。WaveGen 设计的基本功能是将一个模

简化编码工作

测试平台，尤其是经常使用的测试平台或用于一系列项目的测试平台，应具备自检功能与时间无关性。自检的方法是从文件或脚本提供激励信号（输入），为测试平台提供一致的、可重复的、可记录的输入，随后使用波形比较器对设计的已知正确行为模型的输出与设计的 UUT 的输出进行比较。这种比较可以自动进行，并可向控制台或以文本文件的形式（或者两者同时采用）报告各套输入的成功与失败，便于设计人

员迅速地检查成败情况。

用户可采用行为建模方式（而不是完全可综合的结构）编写 KGBM 代码。用这种方式编写代码比较简单（因为这种模型比 UUT 的开发时间短得多），而且能够在不给仿真时间造成显著影响的情况下较 UUT 更容易生成输出。理论上，KGBM 和 UUT 的输出值应与每个输入集相符，这样就便于检测和报告差异。



Bill Kafig is a senior content development engineer working in the Xilinx Global Training Solutions team.

He is currently neck-deep preparing for the release of the Zynq™ training material and has previously been involved with Xilinx’s partial reconfiguration, PCIe®, C-language, VHDL and other classes.

Prior to his joining Xilinx more than four years ago, Bill logged 25+ years of experience spreading the gospel of programmable logic throughout North America. He has done time as a project manager, systems engineer, consultant, FAE and digital grunt for a certain government agency.

Reach him at williamk@xilinx.com.

新一代低噪声 DC/DC 转换器

PowerSoC 兼具开关式转换器的效率优势和线性调节器的尺寸和噪声特性。

作者: Michael G. Laflin
Enpirion 公司市场营销总监
mflafin@enpirion.com

Austin Lesea
赛灵思公司首席工程师
Austin.Lesea@xilinx.com

为了提高转换效率，FPGA 系统的设计人员正在放弃使用线性调节器，转而采用开关式 DC/DC 转换器。虽然开关式 DC/DC 转换器可以显著提高效率，但设计复杂性也会相应提高，同时还会增加器件数量和封装尺寸。对于高速 I/O 而言，最重要的问题在于开关式 DC/DC 转换器可能会引入噪声。

名为 PowerSoC 的新型 DC/DC 转换器能够最大程度地降低各种噪声成分，而且其对高速 I/O 的供电性能可以比肩甚至超越线性调节器。

PowerSoC 由 Enpirion 公司于 2004 年推出，它将整个 DC/DC 转换器集成到单个 IC 封装中，其中包括控制器、门驱动器、MOSFET 开关、高频去耦以及最重要的电感器。大多数 PowerSoC 只需要输入和输出滤波电容器，因此整个解决方案

既简单又小巧。

这种结构非常简单的同步开关式 DC/DC 转换器由一对 MOSFET 开关、一个电感器和输入、输出滤波电容器组成。图 1 显示的是处于开关周期中的转换器及其相关的直流 (DC) 和交流 (AC) 路径。当 SW1 闭合 (SW2 开放)，来自电源的电流经电感器流到负载，同时输入和输出滤波电容器对高频交流电流进行“分流”。当

SW2 闭合 (SW1 开放)，存储在电感器中的能量在开关周期的后半程为负载继续提供电流。开关的开闭和 高频 AC 电流的流动会产生噪声。

噪声和降噪策略

步降 DC/DC 转换器首先高效地将直流电压转换为交流电压，然后用滤波器将其转变成伪直流电压。这一过程会产生四种类型的噪声：转换器直流输出

上的纹波噪声、转换器输入电源上的纹波噪声、辐射电磁噪声、传导电磁噪声。

每种无源电气器件除了自身的基本特性 (电阻、电容、电感) 以外，都有另外两种寄生特性：比如对电容而言，就有等效串联电阻 (ESR) 和等效串联电感 (ESL)；对电阻而言，则有等效串联电感和等效并联电容。

输出纹波是开关产生的高频脉动直流经过输出电容滤波后的副产物。图 2 显示了输出滤波电容器的小信号模型以及模型中每个元素对输出纹波波形所起的作用。请注意，输出滤波电容器的 ESL 与 PCB 回流路径走线的寄生电感和转换器的内部寄生电感相结合，就构成了输出滤波器环路的总 ESL。该 ESL 通过感应“振铃”引起大量高频尖峰。

大多数 DC/DC 转换器供应商的产品说明书会提供低通滤波纹波波形，但一般无法可靠反应出给定应用 PCB 板上测得的真实纹波情况。

要从根本上降低输出纹波，您可降低纹波电流，也可以降低电容的 ESR 和 ESL 以及 PCB 走线的 ESL。提升开关频率可降低给定电感值下的纹波电流，并允许采用尺寸更小的低 ESR/ESL 陶瓷电容。但是，开关频率升高会增大 MOSFET 开关的开关损耗，并给效率造成不利影响。

就如将电阻并联可以降低总电阻一样，将多个电容器并联可以降低 ESR/ESL。但是增加电容器的数量会增加 PCB 上的 ESL，同时还会增加转换器占用的 PCB 空间。

采用较小的滤波器组件 (电感和电容) 缩短 PCB 的长度可以起到控制 PCB ESL 的作用。但遗憾的是，较小

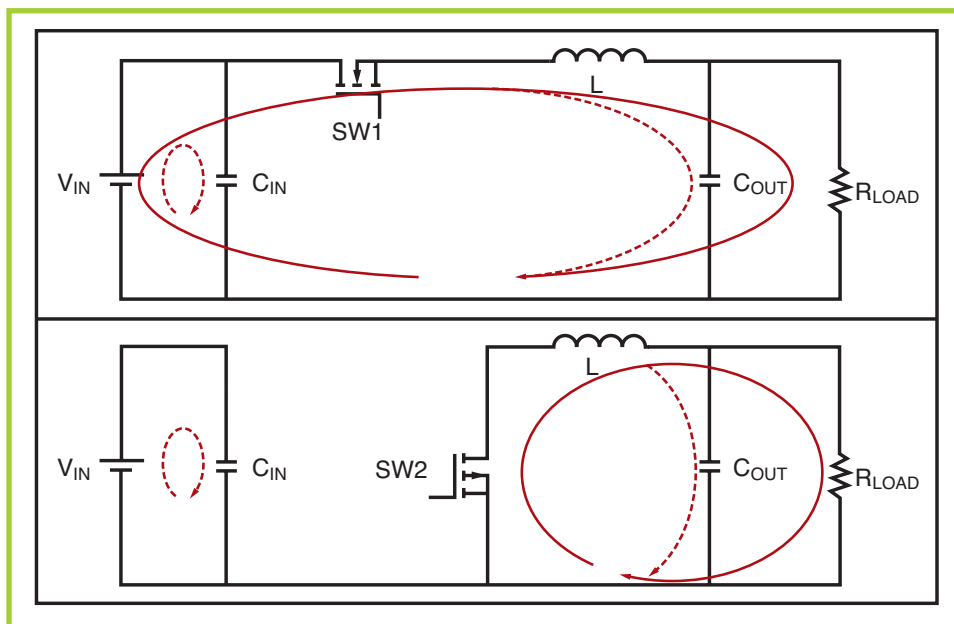


图 1 - 在这个同步步降 DC/DC 转换器的简图中，红色实线代表直流电流，红色虚线代表高频交流电流。

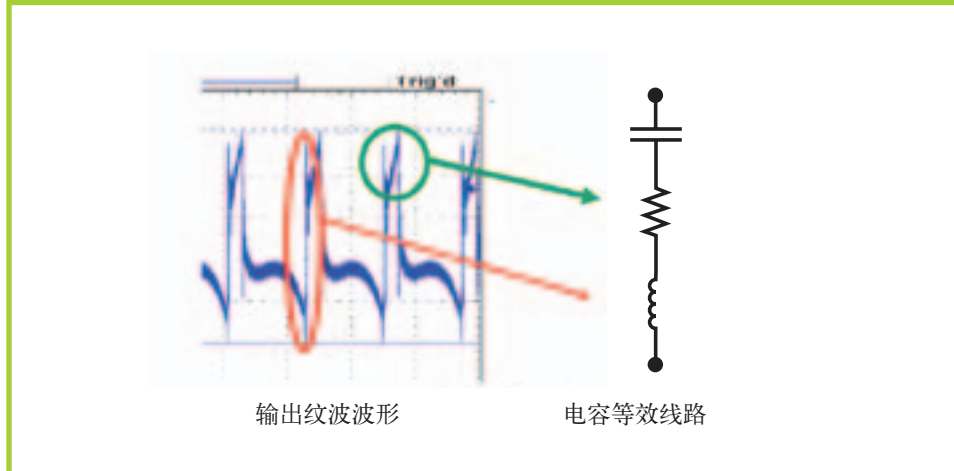


图 2 - 输出电压纹波组件和来源

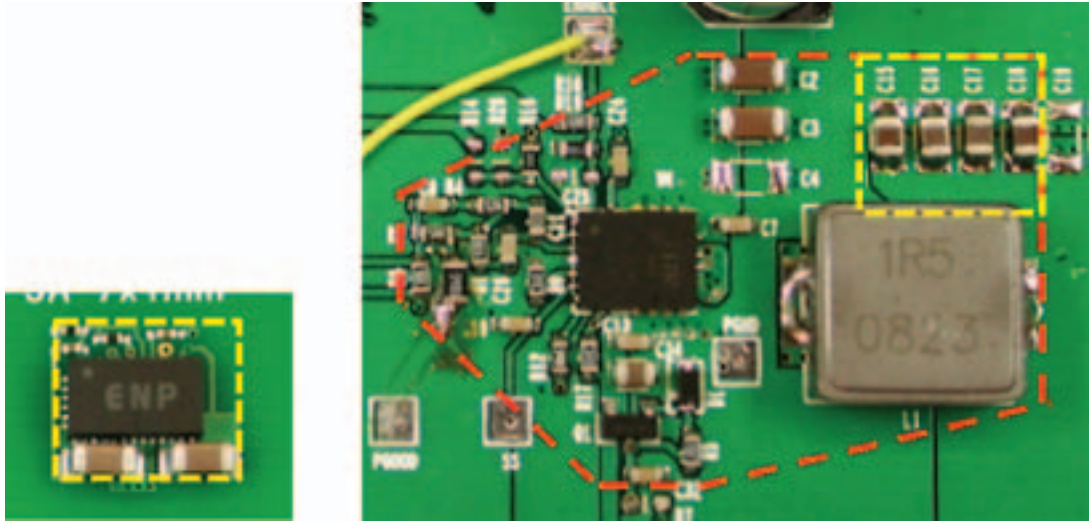


图 3 - 典型的 4A 转换器解决方案封装对比。PowerSoC（左边）的输入和输出交流环要小得多，尺寸仅是典型离散设计方案的 1/7。
照片左侧黄色虚线长方形代表 PowerPC 的尺寸，右侧红色虚线框为离散 DC/DC。

的电感通常会在不增加开关频率的情况下增大纹波电流。

另一种方法是使用二级滤波，比如在 DC/DC 输出滤波器和目标负载之间放置铁氧体磁珠和电容。这种方法的缺陷在于更多的有损元件会影响调节性能并导致效率降低。

输入电压纹波

随着 SW1 MOSFET 的开闭，来自电源 (VIN) 的电流会以接近矩形脉冲的波形流出。起伏时间非常短，仅为几纳秒。

与输出滤波器电容 ESR 和 ESL 以及 PCB 走线 ESL 生成输出纹波的方式非常类似，输入滤波器电容的 ESR 和 ESL 以及电源 PCB 走线的 ESL 也会产生输入纹波。但是，输入电流纹波的幅度却要大得多，且电流随时间变化也非常大 (di/dt)。因此 PCB 电感的影响会更加明显，且输入滤波器电容必须能够承受更大的 RMS 电流。这种高速开关的大电流

也是传导和辐射电磁噪声 (EMI) 的主要来源。

与输出滤波器电容相似，采用较高的开关频率允许使用尺寸更小、ESR/ESL 更低的陶瓷输入滤波器电容。但同样需要注意开关损耗增大的问题。

降低开关损耗的策略之一是最大限度地减小输入滤波器回路的寄生电感。实现的主要方法是让滤波电容器尽量贴近 DC/DC 转换器，并让 PCB 走线尽量短而宽。您应避免将输入滤波电容器放置在 PCB 板的另一面，再用过孔将其与 DC/DC 转换器相连。这样会在电流环中产生大量电感。

发射电磁噪声

发射电磁噪声由输入交流电流环中高速开关的大电流产生。回忆一下您所学过的电磁场课程，环形天线的辐射效率就是环半径与辐射波长的函数。

这个等式用于计算出半径为 r 的

$$P_{RAD} = \eta \frac{\pi \left(\frac{2\pi r^2}{\lambda} \right)^4}{12} |I_0|^2$$

环形天线在波长为 λ 时的辐射功率，其中 η 为自由空间常数。请注意等式中环半径 r^8 和波长 λ^4 的关系。因此，如果提高频率允许使用较小的组件进而降低输入电流环的半径，那么这样做的优势还是很明显的。

降低发射电磁噪声的最佳策略是缩小输入交流环的半径。您可以通过提升开关频率从而使用较小尺寸的陶瓷滤波电容器来做到这点。在这里同样需要注意由开关频率升高而带来的开关损耗增大问题。

传导电磁噪声

传导电磁噪声有两个主要来源：首先是来自输入电压轨的高速开关输入电流，它可同时产生电源纹波（差

使用专门的深亚微米高频 LDMOS 工艺 可实现低开关损耗以及控制、驱动和 开关元件的完美集成。低开关损耗使得高开关频率 (一般为 5MHz) 的使用成为可能。

分模式) EMI 和地弹 (共模) EMI; 另一个主要来源则是电感器磁通泄漏到电路板 PCB 走线上造成的耦合。

在这里, 首选缓解策略是正确选择输入滤波电容器的尺寸, 以提供高频交流电流或对高频交流电流进行滤波, 从而尽量减小供电轨上的电流。

另外, 应尽量减少输入交流电流环路的寄生电感和 ESL。实现方法是尽量提高开关频率, 以便使用低 ESL 的陶瓷电容器。这样做可以缩小环路半径。同样, 采用更高频率会造成开

利用 POWERSOC 降低噪声

在生产 PowerSoC 器件的时候, Enpirion 使用专门的深亚微米高频 LDMOS 工艺不仅实现了低开关损耗, 而且实现了控制、驱动和开关元件的完全集成。低开关损耗使高开关频率 (一般为 5MHz) 的使用成为可能。

高密度、高磁导率、小尺寸的磁性材料能以低直流阻抗实现极低的交流损耗。这种磁性材料和磁结构具有自屏蔽特性, 可降低磁通泄漏。在高开关频率下可使用物理尺寸很小的电

设计, 从而最大程度地降低了发射电磁噪声、传导电磁噪声和纹波。封装设计还采用 RF 技术来最大程度地降低内部线路元件的寄生阻抗, 从而将高频交流电流约束在封装内部。

图 3 和图 4 是 PowerSoC 和分立元件 DC/DC 转换器设计之间的比较。

使用 POWERSOC 为 ROCKETIO 供电

我们为赛灵思 Virtex[®]-5 开发板设计和制作了一个子卡。我们使用 Enpirion 设备为开发板供电, 并分别测量线性调节器、有二级滤波 PowerSoC 和没有二级滤波 PowerSoC 三种转换方案的抖动情况。PowerSoC 在有二级滤波和没有二级滤波情况下的抖动分别为 77.2 和 78.3 皮秒。线性调节器的抖动为 78 皮秒。

很明显, PowerSoC 是面向 FPGA 设计人员的又一款功能强大的新工具。在从线性调节器电压转换器向更高效的开关式转换器过渡的过程中, 采用这种器件能够避免很多问题。PowerSoC 不仅具备线性调节器的小尺寸和易于设计的优势, 而且具有开关式转换器的高效率特点, 同时又可避免分立转换器在噪声和复杂性方面的不足。

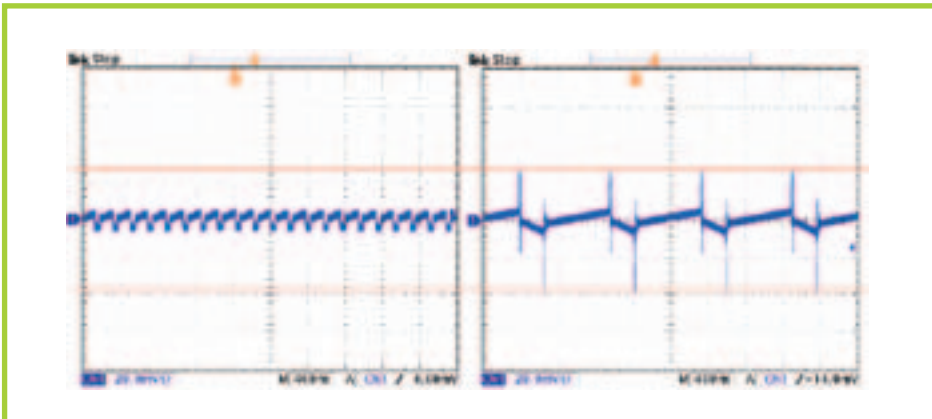


图 4 - PowerSoC (左) 和分立元件 DC/DC 转换器设计 (右) 的输出纹波电压比较。采用相同的设备和方法在厂商评估板上测量纹波。测量带宽为 500MHz。

关损耗增大。

再有, 应尽量缩短并加宽输入滤波电容器的 PCB 走线, 从而降低走线电感。最后, 使用带屏蔽的电感器降低磁通泄漏。

感器以及较小的输入和输出滤波电容器。这样就可以实现极小的输入和输出交流环路, 降低纹波和 EMI。

在封装布局上, 采用了可以进一步缩小输入和输出交流滤波器环路的

赛灵思28纳米产品出货创纪录！Design Win金额已达10亿美元

赛灵思公司 Virtex-7 FPGA 驱动了最高系统带宽发展；Kintex-7 FPGA 满足了严苛的成本和功耗需求；Zynq-7000 EPP 可扩展处理平台实现了无可比拟的性能和灵活性

全球可编程平台领导厂商赛灵思公司 (Xilinx, Inc. (NASDAQ:XLNX)) 宣布, 其最新的产品线——28nm 现场可编程门阵列 (FPGA) 以及其 EPP 可扩展处理平台, 赢得 10 亿美元的设计采纳 (Design Wins), 为可编程逻辑器件 (PLD) 行业树立了一个崭新的里程碑。迄今为止, 赛灵思在全球已经出货了数以千计的 Virtex[®]-7, Virtex-7 2000T 2.5D 堆叠硅片互联 (SSI), Kintex[™] -7 和 Zynq[™] -7000 器件, 支持 90 多个不同的客户, 赢得将近 350 个设计采纳。借助赛灵思 28nm 器件, 工程研发团队可以在赛灵思不同的产品系列之间轻松地设计迁移, 同时可以针对多种不同的应用, 构建可以跨越整个产品系列的、可升级的灵活的系统架构, 这些应用包括高性能的防空雷达和视频处理系统, 尖端的 200G 有线通信系统和 LTE 无线通信设备, 超高分辨率的医疗成像, 生命科学研究的先进工具, 保障行驶安全的汽车驾驶辅助系统, 高精工厂自动化设备等等。

采用台积电的 28nm HPL 高性能低功耗 (high-performance/low power) 工艺的赛灵思 28nm 架构和完全针对市场需求而定制的广泛的产品组合, 使得赛灵思创造了 PLD 行业产品出货的最快记录。仅仅用了 11 个月, 赛灵思就出货了五大产品系列的四个系列。和上一代产品仅推出两款产品系列的首批器件发货速度相比, 时间减少了一半以上。赛灵思为加速系统开发和集成, 还同时推出了三个全新的 7 系列目标设计平台。这些目标设计平台是赛灵思和生态系统合作伙伴成员即将推出的近 40 款套件中的第一批, 用于支持嵌入式和高速连接功能应用, 满足汽车、广播、消费、工业和通信等市场的需求。每款套件配套提供的参考设计可为 FPGA 新手和经验丰富的设计人员提供理想的设计起点, 有助于迅速完成设计工作, 同时实现最佳性能、最低功耗和最高带宽, 以及充分利用赛灵思 FPGA 的丰富特性。

依元素科技培训课程时间表 2012/5 至 2012/7

培训课程	培训时间	5月	6月	7月
使用 7 系列产品进行设计	2 天	2-3 日 深圳	4-5 日 北京	2-3 日 北京
使用 PlanAhead 分析与设计工具进行高级设计	2 天	3-4 日 北京	6-7 日 深圳	
Xilinx 部分重配置工具和技术	2 天	21-22 日 西安	11-12 日 北京	5-6 日 深圳
利用 Spartan-6 和 Virtex-6 系列进行设计	3 天	9-11 日 上海	4-6 日 北京	23-25 日 深圳
Xilinx FPGA 的基本 DSP 实现技术	2 天	2-4 日 成都	12-14 日 上海	18-20 日 上海
使用 PlanAhead 分析与设计工具进行基本设计	2 天	28-29 日 北京	21-22 日 武汉	12-13 日 上海
FPGA 设计基础	1 天	21-22 日 武汉	21-22 日 武汉	
面向性能的设计	1 天	14 日 西安	15 日 武汉	20 日 成都
Xilinx FPGA 的信号完整性和电路板设计	2 天	2-3 日 北京	5-6 日 上海	23-24 日 武汉
高级 FPGA 设计	3 天	22-24 日 成都	19-21 日 北京	24-25 日 北京
利用 Virtex-5 FPGA 系列进行设计	2 天	22-23 日 上海	7-8 日 深圳	26-27 日 深圳
设计 LogiCORE PCI Express 系统	1 天			27 日 北京
利用 VHDL 进行设计	2 天	9-10 日 北京	18-19 日 上海	26-27 日 北京
嵌入式系统开发				16-17 日 深圳
利用 System Generator 进行 DSP 设计	2 天	17-18 日 上海	20-21 日 北京	19-20 日 成都
利用以太网 MAC 控制器进行设计	2 天	7-8 日 西安	7-8 日 西安	
利用千兆位级串行 I/O 进行设计	2 天	24-25 日 深圳	6-7 日 西安	5-6 日 成都
利用 ChipScope Pro 调试和验证	3 天		26-28 日 上海	25-27 日 北京
嵌入式系统软件开发	1 天	21 日 上海	1 日 深圳	30 日 北京
嵌入式开发源码 Linux 开发	2 天	28-29 日 北京	4-5 日 武汉	30-31 日 深圳
Xilinx 在线培训课程 (WebEx)	2 天	14-15 日 武汉	28-29 日 深圳	26-27 日 上海
在线老师现场授课 (学员于线上学习, 老师提供最新的实验项目的现场操作和答疑并进行专业辅导, 直接带给学员 FPGA 项目设计的亲身体验)	培训课程	5 月	6 月	7 月
	FPGA 设计基础 (免费)	4 日	11 日	6 日
	面向性能的设计	21-22 日	14-15 日	9-10 日
线上授课老师都获 Xilinx 认证, 并具有丰富的 FPGA 系统项目经验。	高级 FPGA 设计	24-25 日	27-28 日	16-17 日
现场的课堂教学和实验	PlanAhead 分析与设计	10-11 日	21-22 日	26-27 日
答疑 (Q&A) (现场解答学员在学习和实验中遇到的问题)	利用 Spartan-6 系列进行设计	7-8 日	18-19 日	23-24 日

有关报名注意事项:

请联系: 北京: 电话: 010-8275-7632, 传真: 010-8275-6745
 深圳: 电话: 0755-86186715, 传真: 0086-755-86186700,
 电子邮件: training@e-elements.com
 地址: 北京市海淀区上地信息路 15 号金融科贸大厦 307 室
 网址: www.e-elements.com

赛灵思 中国销售代表



缘隆有限公司

- 北京 电话: (010) 6266 9572
- 成都 电话: (028) 8509 1261
- 上海 电话: (021) 6439 2771
- 深圳 电话: (0755) 8253 7068
- 南京 电话: (025) 8638 0963

赛灵思 中国 / 香港地区分销商



安富利电子元器件部

- 香港 电话: (852) 2176 5388
- 北京 电话: (010) 8206 2488
- 成都 电话: (028) 8652 8262
- 上海 电话: (021) 3367 8330
- 深圳 电话: (0755) 8378 2949



科通数字技术部

- 香港 电话: (852) 2730 1054
- 北京 电话: (010) 5172 6678
- 成都 电话: (028) 8513 1563
- 上海 电话: (021) 5169 6680
- 深圳 电话: (0755) 2698 8221



欢迎各位作出反馈讯息和建议
 传真: (852)2429-6772
 电邮: xcell-china@xilinx.com

赛灵思 中国 / 香港代表处

香港 电话: (852)2424 5200 传真: (852)2494 7159
 上海 电话: (86)21-5131 6060 传真: (86)21-5198 1020
 深圳 电话: (86)755-8660 6588 传真: (86)755-2583 0986

电邮: ask-china@xilinx.com
 电邮: ask-china@xilinx.com
 电邮: ask-china@xilinx.com

更多的联络点请查询: www.xilinx.com/cn

技术支持: www.xilinx.com/cn/support



性能加倍， 功耗减半



赛灵思7系列FPGA， 无需妥协的创新！

全新7系列FPGA器件建立在行业唯一的统一架构之上，为您的创意变成现实提供充分灵活的选择！

满足您提高性能、降低功耗的设计需求；利用新一代ISE设计套件为您的开发加速！

创新，用您需要的性能和灵活性，引领世界不断进步！

www.xilinx.com/cn/7

ARTIX⁷
超低功耗 超低成本

KINTEX⁷
超值价格 超高性能

VIRTEX⁷
超高系统性能 超大容量

赛灵思公司 香港 电话: (852)2424 5200
传真: (852)2494 7159

上海 电话: (021)5131 6060
传真: (021)5198 1020

深圳 电话: (0755)8660 6588
传真: (0755)2583 0986



中国销售代表
缘隆有限公司

- 北京 电话 : (010) 6266 9572
- 成都 电话 : (028) 8509 1261
- 上海 电话 : (021) 6439 2771
- 深圳 电话 : (0755) 8253 7068
- 南京 电话 : (025) 8638 0963



中国/香港地区代理商
安富利电子元件部

- 香港 电话 : (852) 2176 5388
- 北京 电话 : (010) 8206 2488
- 成都 电话 : (028) 8652 8262
- 上海 电话 : (021) 3367 8387
- 深圳 电话 : (0755) 8378 1886



中国/香港地区代理商
科通数字技术部

- 深圳 电话 : (0755) 2698 8221
- 北京 电话 : (010) 5172 6678
- 上海 电话 : (021) 5169 6680
- 武汉 电话 : (027) 8769 0655
- 成都 电话 : (028) 8513 1563