



XAPP453 (v1.1) 2006 年 4 月 3 日

Spartan-3 FPGA 的 3.3V 配置

作者：Kim Goldblatt

提要

本应用指南提供了一种方法可从 3.3V 接口对 Spartan™-3 和 Spartan-3L FPGA 进行配置。它针对每种配置模式都提供了一组经验证的连接框图。这些框图是完整且可直接使用的解决方案。

简介

通过将位图数据写进配置端口，配置过程将用户的设计写进 FPGA。就 Spartan-3 和 Spartan-3L 系列而言，配置过程和端口在各方面都是一样的。与端口相关的是一些配置信号。最简单最直接的接口可使用摆幅为 2.5V 的电压（如使用 LVCMOS25 的标准配置）。这种接口需要的外部部件最少。

FPGA 不仅可通过配置端口来编程，也可通过 JTAG（边界扫描）接口来进行。最简单的 JTAG 接口也是使用 2.5V 的信号（如 LVCMOS25）。

目前许多板上的器件，如 PROM 或微控制器，可能只能够在 FPGA 的配置和 JTAG 端口驱动 3.3V 的信号。在这种情况下，使用 3.3V 信号进行配置是很容易实现的，仅需添加少数几个外部电阻。

配置和 JTAG 引脚

配置引脚分为两类，*专用 (Dedicated)* 或 *双用 (Dual-Purpose)*。每个专用引脚携带一个为某种特殊目的专用的信号。每个双用 (Dual-Purpose) 引脚在配置过程中携带一个指定信号，而在用户模式时，引脚将用作 I/O。JTAG 引脚全部是专用的。

专用配置引脚为 PROG_B、HSWAP_EN、CCLK、DONE 和 M0-M2。专用 JTAG 引脚为 TDI、TMS、TCK 和 TDO。所有这些引脚均使用 V_{CCAUX} 来给它们相关的内部电路供电。

双用配置引脚为 INIT_B、DOUT、BUSY、RDWR_B、CS_B 和 DIN/D0-D7。每一引脚，根据其所在的位置 (Bank)，可由 Bank 4 (VCCO_4) 或 Bank 5 (VCCO_5) 的 V_{CCO} 来供电。所有在串行模式下使用的引脚（INIT_B、DOUT 和 DIN）都由 VCCO_4 供电。在并行配置和读回模式下使用的引脚，不仅需要使用 VCCO_4 来给 D0-D3 和 BUSY 引脚供电，还需要 VCCO_5 来给 D4-D7、RDWR_B 和 CS_B 引脚供电。

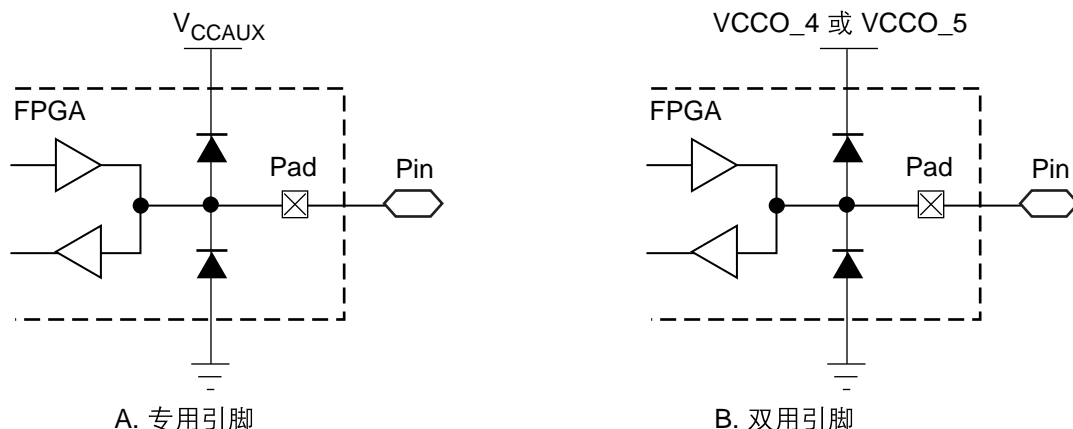
表 1 按类别列出配置和 JTAG 引脚并指明相关的供电线。

表 1: 专用和双用引脚

引脚	Bank	V _{CCAUX}	V _{CCO}		V _{REF}
			输出	输入	
专用引脚					
PROG_B	-	2.5V	-	-	-
HSWAP_EN	-	2.5V	-	-	-
TDI	-	2.5V	-	-	-
TMS	-	2.5V	-	-	-
TCK	-	2.5V	-	-	-
TDO	-	2.5V	-	-	-
CCLK	-	2.5V	-	-	-
DONE	-	2.5V	-	-	-
M0-M2	-	2.5V	-	-	-
双用引脚					
INIT_B	4	-	-	VCCO_4	-
DOUT	4	-	VCCO_4	-	-
BUSY	4	-	VCCO_4	-	-
DIN	4	-	-	VCCO_4	-
D0-D3	4	-	VCCO_4 用于读回	VCCO_4 用于配置	-
D4-D7	5	-	VCCO_5 用于读回	VCCO_5 用于配置	-
RDWR_B	5	-	-	VCCO_5	-
CS_B	5	-	-	VCCO_5	-

专用和双用引脚的理想电路结构

专用和双用引脚内部 I/O 结构的主要区别在于供电。图 1 表示针对各个引脚类别理想的双向 I/O 电路。如上所述，V_{CCAUX} 给专用引脚 (A) 供电，而 V_{CCO} (Bank 4 或 5) 给双用引脚 (B) 供电。只提供输入功能的引脚缺少电路的驱动部分。只提供输出功能的引脚缺少电路的接收部分。一个漏极开路 (open-drain) 引脚，比如 INIT_B 或 DONE (当如此配置时)，有一个驱动器来拉低逻辑电平和一个接收器来识别信号状态。



X453_09_011005

图 1: 针对专用和双用引脚的理想 I/O 电路

通过设计，所有携带信号的 FPGA 引脚都可处理 3.3V 信号。一对二极管与每一个这类引脚相关联。上面的或与电源连接的二极管在供电线和 I/O 引脚之间。下面的或与地连接的二极管位于引脚和地之间。这些二极管都针对每个信号标准出现，总是如此。

正常工作时，这些二极管通常是关断的，因此，察觉不到它们的存在。在 Spartan-3 数据手册的绝对最大额定值表格中 V_{IN} 的技术规格要求 I/O 引脚电压 (V_{IN}) 小于或等于供电线电压 (V_{CCAUX} 或 V_{CCO}) 加上二极管导通电压 ($\sim 0.5V$)。只要满足下述适用条件，与电源连接的二极管则关断：

- ◆ 针对专用引脚：

$$V_{IN} \leq V_{CCAUX} + 0.5V \quad (1)$$

- ◆ 针对双用引脚：

$$V_{IN} \leq V_{CCO} + 0.5V \quad (2)$$

当进行 3.3V 配置时，只要不满足上述适用条件，与电源连接的二极管就可能导通。例如，供电线电压 (V_{CCAUX} 或 V_{CCO}) 为 2.5V，对 I/O 引脚直接应用 3.3V 信号，使得电流通过与电源连接的二极管，就能实现我们的应用解决方案。

标准配置接口

标准配置接口对所有信号均使用 LVCMOS25（摆幅为 2.5V、12 mA 驱动和快速斜率）。它对 V_{CCAUX} 供电线以及 V_{CCO_4} 和 V_{CCO_5} 供电线使用 2.5V 的供电电压。Spartan-3 数据手册详细讨论了标准配置，不仅在模块 3 中说明了时序技术要求，在模块 2 中还有功能描述和连接框图。Xilinx Platform Flash PROM 数据手册还提供了其他的连接框图。

从上电到配置结束，标准配置接口仅要求 V_{CCO_4} 和 V_{CCO_5} 线上的电压为 2.5V。配置结束后，可能可以切换到 2.5V 以外的信号允许摆幅的供电电压，这要根据应用的需求来定。这种方法在配置过程中允许标准接口，然后在用户模式下启动双用 I/O 以处理 3.3V 信号。

标准 JTAG 接口针对其全部四个信号使用 LVCMOS25。这种情况下，相关的 V_{CCAUX} 供电线与平时一样为 2.5V。Xilinx Platform Flash PROM 数据手册提供了标准 JTAG 接口的连接框图。

获得 3.3V 配置接口的方法

当必需使用 3.3V 信号来配置 Spartan-3/3L FPGA 时，本应用指南提出的解决方案是很有用的。这一要求可能是因为下列原因而提出：

1. 外部器件仅能向 FPGA 提供 3.3V 配置信号。信号不能具有 2.5V 摆幅。
2. 在用户模式下，双用引脚需要用作 3.3V I/O 时，配置过程结束后，可能不希望将 VCCO_4 和 VCCO_5 供电线电压从 2.5V 切换到 3.3V。

获得 3.3V 耐压配置接口的推荐方法，针对专用和双用引脚及其相关的供电线都是不同的。

双用引脚

要启动双用引脚，向 FPGA 的 VCCO_4 和 VCCO_5（如需要）供电线应用 3.3V 电压。使用更高电压替代标准 2.5V 电压，提高双用输出的高逻辑电平，与此同时，成比例地增加输入的开关阈值。

双用输出 DOUT、BUSY 和 D0-D7（读回过程中）现在从接地切换到 3.3V。按需求直接将这此输出连接到任意兼容外部器件的 3.3V 输入上。这样，噪声容限即完全适合 3.3V 信号。

双用 INIT_B 引脚是漏极开路输出。从 INIT_B 引脚到 VCCO_4 供电线之间的内部上拉电阻允许高逻辑电平。作为标准推荐，将 4.7K Ω 的外部上拉电阻也从 INIT_B 引脚连至 VCCO_4 供电线上（在 3.3V 时）。当配置多个 FPGA 时，将所有 INIT_B 引脚连在一起。在最后这种情况下，在普通节点和 VCCO_4 供电线之间连接一单个外部上拉电阻。

双用输入 INIT_B（监视功能）、DIN、D0-D7（配置过程中）、RDWR_B 和 CS_B 可接受直接来自外部器件的 3.3V 信号。V_{CCO} 供电线处于 3.3V 时，针对双用引脚的 V_{IN} 条件（请参见第 3 页公式 2）得到满足，与电源连接的二极管关断。

专用引脚

要启动专用引脚，向 FPGA V_{CCAUX} 供电线应用 Spartan-3 数据手册中所规定的 2.5V 电压。

V_{CCAUX} 为 2.5V，专用输出 TDO、DONE（BitGen 选项 DriveDone = Yes）和 CCLK（在主配置模式下）的输出幅度为 0V 到 2.5V。按需求直接将这此输出连接到任意兼容外部器件的 3.3V 输入上。高逻辑电平 V_{OH}，针对 LVCMOS25 标准在 FPGA 专用输出上为 2.5V，而 V_{IH} 在外部接收器的 3.3V LVCMOS 输入上的最小值为 2.0V。对于配置的目的来说，结果为 500mV 的噪声容限是合理的。

专用 DONE 引脚在 BitGen 选项 DriveDone 设为 No 时，成为漏极开路输出。这种情况下，将一个 330 Ω 的外部上拉电阻从 DONE 引脚连至 V_{CCAUX} 供电线（在 2.5V 时）。当配置多个 FPGA 时，将所有 DONE 引脚连在一起。在最后这种情况下，在普通节点和 V_{CCAUX} 供电线之间连接一单个外部上拉电阻。漏极开路选项有其用处，但在很多应用中，如果只因为它允许更快的转换时间的话，DONE 引脚使用全部标识极驱动 (DriveDone = Yes) 是更可取的。

将 2.5V V_{CCAUX} 供电线和 3.3V 信号应用于专用输入，V_{IN} 条件不能满足。因此，内部与电源连接的二极管导通，引起反向电流从输入流到 V_{CCAUX} 供电线。建议将电阻 (R_{SER}) 与输入串联以限制电流。选择电阻值以将电流维持在 10 mA 或以下。使用 IBIS 模型进行的最坏情况加载线分析，结果表明 5% 的 68 Ω 的电阻可将输入电流刚好维持在了 10 mA 以下。因此，需要将这样的电阻与专用输入 PROG_B、TDI、TMS、TCK 和 CCLK 串联起来（对从配置模式而言）。剩下的专用输入 HSWAP_EN 和 M0-M2 通常是静态的。根据应用的需要，将这些输入直接接地或连接至 V_{CCAUX}。

控制反向电流

如上一部分所述，将 3.3V 信号应用到任意专用输入 PROG_B、TDI、TMS、TCK 和 CCLK (从模式) 都会引起反向电流流入 V_{CCAUX} 供电线。

图 2 说明反向电流的和 (I_{REV}) 是所有输入电流 (I_{IN}) 共同累加的结果。

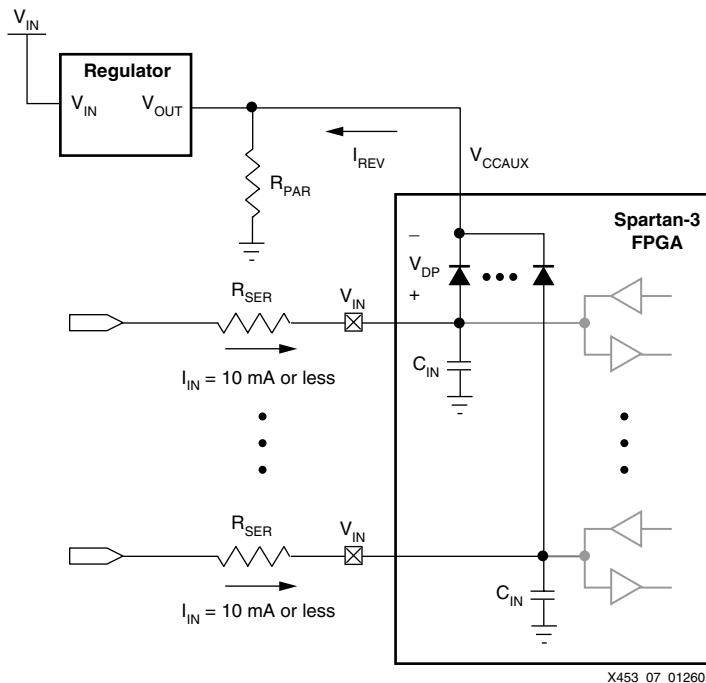


图 2: 针对稳压器的反方向电流解决方案

N 个专用输入在与电源连接的二极管导通的情况下， I_{REV} 是 I_{IN} 电流的总和：

$$I_{REV} = \sum_{i=1}^N I_{IN} \tag{3}$$

串联电阻 (R_{SER}) 将每个二极管电流限制到 10 mA，则

$$I_{REV} = N (10\text{mA}) \tag{4}$$

反向电流不会干扰 FPGA 工作。但仍需注意确保正确调节 V_{CCAUX} 电压。有两种方法可以保证 V_{CCAUX} 稳压器工作正常：

1. 使用指定的稳压器维持想要的输出电压，吸收预期的反向电流。
2. 从稳压器输出到接地 (图 2) 添加分流电阻 (R_{PAR})。选择 R_{PAR} 以带有与 I_{REV} 相等的电流，如下：

$$R_{PAR} = \frac{V_{CCAUX} \text{ min}}{I_{REV}} \tag{5}$$

针对 R_{PAR} 使用小于或等于公式 5 计算所得值的标准电阻。

几个输入和与电源连接的二极管可能导致 I_{REV} 值太大，所以公式 5 会计算出很低的 R_{PAR} 值。在这种情况下，可以通过将 R_{SER} 阻值加大到 68 Ω 以上来增加 R_{PAR} 值。更高阻值的 R_{SER} 会减小 I_{IN} 电流因而减缓信号转换。请确保转换时间不会太长。

关于这两种控制反向电流方法的更多信息，请联系您的电源解决方案的最佳供应商。

3.3V 配置的连接框图

以下各图表示如何针对 Spartan-3 和 Spartan-3L 器件的 3.3V 配置来连接专用和双用引脚。每幅图各自针对不同配置模式而提供。

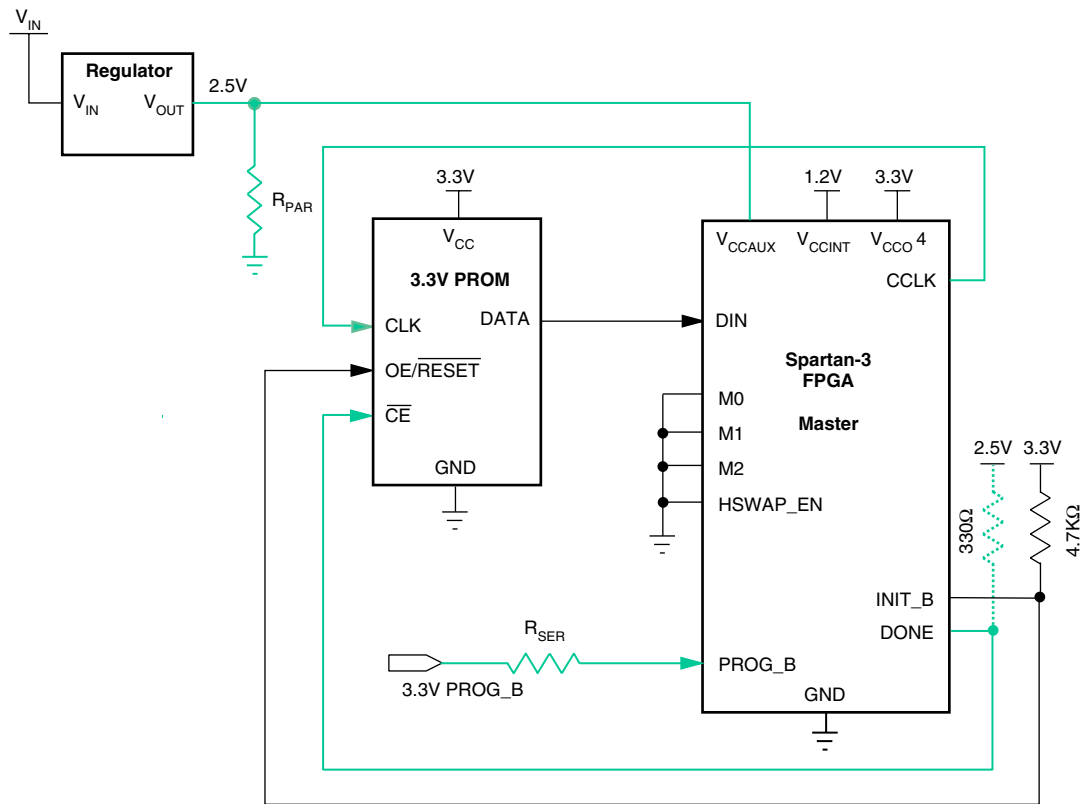
在每幅图中，黑色实线代表信号路径，与标准 2.5V 接口版本中的相同。作为 3.3V 接口的一部分，不需要对这些线做特殊考虑。

灰色实线（监视器中看到的绿线）针对采用特殊方法获得 3.3V 耐压说明了信号路径。这些线表示电阻 R_{SER} 和 R_{PAR} 的添加位置，前者限制了流入专用输入的电流，后者保证了恰当的功率调整。灰色实线也表明降低的噪声容限与专用输出有关。关于噪声容限和电阻的更多信息，请查看“[获得 3.3V 配置接口的方法](#)”。

灰色虚线（监视器中看到的绿线）表示连接在漏极开路 DONE 引脚上的上拉电阻。这一电阻仅在 BitGen 选项 DriveDone = No 时才添加。当上拉电阻连接至 2.5V 供电线时，DONE 输出显示噪声容限降低。当 DriveDone = Yes 且没有上拉电阻时，结果一样。

3.3V 主串行配置

图 3 表示 3.3V 主串行配置的连接。



X453_01_050704

注：

1. 在 HSWAP_EN 低时，与所有 I/O 相连的内部上拉电阻启用。要禁用这些电阻，将 HSWAP_EN 连接至高。

图 3: 主串行模式连接框图

按如下公式计算电阻值：

- $R_{SER} = 68 \Omega$ 将流入每个输入的电流限制到 9.5 mA
- $N = 1$ 一个输入的二极管导通

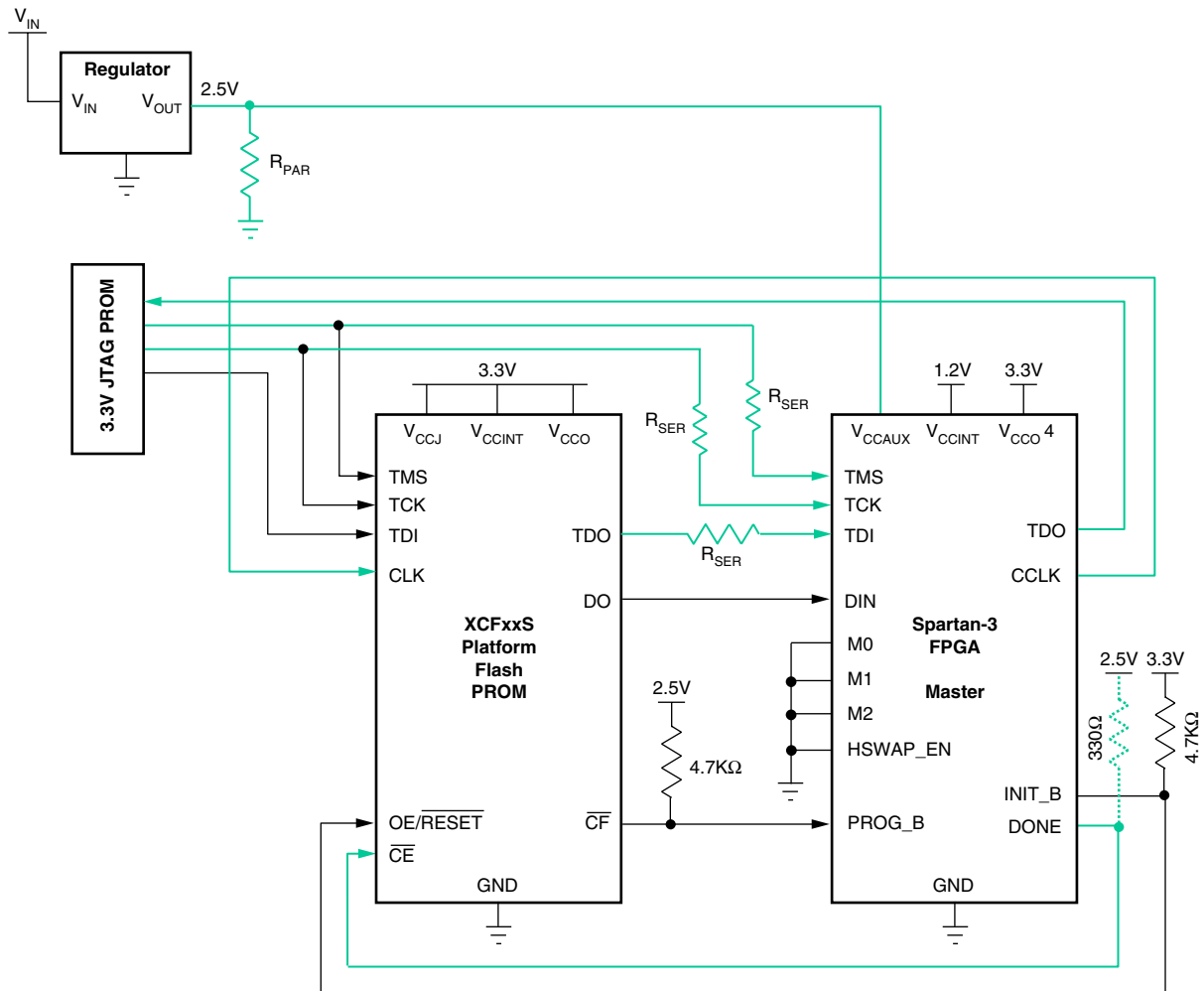
$$R_{PAR} = \frac{V_{CCAUX \min}}{N I_{IN}}$$

$$= \frac{2.375V}{(1)(9.5mA)}$$

$R_{PAR} = 250 \Omega$ 或 240Ω 与标准值误差小于 5% 的电阻

使用 Platform Flash PROM 实现 3.3V 主串行配置

图 4 表示使用 Platform Flash PROM 实现 3.3V 主串行配置的连接。



X453_06_050704

注：

1. 在 HSWAP_EN 低时，与所有 I/O 相连的内部上拉电阻启用。要禁用这些电阻，将 HSWAP_EN 连接至高。

图 4: 使用 Platform Flash PROM 实现 3.3V 主串行模式的连接框图

按如下公式计算电阻值：

- $R_{SER} = 68 \Omega$ 将流入每个输入的电流量限制到 9.5 mA
- $N = 3$ 三个输入的二极管导通

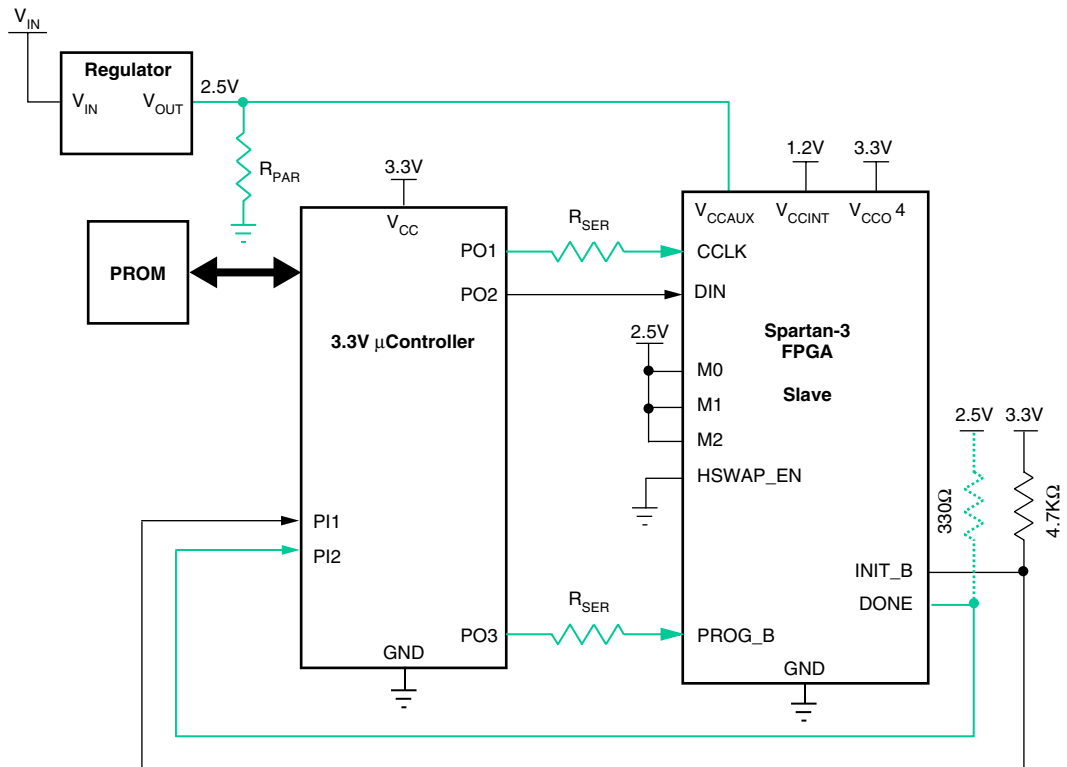
$$R_{PAR} = \frac{V_{CCAUX \min}}{NI_{IN}}$$

$$= \frac{2.375V}{(3)(9.5mA)}$$

$R_{PAR} = 83 \Omega$ 或 82Ω 与标准值误差小于 5% 的电阻

3.3V 从串行配置

图 5 表示 3.3V 从串行配置的连接。



X453_02_050704

注：

1. 在 HSWAP_EN 低时，与所有 I/O 相连的内部上拉电阻启用。要禁用这些电阻，将 HSWAP_EN 连接至高。

图 5: 3.3V 从动串行模式的连接框图

按如下公式计算电阻值：

- PI_n 和 PO_n 是可编程 I/Os
- $R_{SER} = 68 \Omega$ 将流入每个输入的电流限制到 9.5 mA
- $N = 2$ 两个输入的二极管导通

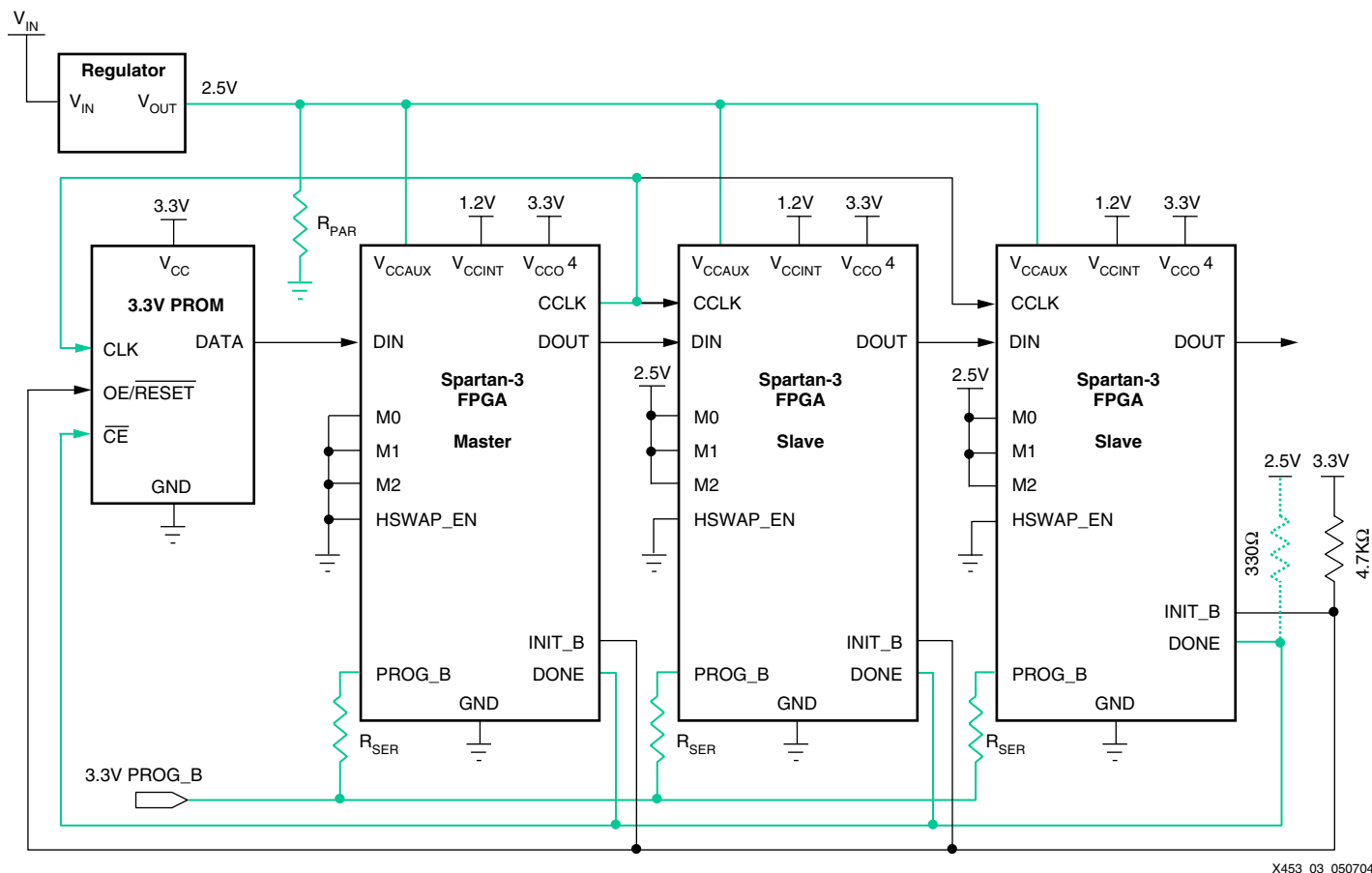
$$R_{PAR} = \frac{V_{CCAUX} \min}{NI_{IN}}$$

$$= \frac{2.375V}{(2)(9.5mA)}$$

$R_{PAR} = 125 \Omega$ 或 120Ω 与标准值误差小于 5% 的电阻

3.3V Daisy-Chain 配置

图 6 表示 Daisy-Chain 配置的连接。



X453_03_050704

注：

1. 在 HSWAP_EN 低时，与所有 I/O 相连的内部上拉电阻启用。要禁用这些电阻，将 HSWAP_EN 连接至高。

图 6: 3.3V Daisy-Chain 配置的连接框图

按如下公式计算电阻值：

- $R_{SER} = 68 \Omega$ 将流入每个输入的电流限制到 9.5 mA
- $N = 3$ 三个输入的二极管导通

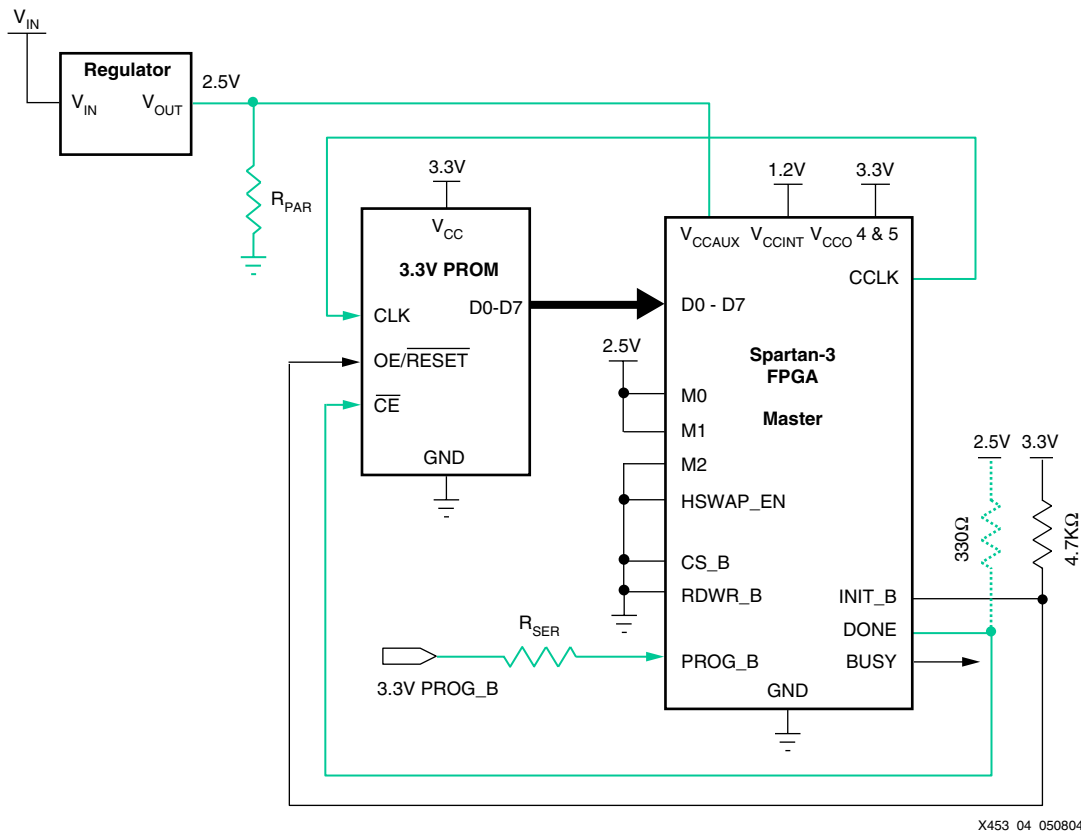
$$R_{PAR} = \frac{V_{CCAUX} \min}{NI_{IN}}$$

$$= \frac{2.375V}{(3)(9.5mA)}$$

$R_{PAR} = 83 \Omega$ 或 82Ω 与标准值误差小于 5% 的电阻

3.3V 主并行配置

图 7 3.3V 主并行配置的连接。



X453_04_050804

注：

1. 在 HSWAP_EN 低时，与所有 I/O 相连的内部上拉电阻启用。要禁用这些电阻，将 HSWAP_EN 连接至高。

图 7: 3.3V 主并行模式的连接框图

按如下公式计算电阻值：

- $R_{SER} = 68 \Omega$ 将流入每个输入的电流限制到 9.5 mA
- $N = 1$ 一个输入的二极管导通

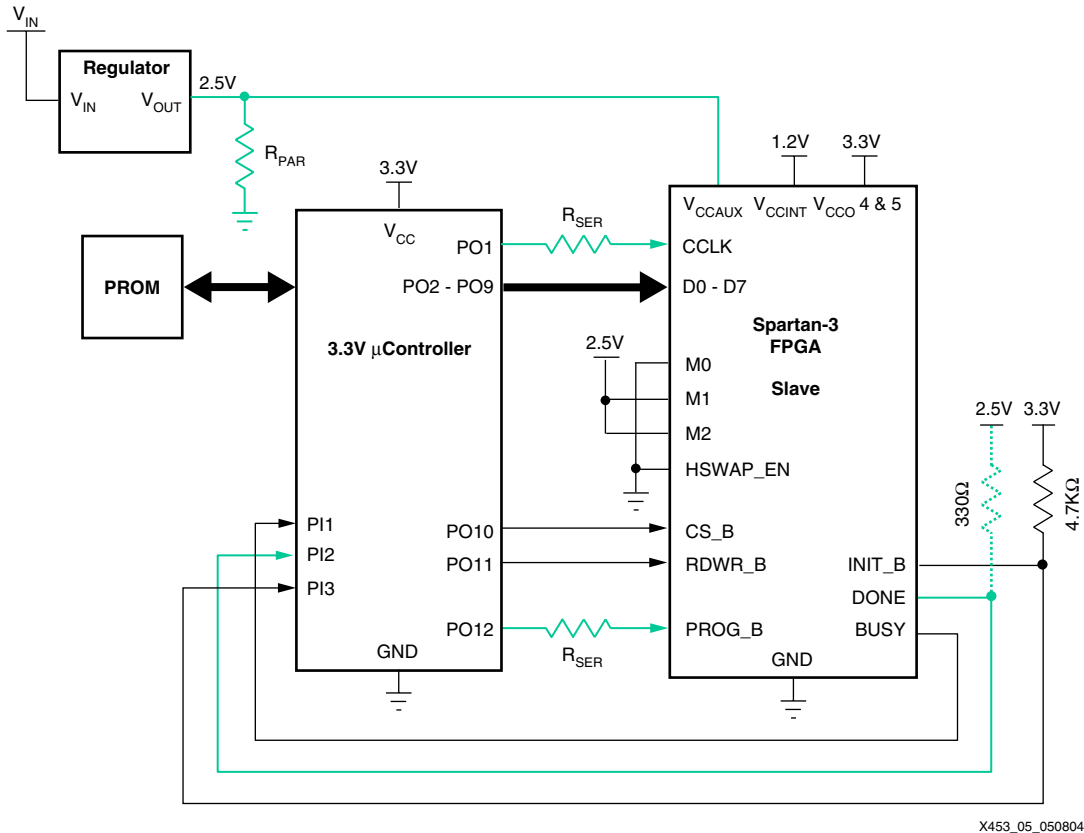
$$R_{PAR} = \frac{V_{CCAUX \min}}{N I_{IN}}$$

$$= \frac{2.375V}{(1)(9.5mA)}$$

$R_{PAR} = 250 \Omega$ 或 240Ω 与标准值误差小于 5% 的电阻

3.3V 从并行配置

图 8 表示 3.3V 从并行配置的连接。



X453_05_050804

注：

1. 在 HSWAP_EN 低时，与所有 I/O 相连的内部上拉电阻启用。要禁用这些电阻，将 HSWAP_EN 连接至高。

图 8: 3.3V 从并行模式连接框图

按如下公式计算电阻值：

- PI_n 和 PO_n 是可编程 I/O
- $R_{SER} = 68 \Omega$ 将流入每个输入的电流限制到 9.5 mA
- $N = 2$ 两个输入的二极管导通

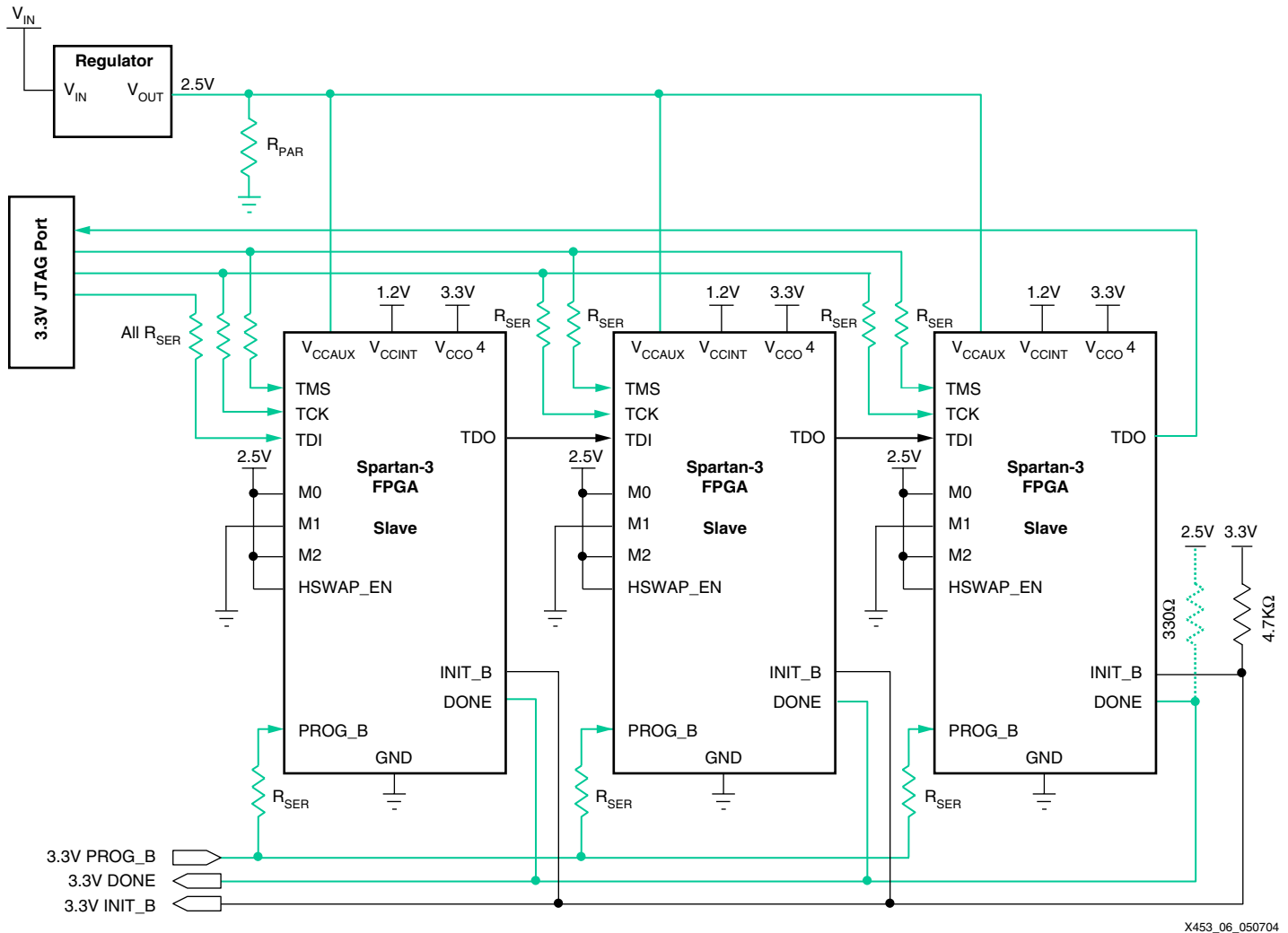
$$R_{PAR} = \frac{V_{CCAUX \min}}{NI_{IN}}$$

$$= \frac{2.375V}{(2)(9.5mA)}$$

$R_{PAR} = 125 \Omega$ 或 120Ω 与标准值误差小于 5% 的电阻

3.3V JTAG 配置

图 9 表示 JTAG 配置的连接。



X453_06_050704

注：

1. 在 HSWAP_EN 高时，与所有 I/O 相连的内部上拉电阻禁用。要启用这些电阻，将 HSWAP_EN 连接至低。

图 9: 3.3V 边界扫描 (JTAG) 模式的连接框图

按如下公式计算电阻值：

- $R_{SER} = 68 \Omega$ 将流入每个输入的电流限制到 9.5 mA
- $N = 10$ 十个输入的二极管导通

$$R_{PAR} = \frac{V_{CCAUX} \min}{NI_{IN}}$$

$$= \frac{2.375V}{(10)(9.5mA)}$$

$R_{PAR} = 25 \Omega$ 或 24Ω 与标准值误差小于 5% 的电阻。因为此多个 FPGA 实例有多达 10 个 I_{IN} 电流共同形成总的反向电流， R_{PAR} 很低。使用较少的 FPGA 的应用应使用阻值较高的 R_{PAR} 。获得提高这一阻值的方法，请参见 第 5 页 “控制反向电流” 的最后部分。

结论

Spartan-3 和 Spartan-3L FPGA 是通过配置端口或 JTAG 端口来进行的配置。标准接口使用 2.5V 信号，但一些应用需要使用 3.3V 信号代替。对于两个 FPGA 系列，使用 3.3V 信号的配置很容易实现，只需要少数几个外部电阻。本应用指南中包含的连接框图为所有配置模式提供了完整的 3.3V 解决方案。

参考文件

以下 Xilinx 技术文档可为此应用指南提供有用的补充材料：

- *Spartan-3 FPGA 系列数据手册*, [DS099](#)
- *Platform Flash 在系统可编程配置 PROM 数据手册*, [DS123](#)

修订历史

下表说明此技术文档的修订历史。

日期	版本	修订
2005 年 2 月 2 日	1.0	Xilinx 最初版本。
2006 年 4 月 3 日	1.1	根据 Spartan-3 IBIS 文件更新电阻值，3.4 版。