



XAPP454 (v1.1.1) 2007 年 6 月 11 日

# 针对 Spartan-3 FPGA 的 DDR2 SDRAM 存储器接口

作者：Karthikeyan Palanisamy

## 摘要

本应用指南说明与 Micron DDR2 SDRAM 器件连接时，Spartan™-3 器件中 DDR2 SDRAM 存储器接口的实现。本文档先简单介绍了 DDR2 SDRAM 器件的特性，然后对 DDR2 SDRAM 存储器接口的实现进行了详细说明。

## DDR2 SDRAM 器件概述

DDR2 SDRAM 器件是第二代 DDR SDRAM 器件。DDR2 SDRAM 存储器接口为源同步方式，并和 DDR SDRAM 等存储器一样支持双倍数据速率。DDR2 SDRAM 器件采用 SSTL 1.8V I/O 标准。

DDR2 SDRAM 器件利用 DDR SDRAM 架构实现高速运作。存储器使用控制器提供的差分时钟运行。（网上的参考设计不支持差分选通信号。对此的支持计划稍后增加。）命令会在时钟的每一个正边沿处寄存。双向数据选通信号 (DQS) 与数据一同发送，以便在接收器端进行数据捕获。DQS 是 DDR2 SDRAM 器件在读取时以及控制器在写入时发送的选通信号。DQS 与数据边沿对齐进行读取，与数据中心对齐进行写入。

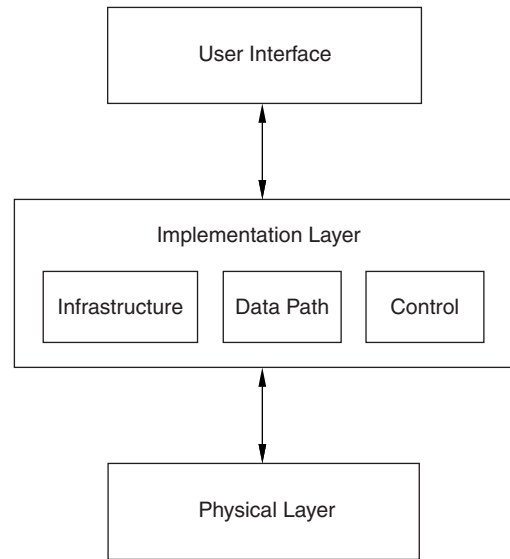
对 DDR2 SDRAM 器件的读和写访问均为突发模式的。访问开始时会寄存一个激活命令，然后是读或写命令。与激活命令一起的地址位被寄存，并用于选择待访问的内存块和行。与读或写命令一起的地址位被寄存，并用于选择内存块和起始列位置，以便进行突发访问。

## 接口模型

DDR2 SDRAM 存储器接口经分层处理，可以简化设计并使其模块化。图 1 所示为经分层处理的存储器接口。三层架构包括应用层、实现层和物理层。

© 2004-2007 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and further disclaimers are as listed at <http://www.xilinx.com/legal.htm>. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

NOTICE OF DISCLAIMER: Xilinx is providing this design, code, or information "as is." By providing the design, code, or information as one possible implementation of this feature, application, or standard, Xilinx makes no representation that this implementation is free from any claims of infringement. You are responsible for obtaining any rights you may require for your implementation. Xilinx expressly disclaims any warranty whatsoever with respect to the adequacy of the implementation, including but not limited to any warranties or representations that this implementation is free from claims of infringement and any implied warranties of merchantability or fitness for a particular purpose.

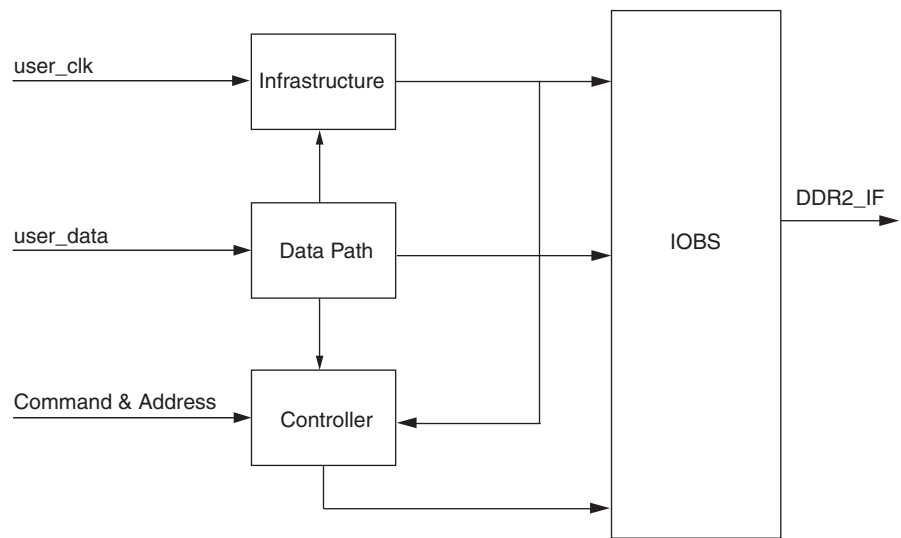


xapp549\_02\_113004

图 1: 接口分层模型

## DDR2 SDRAM 控制器模块

图 2 为 Spartan-3 DDR2 SDRAM 存储器接口的框图。此图所示的所有四个模块均为 ddr2\_top 模块的子模块。每个模块的功能将于随后的章节中说明。



xapp549\_03\_113004

图 2: DDR2 SDRAM 存储器接口模块

### 控制器

控制器支持长度为四的突发，以及时长为三和四的 CAS 延时。控制器在“加载模式”命令期间初始化 EMR(2) 和 EMR(3) 寄存器，并生成差分数据选通信号。

控制器接受用户命令，将其解码，然后生成对 DDR2 SDRAM 存储器的读取、写入和刷新命令。控制器还生成针对其他模块的信号。

## 数据通路

数据通路模块负责向存储器发送数据并接收其发出的数据。主要功能包括：

- 将数据写入存储器
- 从存储器读取数据
- 将自存储器时钟域读取的数据传输至 FPGA 时钟域

有关数据写入和数据读取捕获技术的说明，请参阅“XAPP768c，使用 166 MHz 或 333 Mb/s DDR SDRAM 存储器与 Spartan-3 器件连接”。写入数据和选通信号的时钟根据 FPGA 来确定。写入时，选通信号与相应的数据中心对齐。对于 DDR2 SDRAM 存储器而言，选通信号属非自由运行。为了满足上述指定要求，写入数据的时钟由进入存储器的基准时钟移相 90° 和 270° 而得到。数据选通信号由进入存储器的基准时钟产生。

存储器读取数据与源同步时钟边沿对齐。DDR2 SDRAM 时钟为非自由运行选通信号。数据通过非自由运行选通信号接收，并传输至 FPGA 时钟域。数据输入端使用的资源与选通信号的输入端相似。这就确保了选通信号在被选通延迟电路内部延迟之前，数据和选通信号延迟的一致性。

## 基础架构

基础架构模块会生成 FPGA 时钟和复位信号。数字时钟管理器 (DCM) 用来生成时钟及其反相时钟。延迟校准电路也在该模块中实现。

延迟校准电路可用来选择用于延迟相对读取数据的选通行的延迟元件数目。延迟校准电路计算与选通延迟电路完全一致的电路的延迟。应考虑对延迟的所有方面进行校准，包括所有组件和布线延迟。校准电路选择任何指定时间的延迟元件数目。校准完成后，将触发延迟电路的选择行。请参阅 XAPP768c 了解有关延迟校准的详细信息。

## IOBS

所有 FPGA 输入和输出信号皆在 IOBS 模块内实现。所有地址和控制信号均须寄存方可进出 IOBS 模块。

## 用户接口信号

表 1 所示为用户接口信号说明；所有信号方向都相对于 DDR2 SDRAM 控制器。

表 1: 用户接口信号

信号名称	方向	说明
dip1	输入	用于 DDR2 SDRAM 的时钟使能信号（低电平有效）
rst_dqs_div_in	输入	该信号在 DDR2 SDRAM 存储器读取期间启用 dqs_div 浮点计算。
reset_in	输入	系统复位
user_input_data[(2n-1):0]	输入	用于 DDR2 SDRAM 的写入数据，其中 n 为存储器接口的宽度。
user_input_address[addwidth:0]	输入	DDR2 SDRAM 行和列地址
user_bank_address[bankaddwidth:0]	输入	DDR2 SDRAM 内存块地址
user_config_reg1[14:0]	输入	DDR2 SDRAM 配置数据寄存器 1
user_config_reg2[12:0]	输入	DDR2 SDRAM 配置数据寄存器 2
user_command_reg[3:0]	输入	用于 DDR2 SDRAM 控制器的用户命令寄存器
burst_done	输入	突发数据传输完成信号
rst_dqs_div_out	输出	该信号外部连接至 rst_dqs_div_in。该信号启用 dqs_div 浮点计算。
user_output_data[(2n-1):0]	输出	从 DDR2 SDRAM 读取的数据
user_data_valid	输出	该低电平有效信号表明从 DDR2 SDRAM 存储器读取的数据有效。
user_cmd_ack	输出	user_command 的确认信号
user_ODT_ack	输出	ODT 命令的确认信号
init_val	输出	表明 DDR2 SDRAM 已被初始化
ar_done	输出	表明已向 DDR2 SDRAM 发出自动刷新命令
clk_int	输入	由 DDR2 SDRAM 控制器生成的时钟
clk90_int	输入	由 DDR2 SDRAM 控制器生成的 90 度相移时钟
sys_rst	输入	通过系统复位输入生成
sys_rst90	输入	通过系统复位输入生成的 90 度相移复位
sys_rst180	输入	通过系统复位输入生成的 180 度相移复位
sys_rst270	输入	通过系统复位输入生成的 270 度相移复位

## 注:

1. 所有信号方向都相对于 DDR2 SDRAM 控制器。

## 信号说明

### user\_input\_data[(2n-1):0]

此为从用户接口传送至 DDR2 SDRAM 的写入数据。该数据在 DDR2 SDRAM 写命令上有效，其中 n 为 DDR2 SDRAM 存储器的宽度。DDR2 SDRAM 控制器在物理层端将单倍数据速率转换为双倍数据速率。

### user\_input\_address[addwidth:0]

此为用于 DDR2 SDRAM 读和写的行与列地址总数。依据地址宽度变量的选择，user\_input\_address 分为行和列地址位。

### user\_bank\_address[bankaddwidth:0]

DDR2 SDRAM 的内存块地址。存在一个变量，通过它可以选择内存块地址。

### user\_config\_reg1[14:0]

用于 DDR2 SDRAM 存储器初始化的配置数据。该寄存器的内容在“加载模式”命令期间载入模式寄存器。user\_config\_reg1 的格式如下：

14	13	11	10	9	7	6	4	3	2	0
PD	WR	TM	Res			Cas_latency	BT	Burst_length		

### Burst\_length[2:0]

控制器仅支持长度为四的突发。

### BT

该位选择突发模式。控制器仅支持顺序突发。该位在控制器内通常被设置为零。

### Cas\_latency [6:4]

位 6:4 选择 cas 延时。DDR2 SDRAM 控制器支持时长为 3 和 4 的 cas 延时。

### Res [9:7]

位 9:7 被保留用于未来实现。

### TM

该位被载入加载模式寄存器的 TM 位。

### WR [13:11]

这三个位被写入加载模式寄存器的 WR（写恢复）位。

### PD

该位被写入加载模式寄存器的 PD（省电模式）位。

请参阅 Micron DDR2 SDRAM 数据手册，了解有关加载模式寄存器的详细内容。

### user\_config\_reg2[12:0]

用于扩展模式寄存器的 DDR2 SDRAM 配置数据。user\_config\_reg2 的格式如下。

12	11	10	9	7	6	4	3	2	1	0
OUT	RDQS	DQS	OCD	Posted CAS		RTT	ODS	Res		

请参阅 Micron DDR2 SDRAM 数据手册，了解有关扩展模式寄存器的详细内容。

**user\_command\_reg[3:0]**

此为用户命令寄存器。各种命令通过该寄存器传入 DDR2 SDRAM 模块。表 2 说明各种支持的命令。

表 2: 用户命令

user_command_reg[3:0]	用户命令说明
0000	NOP
0010	存储器 (DDR2 SDRAM) 初始化
0011	自动刷新
0100	写入
0101	加载模式 (仅加载模式)
0110	读取
其他	保留

**burst\_done**

用户应在数据传输结束时启用该信号，并持续两个时钟周期。DDR2 SDRAM 控制器支持针对单行的写突发或读突发。用户必须在某一列边界终止，并针对下一行事务在某一列边界重新初始化。控制器通过向 DDR2 SDRAM 存储器发出预充电命令来终止写突发或读突发。

**user\_output\_data[(2n-1):0]**

此为自 DDR2 SDRAM 存储器读取的数据。DDR2 SDRAM 控制器将来自 DDR2 SDRAM 存储器的 DDR SDRAM 数据转换为 SDR 数据。因为 DDR SDRAM 数据被转换为 SDR 数据，该总线宽度为 2n，其中 n 为 DDR2 SDRAM 存储器的数据宽度。

**user\_data\_valid**

user\_output\_data[(2n-1):0] 信号在触发该信号时有效。

**user\_cmd\_ack**

此为用户读或写命令的确认信号。它由 DDR2 SDRAM 控制器在读取或写入 DDR2 SDRAM 时触发。该信号有效时，不应向控制器发出新的命令。

**init\_val**

DDR2 SDRAM 控制器在完成 DDR2 SDRAM 初始化后触发该信号。

**ar\_done**

DDR2 SDRAM 控制器在为 DDR2 SDRAM 提供自动刷新命令后，触发该信号并持续一个时钟周期，

**注：**输出时钟和复位信号可用于数据同步。

表 3 所示为存储器接口信号。

表 3: 存储器接口信号

信号名称	方向	说明
ddr_dq[(datawidth-1):0]	双向	双向 DDR2 SDRAM 存储器数据
ddr_dqs[(dqswidth-1):0]	双向	双向 DDR2 SDRAM 存储器数据选通信号。选通信号的数目依据数据宽度及选通与数据的比率来确定。
ddr_cke	输出	DDR2 SDRAM 存储器的时钟使能信号
ddr_csb	输出	低电平有效存储器芯片选择信号
ddr_rasb	输出	低电平有效存储器行地址选通信号
ddr_casb	输出	低电平有效存储器列地址选通信号
ddr_web	输出	低电平有效存储器写使能信号
ddr_dm	输出	存储器数据屏蔽信号
ddr_ba	输出	存储器内存块地址
ddr_address	输出	存储器地址（行与列地址）
ddr2_clk*	输出	存储器差分时钟信号
ddr_odt[4:0]	输出	存储器片上终端信号

## 初始化 DDR2 SDRAM 存储器

发出存储器读和写命令前，必须通过存储器初始化命令对 DDR2 SDRAM 存储器初始化。完成 DDR2 SDRAM 初始化前，应将写入模式寄存器和扩展模式寄存器的数据放置在 user\_config\_reg1 [14:0] 和 user\_config\_reg2 [12:0] 中。一旦 DDR2 SDRAM 初始化完成，init\_val 信号将由 DDR2 SDRAM 控制器触发。图 3 所示为存储器初始化命令的时序图。

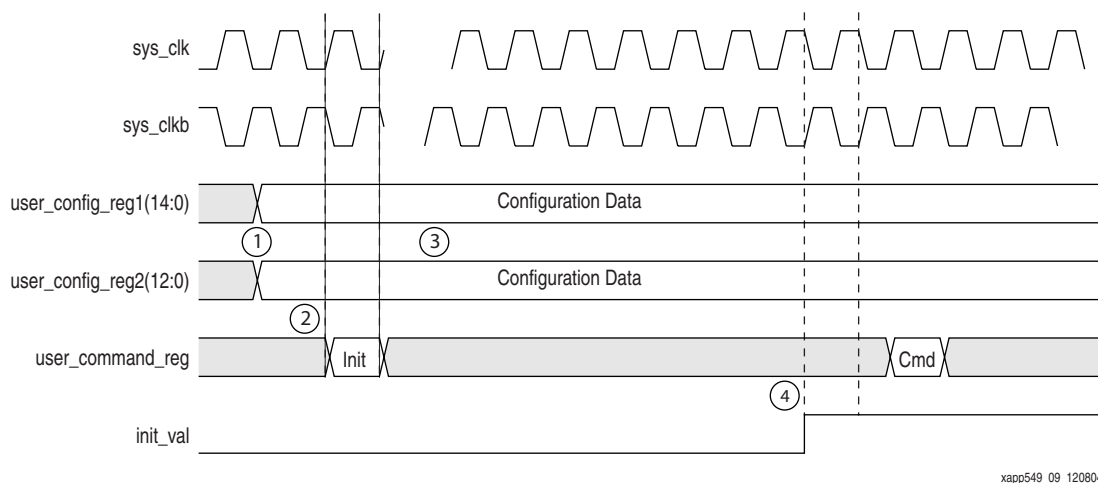


图 3: DDR2 SDRAM 存储器初始化

1. 将初始化命令放置在 command\_reg [2:0] 的两个时钟之前，用户将有效的配置数据放置在 user\_config\_reg1[14:0] 和 user\_config\_reg2[12:0]。
2. 用户将初始化命令放置在 command\_reg [2:0]。这将启动初始化序列。
3. 对于任何后续的存储器操作，不应改变 user\_config\_reg1[14:0] 和 user\_config\_reg2[12:0] 上的数据。
4. 控制器表明配置已通过触发 init\_val 信号完成。

## DDR2 SDRAM 存储器写入

图 4 所示为突发长度为四的 DDR2 SDRAM 存储器写入时序图。波形图显示了两次连续突发。DDR2 SDRAM 控制器会在存储器写入操作之前收到一条写命令。作为对写命令的响应，DDR2 SDRAM 控制器通过 SYS\_CLKb 上升沿的 user\_cmd\_ack 信号进行确认。用户应等待至显示用户命令确认信号，然后再继续下一步。

触发 user\_cmd\_ack 信号后的两个半时钟周期，存储器突发地址将放置在 user\_input\_address[addwidth:0] 行。user\_input\_address 应在 SYS\_CLK 的上升沿触发。待写入存储器的数据应通过 clk90\_int\_val 触发，并应在将存储器地址放置在 user\_input\_address 上之前提供给控制器。用户数据宽度为存储器数据宽度的两倍。在传送至存储器之前，控制器会将其转换为双倍数据速率。

对于长度为四的突发，两组 user\_input\_data[(2n-1):0] 数据将通过各自的用户地址提供给 DDR2 SDRAM 控制器。若要终止写突发，应将 burst\_done 在 SYS\_CLK 的上升沿触发并持续两个时钟周期。应将 burst\_done 信号在最后一个存储器地址触发并持续两个时钟。仅在 user\_cmd\_ack 信号取消触发后，方可向 DDR2 SDRAM 控制器发出任何进一步的命令。

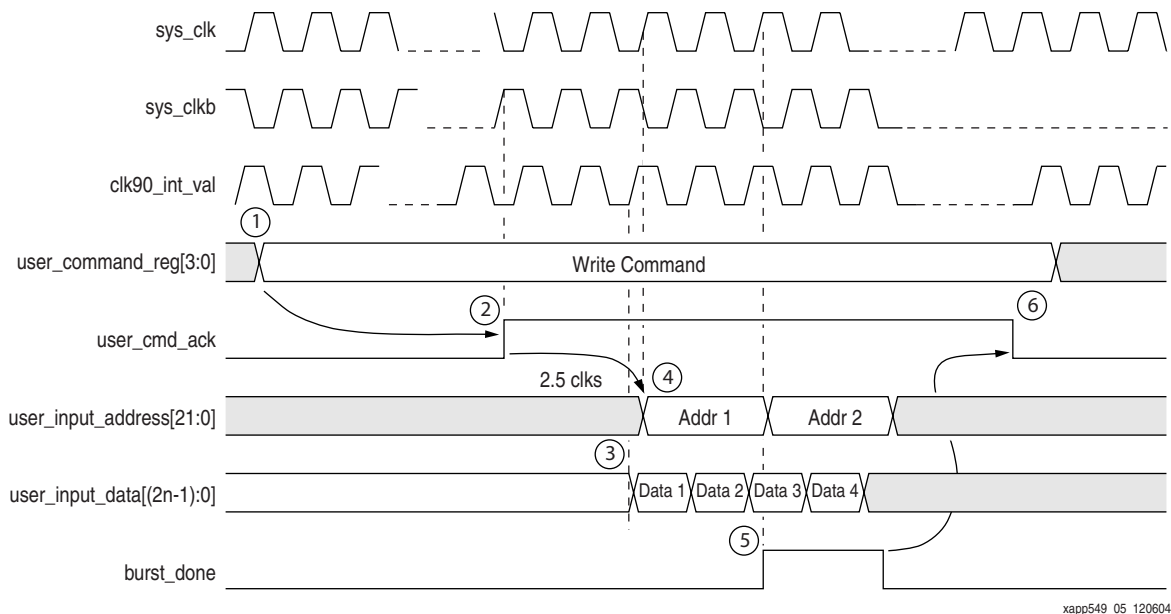


图 4: 写突发长度为四的 DDR2 SDRAM 存储器

1. 用户可通过向 DDR2 SDRAM 控制器发送写命令来启动存储器写入。写命令必须在 SYS\_CLK 的上升沿触发。
2. DDR2 SDRAM 控制器通过在 SYS\_CLKb 的上升沿触发 user\_cmd\_ack 信号，对写命令进行确认。
3. 将存储器地址放置在 user\_input\_address 上之前，用户应将待写入存储器的数据放置在 user\_input\_data 引脚上。输入数据使用 clk90\_int\_val 信号触发。
4. 触发 user\_cmd\_ack 信号的两个半时钟后，用户应将存储器地址放置在 user\_input address [21:0] 上。user\_input\_address 信号应在 SYS\_CLK 的上升沿触发。
5. 若要终止写突发，用户应在最后一个 user\_input\_address 触发两个时钟的 burst\_done 信号。
6. 仅在 user\_cmd\_ack 信号取消触发后，方可向 DDR2 SDRAM 控制器发出任何进一步的命令。

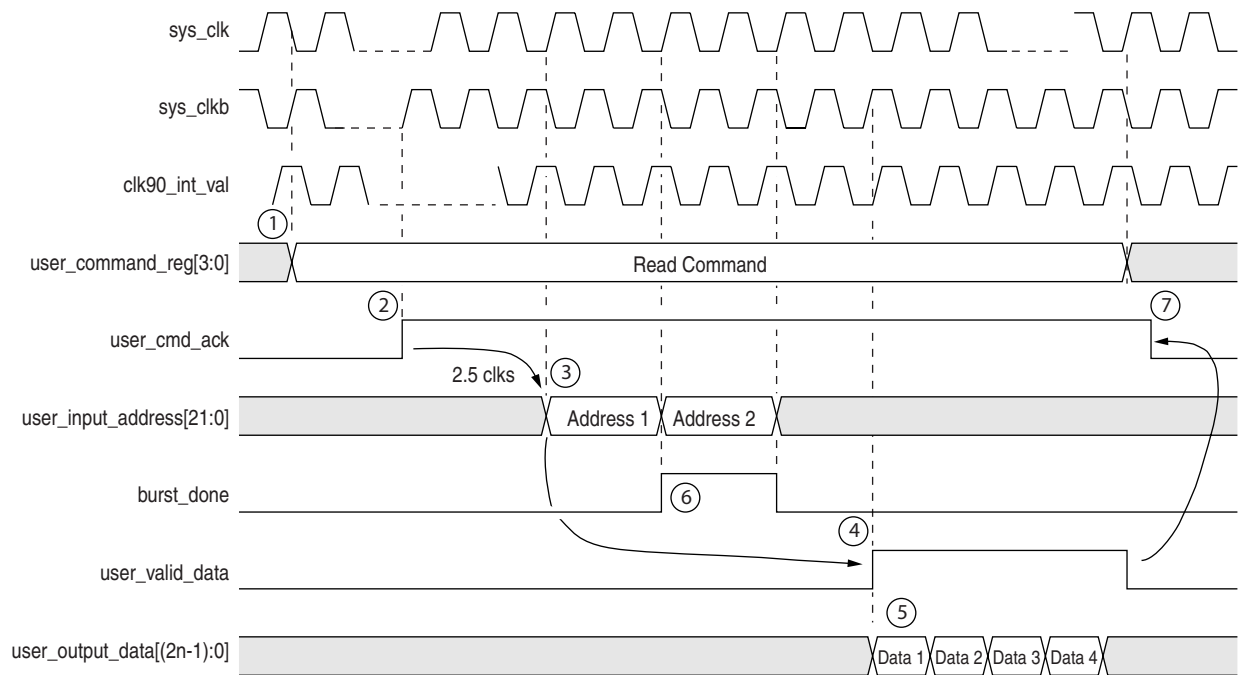


## DDR2 SDRAM 存储器读取

图 5 所示为突发长度为四的两次连续突发的存储器读取时序图。用户可通过向 DDR2 SDRAM 控制器发送读命令来启动存储器读取。

读命令流程与写命令流程相似。读命令在 SYS\_CLK 的上升沿触发。作为对 SYS\_CLKb 上升沿处读命令的响应，DDR2 SDRAM 控制器将触发 user\_cmd\_ack 信号。在 user\_cmd\_ack 的两个半时钟周期之后，存储器突发读取地址将放置在 user\_input\_address[addwidth:0] 上。user\_input\_address 信号应在 SYS\_CLK 的上升沿触发。

可在 user\_output\_data 上获得从 DDR2 SDRAM 存储器读取的数据，该数据使用 clk90\_int\_val 触发。仅在 user\_data\_valid 信号触发后，user\_output\_data 上的数据方有效。因为 DDR SDRAM 数据被转换为 SDR 数据，该总线宽度为 2n，其中 n 为 DDR2 SDRAM 存储器的数据宽度。对于长度为四的读突发，DDR2 SDRAM 控制器通过各自的用户地址仅输出两组数据，各为 DDR2 SDRAM 存储器的 2n 宽。若要终止读突发，应在 SYS\_CLK 的上升沿触发 burst\_done 信号并持续两个时钟周期。burst\_done 信号应于最后一个存储器地址之后触发。仅在 user\_cmd\_ack 信号取消触发后，方可向 DDR2 SDRAM 控制器发出任何进一步的命令。



XAPP549\_07\_120604

图 5: DDR2 SDRAM 存储器长度为四的读突发

读命令流程与写命令流程相似:

1. 用户输入读命令。该命令在 SYS\_CLK 的上升沿接受。
2. 作为对读命令的响应，DDR2 SDRAM 控制器在 SYS\_CLKb 的上升沿触发 user\_cmd\_ack 信号。
3. user\_cmd\_ack 有效的两个半时钟之后，用户将存储器读地址放置在 user\_input\_address [21:0] 上。随后，user\_input\_address 信号在 SYS\_CLK 的上升沿处被接受。
4. 仅在 user\_data\_valid 信号触发后，user\_output\_data 上的数据方有效。

5. 自 DDR2 SDRAM 存储器读取的数据可通过 user\_output\_data 获得。user\_output\_data 使用 clk90\_int\_val 触发。因为 DDR SDRAM 数据被转换为 SDR 数据，该总线宽度为 2n，其中 n 为 DDR2 SDRAM 存储器的数据宽度。对于长度为四的读突发，DDR2 SDRAM 控制器通过各自的用户地址仅输出两个数据字。
6. 若要终止读突发，应在 SYS\_CLK 的上升沿触发 burst\_done 信号并持续两个时钟周期。burst\_done 信号应在最后一个存储器地址触发。
7. user\_cmd\_ack 信号取消触发后，方可向 DDR2 SDRAM 控制器发出任何进一步的命令。

## DDR2 SDRAM 存储器 Auto\_Refresh

DDR2 SDRAM 控制器自身不支持存储器刷新，必须定期向其提供 auto\_refresh 命令。auto\_refresh 命令使用 SYS\_CLK 触发。ar\_done 信号由 DDR2 SDRAM 控制器在完成 auto\_refresh 命令后触发。ar\_done 信号使用 SYS\_CLKb 触发。

## 物理层与延迟 校准

针对 DDR2 SDRAM 的物理层与应用指南 XAPP768c 内所述的 DDR SDRAM 物理层相似。XAPP768c 内所述的延迟校准技术也被用于 DDR2 SDRAM 接口。

### 时序计算

#### 写入时序

表 4: 写入数据

参数	值 (ps)	前沿不确定性	后沿不确定性	含义
Tclock	6000			时钟周期
Tclock_phase	3000			时钟相位
Tdcd	250			存储器的时钟占空比失真
Tdata_period	2750			总数据周期，Tclock_phase-Tdcd
Tclock_skew	50	50	50	最小歪斜，由于左 / 右侧已被使用且位紧密相连
Tpackage_skew	90	90	90	封装引脚和电路板布局导致的歪斜（可通过更加紧凑的布局减小。）
Tsetup	350	350	0	存储器数据手册给出的建立时间
Thold	350	0	350	存储器数据手册给出的保持时间
Tphase_offset_error	140	140	140	同一 DCM 产生的不同时钟间的偏差错误
Tjitter	0	0	0	同一 DCM 用于生成时钟和数据；因此，它们一起抖动。
总体不确定性	980	630	630	前沿和后沿的最坏情况从不会同时发生。
窗口	1490	630	2120	总体最坏情况窗口为 1490 ps。

## 读取时序

表 5: 读取数据

参数	值 (ps)	前沿不确定性	后沿不确定性	含义
Tclock	6000			时钟周期
Tclock_phase	3000			时钟相位
Tclock_duty_cycle_dist	300	0	0	存储器的时钟占空比失真
Tdata_period	2700			总数据周期, Tclock_phase-Tdcd
Tdqsq	350	350	0	存储器数据手册给出的数据失真选通信号
Tpackage_skew	90	90	90	最坏情况的封装歪斜
Tds	452	452	0	从 Spartan-3 -5 数据手册给出的建立时间
Tdh	-35	0	-35	从 Spartan-3 -5 数据手册给出的保持时间
Tjitter	100	0	0	数据和选通信号由于产生于同一时钟, 因而一起抖动。
Tlocal_clock_line	20	20	20	最坏情况的本机时钟行歪斜
Tpcb_layout_skew	50	50	50	电路板上数据行与选通信号间的歪斜
Tqhs	450	0	450	存储器数据手册给出的 DQ 保持歪斜系数
总体不确定性		962	575	前沿和后沿的最坏情况从不会同时发生。
正常情况下的 DQS 位置窗口	1163	962	2125	最坏情况窗口为 1163 ps。

## 注:

- 有关 Tdqsq 和 Tqhs 的参考文件可从用于 MT47H64M4FT-37E, Rev C, 05/04 EN 的 Micron 数据手册中获得。
- 有关 Spartan-3 时序的参考文件为 -5 的器件, 速度文件版本 1.33。

## 地址与命令时序

表 6: 地址与命令数据

参数	值 (ps)	前沿不确定性	后沿不确定性	含义
Tclock	6000			时钟周期
Tclock_skew	50	50	50	最小歪斜, 由于左 / 右侧已被使用且位紧密相连
Tpackage_skew	90	90	65	使用同一内存块可减小封装歪斜
Tsetup	500	500	0	存储器数据手册给出的建立时间
Thold	500	0	500	存储器数据手册给出的保持时间
Tphase_offset_error	140	140	140	时钟不同相位间的偏差
Tduty_cycle_distortion	0	0	0	占空比失真不适用
Tjitter	0	0	0	由于时钟和地址通过同一时钟生成, 所以两者中存在相同的抖动; 因此无需将其包含在内。
总体不确定性		780	755	
命令窗口	3025	2220	5245	最坏情况窗口为 3025 ps

## 参考设计

Spartan-3 DDR2 SDRAM 存储器控制器参考设计集成于存储器接口生成器 (MIG) 工具内。该工具已与 Xilinx CORE Generator™ 软件集成在一起。若需要本设计的最新版本，请通过下述网址从 Xilinx 网站下载 IP 更新：

- [http://www.xilinx.com/cn/xlnx/xil\\_sw\\_updates\\_home.jsp](http://www.xilinx.com/cn/xlnx/xil_sw_updates_home.jsp)

## 参考文件

XAPP768: “使用 166 MHz 或 333 Mb/s DDR SDRAM 存储器与 Spartan-3 器件连接”

Micron 数据手册 MT47H16M16FG-37E 可通过下述网址在线获得：

<http://www.micron.com/products/dram/ddr2sdram/partlist.aspx?density=256Mb>

## 结论

针对 Spartan-3 FPGA 的高性能实现 DDR2 SDRAM 存储器接口是可能的。本设计已通过 Synplicity 进行仿真和综合，并已被 Xilinx 项目导航器流程采用。

## 修订历史

下表说明此技术文档的修订历史。

日期	版本	修订
12/06/04	1.0	Xilinx 最初版本。
06/07/07	1.1	对 MIG 工具更新参考的修订。
06/11/07	1.1.1	商标更新。