

Alveo U50 数据中心加速器卡

用户指南

UG1371 (v1.2) 2019 年 12 月 18 日

条款中英文版本如有歧义，概以英文本为准。



修订历史

下表列出了本文档的修订历史。

章节	修订总结
2019 年 12 月 18 日 1.2 版	
卡功能	新增有关 HBM 伪通道的注释。
创建 MCS 文件并在 Alveo 卡中进行编程	新增有关更新 XDC 文件后生成 MCS 文件的信息。
FPGA 配置	已更新 FPGA_CCLK 的时钟速率。
UltraScale+ FPGA	新增有关 HBM 伪通道的注释。
维护连接器接口	新增有关 Alveo 编程电缆的提示。
SFP-DD 模块连接器	新增有关受支持的接口的注释。
状态 LED	已更新原有表格并新增一个表格。
2019 年 10 月 31 日 1.1 版	
常规更新。	已全部彻底更新到 Vitis 统一软件平台。
第 1 章: 引言	<ul style="list-style-type: none"> · 已删除第一段中的 HBM2 带宽。 · 已更新图示。 · 已更新卡接口描述。
卡功能	<ul style="list-style-type: none"> · 已删除有关 HBM2 存储器的内容。 · 新增有关电源供电线的说明。
Alveo U50 卡的开发板支持文件	在简介段落中新增赛灵思开发板存储库 (Xilinx Board Store) 链接。
卡电源系统	<ul style="list-style-type: none"> · 已更新含电源供电线信息的段落。 · 新增有关电源系统遥测监控技巧的提示。
附录 B: 法规合规信息	新增安全信息、EMC 信息和其他合规性信息。
2019 年 9 月 10 日 1.0.1 版	
常规更新。	仅进行编辑更新。无技术内容更新。
2019 年 8 月 2 日 1.0 版	
初始版本	不适用

目录

修订历史.....	2
第 1 章: 引言.....	5
卡功能.....	7
原理图.....	7
设计流程.....	8
第 2 章: Vivado 设计流程.....	10
Alveo U50 卡的开发板支持文件.....	10
基于 U50 开发板文件创建 RTL 项目.....	10
创建 MCS 文件并在 Alveo 卡中进行编程.....	11
第 3 章: 卡安装与配置.....	14
标准 ESD 措施.....	14
在服务器机箱中安装 Alveo 数据中心加速器卡.....	14
FPGA 配置.....	14
第 4 章: 卡组件描述.....	16
UltraScale+ FPGA.....	16
QSPI 闪存.....	16
维护连接器接口.....	16
PCI Express 端点.....	17
SFP-DD 模块连接器.....	17
I2C 总线.....	18
状态 LED.....	18
卡电源系统.....	19
附录 A: 赛灵思设计约束 (XDC) 文件.....	20
附录 B: 法规合规信息.....	21
安全合规性.....	21
EMC 合规性.....	21
CE 指令.....	22
CE 标准.....	22
合规性标记.....	23
其他合规性声明.....	23
附录 C: 附加资源与法律提示.....	26



赛灵思资源.....	26
Documentation Navigator 与设计中心.....	26
参考资料.....	26
请阅读：重要法律提示.....	27

引言

赛灵思 Alveo™ U50 数据中心加速器卡属于围绕赛灵思 16 nm UltraScale+™ 技术设计制造的外围部件互连高速 (PCIe®) Gen3 x16 兼容卡。Alveo U50 卡提供 8 GB 的 HBM2，可为存储器绑定的计算密集型应用（包括数据库、分析和机器学习推断）提供高性能、自适应性的加速。

下表列出了 Alveo U50 加速器卡的工程样品 (ES3) 和量产 (PQ) 版本的规格。

表 1: Alveo 卡规格

规格	ES3 版本	PQ 版本
产品 SKU	A-U50DD-P00G-ES3-G	A-U50-P00G-PQ-G
网络接口	2xSFP-DD	1XQSFP
符合部署条件	无	有

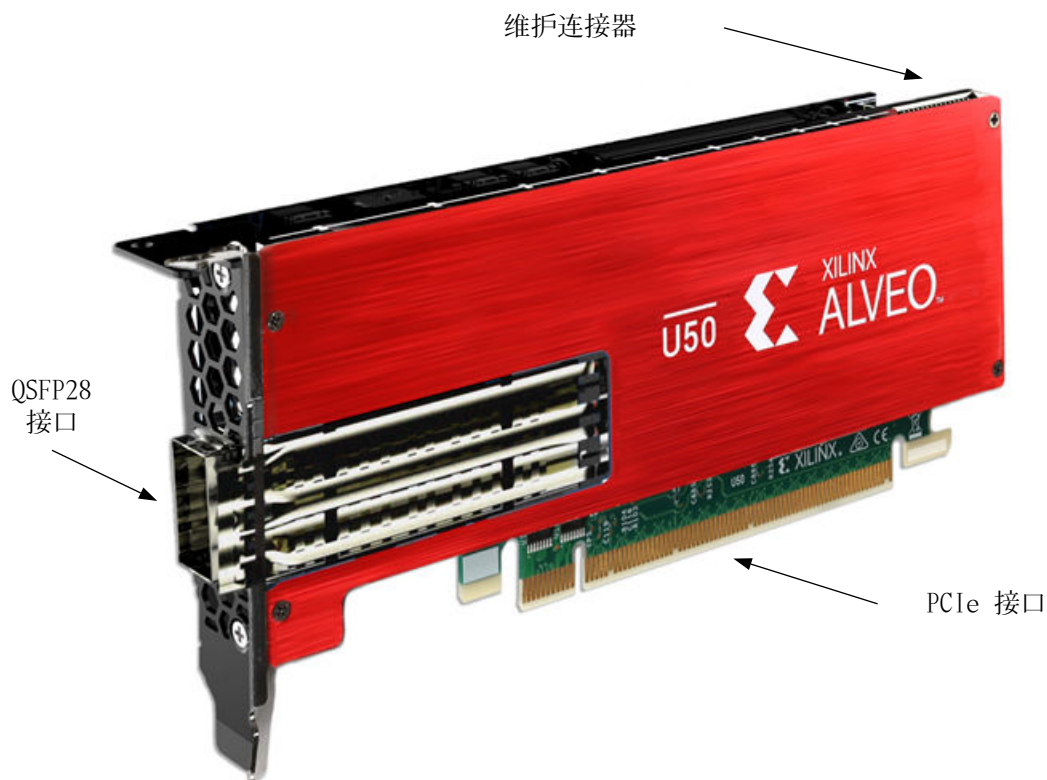
Alveo™ U50 卡仅支持被动散热配置，专为数据中心服务器内部安装而设计，在此类环境中通过受控气流为该卡提供直接冷却。下图展示的是安装有半高支架的 Alveo U50 加速器卡。该卡包含以下接口：

1. 1 个 PCI Express® 卡连接器。
2. 1 个 QSFP 接口。

注释: ES3 卡包含 2 个可用的 SFP-DD 接口。

3. 维护连接器。

图 1: Alveo U50 数据中心加速器卡



X22929-101519



注意! Alveo 加速器卡专为数据中心服务器内部安装而设计，在此类环境中通过受控气流提供直接冷却。如果已从卡上拆除散热外壳，并且卡已上电，则必须应用外部风扇散热气流以防止过热关闭及由此可能导致的卡上电子器件损坏。拆除散热外壳将导致开发板质保失效。

如需了解 Alveo U50 加速卡相关的文档、文件和资源的参考资料，请参阅 [附录 C: 附加资源与法律提示](#)。

卡功能

以下列出了 Alveo U50 加速器卡特性。第 4 章: 卡组件描述中提供了每项特性的详细信息。

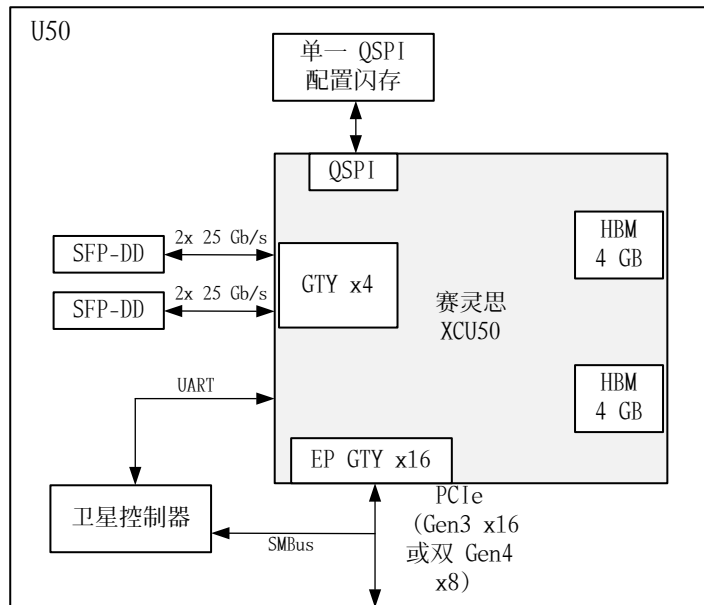
- UltraScale+™ XCU50 FPGA
 - 2 个 4 千兆字节 (GB) HBM 存储器堆栈 (共 8 GB)
 - 32 个 256 MB 通道
- 注释:** xilinx_u50_xdma_201920_2 平台支持使用最多 30 个 (共 32 个) 可用 HBM 伪通道。使用更多通道将导致硬件构建期间生成错误。赛灵思建议使用伪通道 0 到 29, 因为伪通道 30 和 31 需用于结构资源之间的布线, 这些结构资源与静态区域共享, 因此使用这两个通道可能导致性能降低。
- 用于配置的 1 GB QSPI 闪存
 - 以太网网络接口
 - 2 个 SFP-DD 连接器, 支持 4x10/25 GbE (ES3 卡)
 - 1 个 QSFP28 连接器, 支持 100 GbE、40 GbE 或 4x10/25 GbE (PQ 卡)
 - 通过维护连接器访问 JTAG 和 UART
 - 用于 PCI Express 连接的 16 通道集成端点块
 - Gen3 x16, 支持 x1、x2、x4、x8 和 x16 通道配置
 - 单或双 Gen4 x8
 - I2C 总线
 - 状态 LED
 - 功耗管理, 含系统管理总线 (SMBus) 电压、电流和温度监控
 - PCIe 插槽功耗仅 75W

注释: Alveo U50 卡为 FPGA 结构与 HBM 存储器分别搭配了单独的电源供电线。开发者必须确保他们的设计不会从每条供电线汲取过多电源。如需了解更多信息, 请参阅《Alveo U50 数据中心加速器卡安装指南》(UG1370) 中的“已知问题”表。

原理图

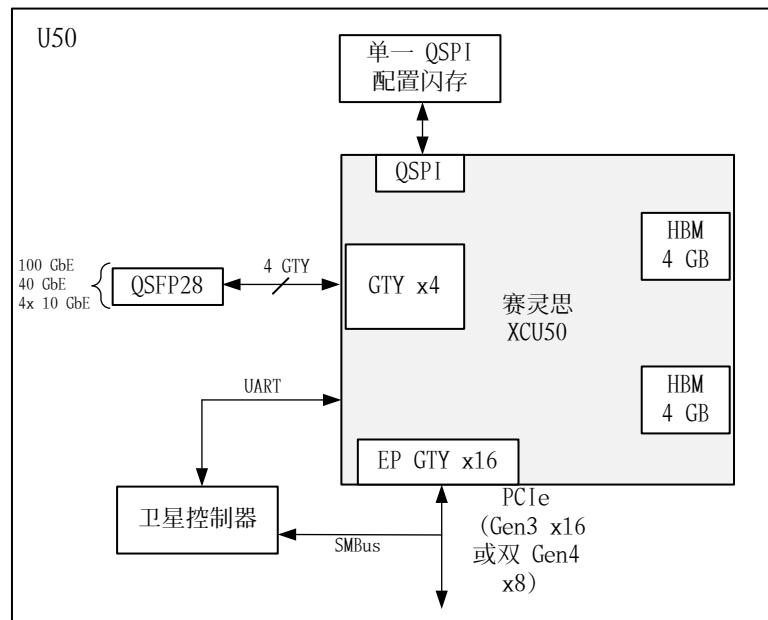
下图中显示了具有 2 个 SFP-DD 接口 (ES3 卡) 和 1 个 QSFP 接口 (PQ 卡) 的 Alveo U50 卡的原理图。

图 2: 具有 SFP-DD 接口的卡原理图



X22932-072919

图 3: 具有 QSFP 接口的卡原理图



X22939-072919

设计流程

面向 Alveo 数据中心加速器卡的首选最优设计流程使用的是 Vitis™ 统一软件平台。但 RTL 或 HLx 之类的传统设计流程也支持使用 Vivado® Design Suite 工具。下图展示了设计流程总结。

图 4: Alveo 数据中心加速器卡设计流程


 Y27777-070410
 X#####-101519

下表中列出了不同设计流程的要求。

表 2: Alveo 数据中心加速器卡设计流程入门要求

	RTL 流程	HLx 流程	Vitis
流程文档	UG949 ¹	UG895 ²	UG1416 ³
Vivado 工具支持	开发板支持 XDC	开发板支持 XDC	不适用
对 FPGA 进行编程	Vivado 硬件管理器	Vivado 硬件管理器	UG1370 ⁴

注释:

1. 《UltraFAST 设计方法指南 (适用于 Vivado Design Suite) 》 (UG949)。
2. 《Vivado Design Suite 用户指南: 系统级设计输入》 (UG895)。请参阅第 2 章和附录 A 中的“使用 Vivado Design Suite 平台开发板流程”。
3. 《Vitis 统一软件平台文档》 (UG1416) 中的 [Vitis 加速流程](#)。
4. 《Alveo U50 数据中心加速器卡安装指南》 (UG1370)。

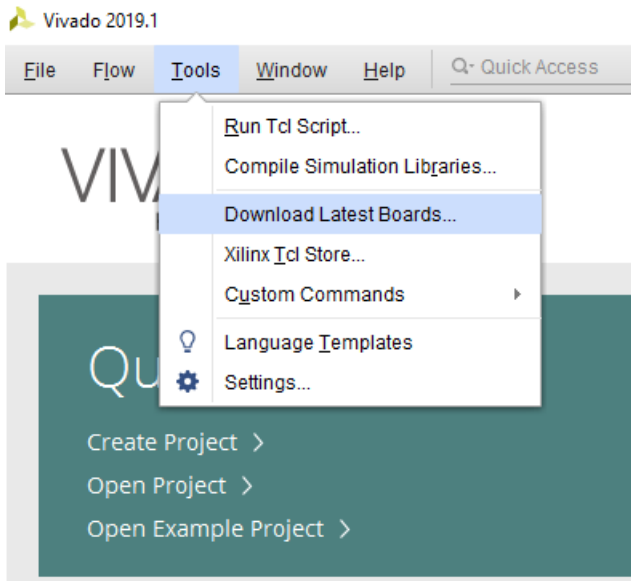
Vivado 设计流程

本节面向使用 RTL 流程的专业 HDL 开发者，或希望在 HLx 中超越 Vivado® 标准支持水平开展自定义的开发者提供了一个出发点。

Alveo U50 卡的开发板支持文件

在基于 Alveo™ U50 卡创建 RTL 项目之前，请遵循下列步骤更新开发板支持库以包含 Alveo U50 卡。开发板支持文件也可从[赛灵思开发板存储库 \(Xilinx Board Store\)](#) 下载。

1. 启动 Vivado 工具。
2. 选择 “Tools” → “Download Latest Boards...” 下载最新的开发板文件。

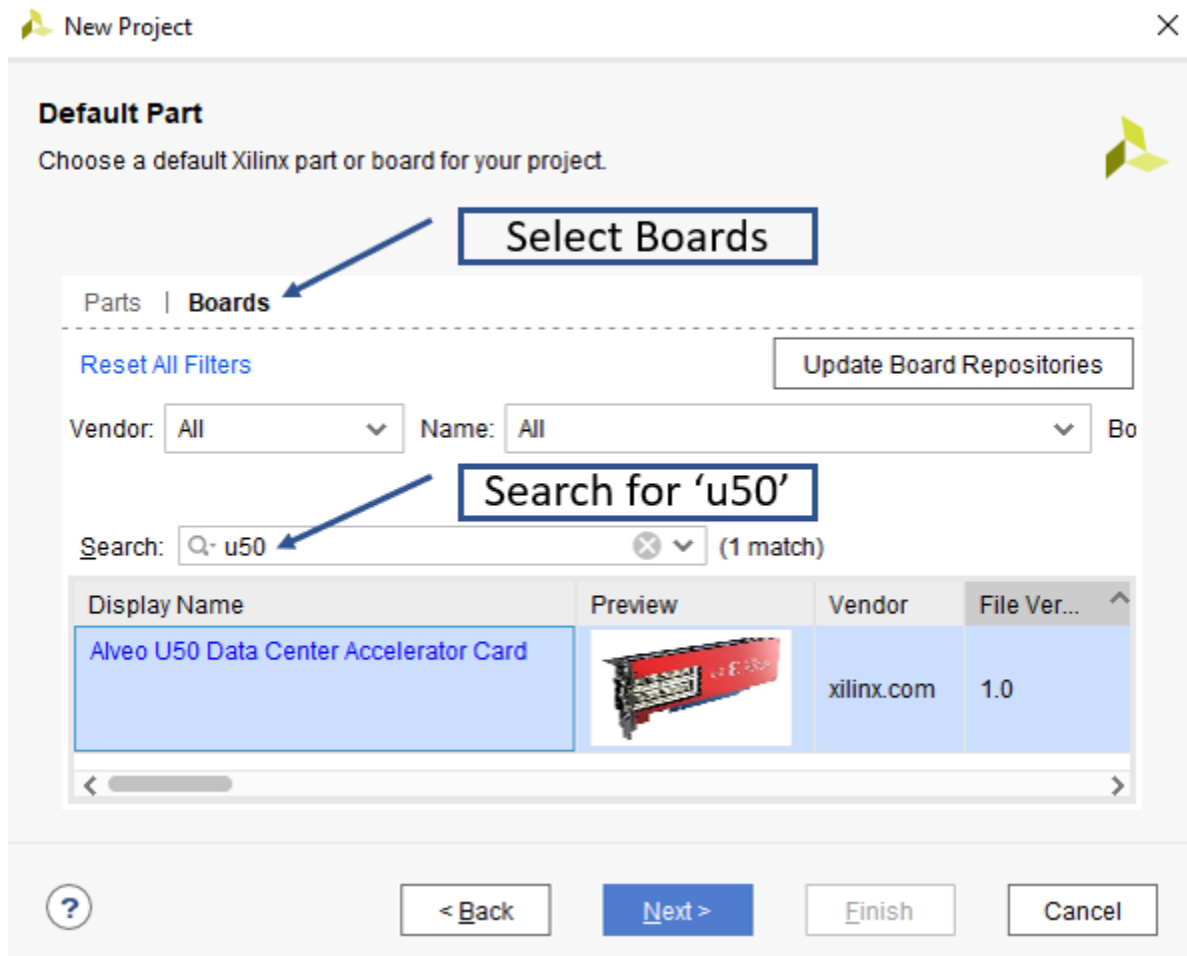


3. 在 “Download Latest Boards” 对话框中单击 “Download”。这将下载所有最新的开发板支持文件，包括 Alveo U50 卡的支持文件。下载可能需要几分钟时间完成。

基于 U50 开发板文件创建 RTL 项目

对于使用 RTL 流程的设计师，请按照以下步骤使用 U50 开发板文件创建 RTL 项目。

1. 启动 Vivado 工具。
2. 单击“File” → “Project” → “New” 创建新项目。单击“Next”。
3. 添加项目名称，然后单击“Next”。
4. “Project Type” 选择“RTL Project”，并单击“Next”。
5. 在“Default Part” 窗口中，选择“Boards” 并在搜索标签中输入“u50”。选择“U50” 卡，并单击“Next”，如下图所示。



这将基于 Alveo U50 加速器卡创建一个新的 RTL 项目。

创建 MCS 文件并在 Alveo 卡中进行编程

对于定制 RTL 流程，本节概括了执行以下操作的流程：

- 创建 MCS 文件（PROM 镜像）
- 通过维护连接器刷写程序

创建 MCS 文件 (PROM 镜像)

为确保将 PROM 镜像成功加载到已上电的 Alveo 加速器卡中, 创建 MCS 文件时, 起始地址必须设置为 0x01002000, 并且接口必须设置为 spix4。在《UltraScale 架构配置用户指南》(UG570) 中提供了有关将此设置添加到 MCS 文件中的详细说明。

Alveo 加速器卡的 Quad SPI 配置闪存包含一个受保护区域, 其中包含位于 0x00000000 地址空间的出厂基础镜像。该基础镜像指向位于 0x01002000 偏移地址空间的客户可编程区域。

此外必须将以下代码置于项目 XDC 文件中以便正确配置 MCS 文件。

```
# Bitstream Configuration
# -----
set_property CONFIG_VOLTAGE 1.8 [current_design]
set_property BITSTREAM.CONFIG.CONFIGFALLBACK Enable [current_design]
set_property BITSTREAM.GENERAL.COMPRESS TRUE [current_design]
set_property CONFIG_MODE SPIx4 [current_design]
set_property BITSTREAM.CONFIG.SPI_BUSWIDTH 4 [current_design]
set_property BITSTREAM.CONFIG.CONFIGRATE 85.0 [current_design]
set_property BITSTREAM.CONFIG.EXTMASTERCLK_EN disable [current_design]
set_property BITSTREAM.CONFIG.SPI_FALL_EDGE YES [current_design]
set_property BITSTREAM.CONFIG.UNUSEDPIN Pullup [current_design]
set_property BITSTREAM.CONFIG.SPI_32BIT_ADDR Yes [current_design]
# -----
```

更新 XDC 文件后, 请使用以下命令生成 MCS 文件 (请注意, 其中引号为必需):

```
write_cfgmem -force -format mcs -interface spix4 -size 1024 -loadbit "up
0x01002000 <input_file.bit>" -file "<output_file.mcs>"
```

其中

- <input_file.bit> 是 .bit 输入文件的文件名
- <output_file.mcs> 是 MCS 输出文件名

对 Alveo 卡进行编程

创建 MCS 文件后, 请遵循以下步骤使用 Vivado 硬件管理器通过调试和维护板 (DMB) 来刷写 Alveo 数据中心加速器卡。如需了解有关通过维护连接器连接到 Alveo 卡的详细信息, 请参阅《Alveo 编程电缆用户指南》(UG1377)。如需了解有关对 FPGA 进行编程的详细步骤, 请参阅《Vivado Design Suite 用户指南: 编程和调试》(UG908) 中的“对 FPGA 器件进行编程”章节。



建议: 通过 JTAG 维护端口进行编程的操作必须在单独的机器上完成, 以避免 PCIe 下行链路导致服务器在编程期间重启。或者也可以通过软件手动禁用 PCIe 链接, 并在编程完成后重新扫描。

1. 使用 Vivado 硬件管理器通过 DMB 连接到 Alveo U50 数据中心加速器卡。
2. 单击 “Add Configuration Device” 并选择 mt25qu01g-spi-x1_x2_x4 器件。
3. 右键单击目标以选择 “Program the Configuration Memory Device”。
 - a. 选择 MCS 文件目标。
 - b. 选择 “Configuration File Only”。
 - c. 单击 “OK”。
4. 完成编程后, 在硬件管理器中断开该卡的连接, 然后从 Alveo 加速器卡上拔下 USB 线缆。

5. 在主机上执行冷重启，以完成卡更新。



重要提示! 如果要在 Alveo 数据中心加速器卡目标平台与定制设计之间切换，请在将备选镜像加载到 PROM 之前将卡还原为黄金镜像。如需了解更多信息，请参阅《Alveo U50 数据中心加速器卡安装指南》([UG1370](#))。

卡安装与配置

标准 ESD 措施



注意! 如果操作不当, ESD 可能损坏电子组件, 并可能导致整体故障或间歇故障。拆卸和更换组件时, 请始终遵循防 ESD 流程进行操作。

为防止 ESD 造成破坏:

- 请佩戴腕带并将其附着到硬件上未涂漆的金属表面, 以防止静电释放损坏硬件。
- 使用腕带时, 请遵循所有用电安全措施进行操作。腕带用于静电控制。当您使用或者处理电气设备时, 它不会增加或减少您遭到电击的风险。
- 如果您没有腕带, 从 ESD 包装中取出产品以及安装或更换硬件之前, 请触摸系统未涂漆的金属表面至少 5 秒钟。
- 在系统中安装器件的准备工作就绪前, 请勿从防静电包中取出器件。
- 当器件仍在防静电包内的情况下, 请将其与系统金属框架接触。
- 握紧卡和开发板边缘。切勿接触适配器上的组件和金色连接器。
- 当器件从防静电包中取出后, 如需将其放平, 请将其平放在防静电包上。再次将其拿起前, 请同时触摸防静电包和系统的金属框架。
- 小心握持器件, 防止造成永久损坏。

在服务器机箱中安装 Alveo 数据中心加速器卡

如需了解硬件和软件安装流程, 请参阅《Alveo U50 数据中心加速器卡安装指南》([UG1370](#))。

由于每个服务器或 PC 供应商的硬件不同, 如需了解物理开发板安装指南, 请参阅制造商的 PCI Express® 开发板安装说明。

FPGA 配置

Alveo U50 加速器卡支持两种 UltraScale+™ FPGA 配置模式:

- QSPI 闪存

- JTAG (通过维护端口)

FPGA bank 0 模式引脚通过上拉/下拉电阻硬连线到 M[2:0] = 001 主 SPI 模式。

上电时, FPGA 由 QSPI NOR 闪存器件 (Micron MT25QU01GBB8E12-OSIT) 配置, 此闪存器件的 FPGA_CCLK 使用主串行配置模式以最高 85 MHz 的时钟速率运行。

如果插入了 JTAG 电缆, 则可能不会进行 QSPI 配置。JTAG 模式始终可用, 与模式引脚设置无关。

有关配置 FPGA 的完整详细信息, 请参阅《UltraScale 架构配置用户指南》(UG570)。

表 3: 配置模式

配置模式	M[2:0]	总线宽度	CCLK 指令
主 SPI	001	x1、x2 和 x4	FPGA 输出
JTAG	不适用 - JTAG 优先	x1	不适用

卡组件描述

本章提供 Alveo™ U50 数据中心加速器卡组件的功能说明。

UltraScale+ FPGA

Alveo U50 加速器卡采用了 16 nm UltraScale+™ XCU50 FPGA。

UltraScale+ HBM 器件在邻近器件裸片处整合了 2 个 4 GB 高带宽存储器 (HBM) 堆栈。该器件使用 SSI 技术，通过存储器控制器与 HBM 堆栈进行通信。存储器控制器通过器件底部的硅中介层连接。每个 XCU50 FPGA 包含 2 个 4 GB HBM 堆栈，每个器件最多包含 8 GB HBM。该器件还包含用于与 HBM 通信的 32 个 HBM AXI 接口。内置开关提供了灵活的寻址功能，支持 32 个 HBM AXI 接口中的任一接口访问 1 个或 2 个 HBM 堆栈上的任何存储器地址。这种器件与 HBM 堆栈间的灵活连接有助于布局规划和时序收敛。

注释: xilinx_u50_xdma_201920_2 平台支持使用最多 30 个 (共 32 个) 可用 HBM 伪通道。使用更多通道将导致硬件构建期间生成错误。赛灵思建议使用伪通道 0 到 29，因为伪通道 30 和 31 需用于结构资源之间的布线，这些结构资源与静态区域共享，因此使用这两个通道可能导致性能降低。

QSPI 闪存

QSPI 器件提供了 1 Gb 的非易失性存储空间。

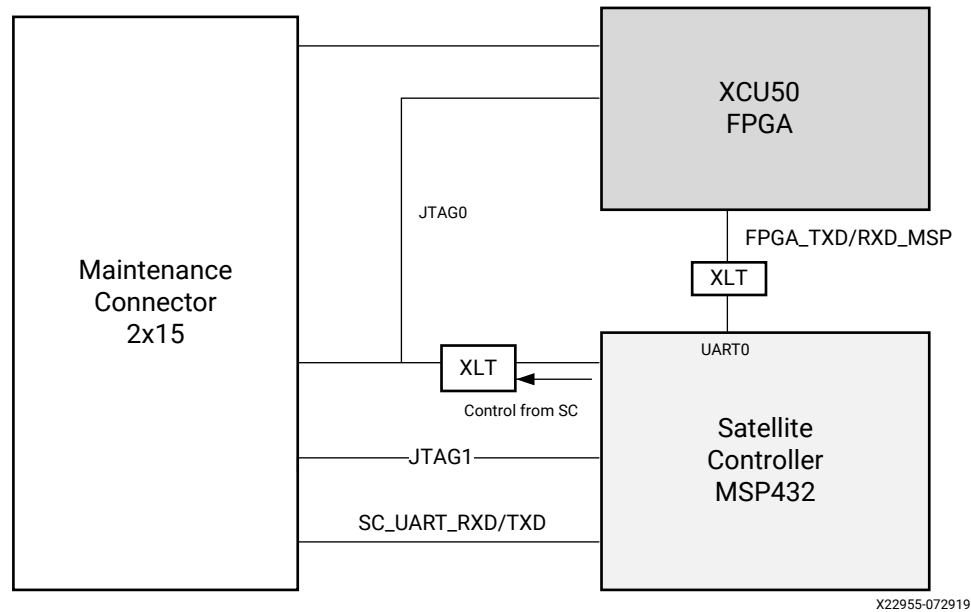
- 器件编号: MT25QU01GBBB8E12-0AAT (Micron)
- 电源电压: 1.8V
- 数据路径宽度: 4 位
- 数据率: 可调

有关配置详情，请参阅《UltraScale 架构配置用户指南》(UG570)。如需了解本节中所述功能的 FPGA 和闪存引脚连接详细情况，请参阅附录 A: 赛灵思设计约束 (XDC) 文件中引用的 Alveo U50 加速器卡 XDC 文件。

维护连接器接口

Alveo U50 加速器卡使用连接到 30 针维护连接器的调试和维护板 (DMB)，通过 JTAG 接口提供对 FPGA 的访问。连接器管脚支持三个 UART 调试接口: PMBus、FPGA JTAG 和卫星控制器 JTAG。下图显示了维护连接器接口。如需了解更多信息，请参阅《Alveo 编程电缆用户指南》(UG1377)。

图 5: 维护连接器



提示: U50 (QSFP) 量产卡并未随附 Alveo 编程电缆。可通过以下链接购买此电缆：<https://china.xilinx.com/products/boards-and-kits/alveo/accessories.html>。

PCI Express 端点

Alveo U50 加速器卡可实现 16 通道 PCI Express 边缘连接器，以每秒 2.5 千兆次传输 (Gt/s) (针对 1 代应用)、5.0 Gt/s (针对 2 代应用)、8.0 Gt/s (针对 3 代应用) 和 16.0 Gt/s (针对 4 代应用) 的速率进行数据传输。

如需了解此功能的 FPGA 连接详情，请参阅附录 A: 赛灵思设计约束 (XDC) 文件中引用的 Alveo U50 加速器卡赛灵思设计约束 (XDC) 文件。

SFP-DD 模块连接器

Alveo U50 加速器卡承载两个可接受光纤模块阵列的小型化封装热插拔 (SFP-DD) 连接器。每个连接器都安装在一个单罩组件中，并可通过 I2C 接口访问。

通过卫星控制器提供从 FPGA 到 SFP-DD 模块的访问和对各种 SFP-DD 信号的支持。有关 SFP-DD 模块的详细信息，请参阅 [SFP-DD 规范](#)。

- MGTREFCLK0 来自 SI5394，具有可编程输出频率
- 每个端口的最大 SFP-DD 功耗为 3.5W
- SFP-DD 通道的目标长度最大为 4 英寸

注释: 包含 1 个 QSFP 接口的 Alveo U50 卡符合部署的量产条件。不建议部署支持 2 个 SFP-DD 接口的 Alveo U50DD ES3 卡。

如需了解此功能的 FPGA 连接详情, 请参阅[附录 A: 赛灵思设计约束 \(XDC\) 文件](#)中引用的 Alveo U50 加速器卡 XDC 文件。

I2C 总线

Alveo U50 加速器卡可实现 I2C 总线网络。

状态 LED

U50 具有两套 LED。

1. 卡状态 LED
2. 以太网状态 LED

卡状态 LED 通过 PCIe 端支架中的开口可见, 并在下表中定义。量产版加速器卡并不具有电路板状态 LED。

表 4: 卡状态 LED

参考标识	描述	
	ES	量产
DS1	配置 FPGA 时, LED 显示蓝色, 除此之外则保持熄灭状态	
DS2	绿色表示系统健康 ¹	无
DS3	橙色表示出现警告或警报 ¹	无
DS4	红色表示电源故障	无

注释:

1. 功能尚未定义。

以太网状态 LED 位于 SFP-DD 模块上方, 左上角前面板上。下表中给出了 LED 定义。

表 5: ES 以太网状态 LED

参考标识	描述
SFPDD_0_ACT	专用于表示“活动”状态, 仅显示绿色 ¹
SFPDD_0_STA	专用于表示“链接”状态, 仅显示黄色或绿色 ¹
SFPDD_1_ACT	专用于表示“活动”状态, 仅显示绿色 ¹
SFPDD_1_STA	专用于表示“链接”状态, 仅显示黄色或绿色 ¹

注释:

1. 功能尚未定义。

表 6: PQ 以太网状态 LED

参考标识	描述
QSFP_0_ACT	专用于表示“活动”状态, 仅显示绿色 ¹
QSFP_0_STA	专用于表示“链接”状态, 仅显示黄色或绿色 ¹

注释:

1. 功能尚未定义。

卡电源系统

Alveo U50 卡为 FPGA 结构与 HBM 存储器分别搭配了单独的电源供电线。开发者必须确保他们的设计不会从每条供电线汲取过多电源。如需了解更多信息, 请参阅《Alveo U50 数据中心加速器卡安装指南》(UG1370) 中的“已知问题”表。通过 I2C IP 可提供有限的电源系统遥测功能用于进行监控。在 Vivado Design Suite 的“Board”选项卡中选择 Alveo 数据中心加速器卡后开始 FPGA 设计流程, 在此流程中对 I2C IP 进行例化。如需了解更多信息, 请参阅[设计流程](#)。



提示: 对于加速流程, 可使用 `xbutil query` 来监控电源系统遥测功能。

赛灵思设计约束 (XDC) 文件

RTL 用户可参阅《Vivado Design Suite 用户指南：使用约束》(UG903)，以了解更多相关信息。Alveo 加速器卡 XDC 文件可从其各自的网站下载，也可通过本用户指南下载。

注释: 比特流约束不可下载，因为它们是由用户生成的。

法规合规信息

本产品的设计和测试符合本节所述的欧盟指令与标准。

安全合规性

下表显示了适用于 Alveo U50 和 U50DD 卡的安全标准。

表 7: 安全标准

安全标准	Alveo U50	Alveo U50DD
IEC 62368-1:2014 (第二版)	✓	✓
CSA C22.2 No. 60950-1-07 第二版, 2014-10-14 (信息技术设备 - 安全 - 第 1 部分: 一般要求)	✓	
EN 60950-1:2006+A11:2009+A1:2012+A12:2011+A2:2013 (欧盟)	✓	
IEC 60950-1:2005 (第 2 版) ; Am 1:2009 (国际)	✓	
欧盟低电压指令 (LVD Directive) 2014/35/EC	✓	✓

EMC 合规性

下表显示了适用于 Alveo U50 和 U50DD 卡的 EMC 标准。

A 类产品

表 8: EMC 标准

标准	Alveo U50	Alveo U50DD
FCC 第 15 章 - 辐射放射性与传导放射性 (美国)	✓	
CAN ICES-3(A)/NMB-3(A) - 辐射放射性与传导放射性 (加拿大)	✓	
CISPR 32 - 辐射放射性与传导放射性 (国际)	✓	
EN55032: 2015 - 辐射放射性与传导放射性 (欧盟)	✓	✓
EN55024: 2010 +A1:2001+A2:2003 - 辐射抗扰 (欧盟)	✓	✓
EMC 指令 2014/30/EC	✓	✓
VCCI (A 类) - 辐射放射性与传导放射性 (日本)	✓	
CNS13438 - 辐射放射性与传导放射性 (台湾地区)	✓	

表 8: EMC 标准 (续)

标准	Alveo U50	Alveo U50DD
CNS 15663 - RoHS (台湾地区)	✓	
AS/NZS CISPR 32 - 辐射放射性与传导放射性 (澳大利亚/新西兰)	✓	
《无线电波法》第 58-2 条第 3 条款 (韩国)	✓	

法规合规性标记

下表显示了根据要求随 Alveo U50 和 U50DD 卡提供的产品认证标记。

表 9: 产品认证标记

产品认证标记	Alveo U50	Alveo U50DD
美国和加拿大: UL 认证附件标识	✓	
CE 标识	✓	✓
FCC 标记	✓	
VCCI 标记	✓	
澳大利亚 C-Tick 标识	✓	
韩国 MSIP 标识	✓	
台湾地区 BSMI 标识	✓	

CE 指令

2014/35/EC, 《Low Voltage Directive (LVD)》

2014/30/EC, 《Electromagnetic Compatibility (EMC) Directive》

CE 标准

EN 标准由欧洲电工标准化委员会 (CENELEC) 修订。IEC 标准由国际电工委员会 (IEC) 修订。

电磁兼容性

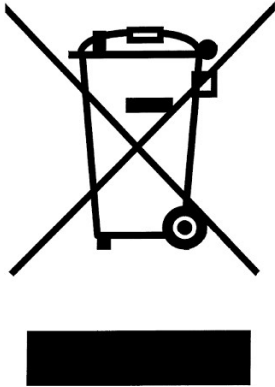
EN:55032:2015, 《Information Technology Equipment Radio Disturbance Characteristics – Limits and Methods of Measurement》

EN:55024:2015, 《Information Technology Equipment Immunity Characteristics – Limits and Methods of Measurement》

本品为 A 类产品。在家用环境中, 该产品可造成无线电干扰, 因此用户或需要采取适当的措施。

合规性标记

本节中的信息仅适用于 Alveo U50DD 卡。



2005 年 8 月，欧盟 (EU) 开始实施废旧电子电气设备 (WEEE) 指令 2002/96/EC，随后又实施了 WEEE 重铸 (Recast) 指令 2012/19/EU。这些指令要求电子电气设备 (EEE) 制造商对其在 2005 年 8 月 13 日后投放欧盟市场的废旧电子电器设备的收集、回收、再利用和适当处理进行管理并承担相应费用。该指令的目标在于最大限度地减少电子电气废物处置的数量，并鼓励在使用寿命结束时进行回收再利用。

赛灵思已通过向在赛灵思承担进口商身份的国家/地区内进行登记注册，来履行欧盟 WEEE 指令在这些国家/地区内要求其承担的义务。赛灵思还选择加入一些国家/地区的 WEEE 合规性计划，以帮助管理产品寿命终结时的客户退货。

如果您在欧盟购买了赛灵思品牌的电子电气产品，并且打算在其使用寿命终结时丢弃这些产品，请不要将其与您的其他生活或城市垃圾一起处理。赛灵思已在其品牌电子产品上标注了 WEEE 标志，以提醒我们的客户，带有此标签的产品不应在欧盟的垃圾填埋场内或随城市/生活垃圾一起处置。



本产品符合关于限制在电子电气设备中使用某些有害成分 (RoHS) 的指令 2002/95/EC 的要求。

其他合规性声明

以下部分仅适用于 Alveo U50 卡。

FCC A 类用户说明

上文列出的 A 类产品符合 FCC 规定第 15 章。运行应符合下列两个条件：

1. 本器件不会造成有害干扰。
2. 本器件必须接受任何收到的干扰，包括可能导致不正常运行的干扰。



重要提示! 本设备已按 FCC 规定第 15 章完成测试并符合 A 类数字器件的限值要求。设计这些限值的目的是为了给在商业环境中运行的设备提供合理保护，防止有害干扰。本设备生成、使用并能辐射无线电频率能量，如果未按照指示安装和使用，可能给无线电通信造成有害干扰。在居民区运行本设备很可能导致有害干扰，如发生这种情况用户应自费解决这一干扰。



注意! 如未经赛灵思许可，修改或变更此器件，用户可能丧失运行本设备的权力。

加拿大合规 (加拿大工业部)

CAN ICES-3(A)/NMB-3(A)

VCCI A 类声明

この装置は、クラス A 情報技術装置です。この装置を家庭環境で使用すると電波妨害を引き起こすことがあります。この場合には使用者が適切な対策を構ずるよう要求されることがあります。

VCCI-A

大韩民国广播通信委员会 (KCC) A 类声明 (仅限大韩民国)

A급 기기
(업무용 방송통신기기)

CLASS A device
(commercial broadcasting
and communication
equipment)

이 기기는 업무용(A급)으로 전자파적합등록을 한 기기이오니 판매자 또는 사용자는 이 점을 주의하시기 바라며, 가정외의 지역에서 사용하는 것을 목적으로 합니다.

This device has been approved by EMC registration. Distributors or users pay attention to this point. This device is usually aimed to be used in other area except at home

BSMI A 类声明 (台湾地区)

警告使用者:

此為甲類資訊技術設備，於居住環境中使用時，可能會造成射頻擾動，在此種情況下，使用者會被要求採取某些適對的對策。

欧盟制造商声明



Manufacturer Declaration

Xilinx declares that the equipment described in this document is in conformance with the requirements of the European Council Directive listed below:

- Low Voltage Directive 2014/35/EU
- EMC Directive 2014/30/EU
- RoHS Directive 2011/65/EU, 2015/863

These products follow the provisions of the European Directive 2014/53/EU.

Dette produkt er i overensstemmelse med det europæiske direktiv 1999/5/EC.

Dit product is in navolging van de bepalingen van Europees Directief 1999/5/EC.

Tämä tuote noudattaa EU-direktiivin 1999/5/EC määräyksiä.

Ce produit est conforme aux exigences de la Directive Européenne 1999/5/EC.

Dieses Produkt entspricht den Bestimmungen der Europäischen Richtlinie 1999/5/EC.

Pessi vara stenst reglugerð Evrópska Efnahags Bandalagsins númer 1999/5/EC.

Questo prodotto è conforme alla Direttiva Europea 1999/5/EC.

Dette produktet er i henhold til bestemmelsene i det europeiske direktivet 1999/5/EC.

Este produto cumpre com as normas da Diretiva Européia 1999/5/EC.

Este producto cumple con las normas del Directivo Europeo 1999/5/EC.

Denna produkt har tillverkats i enlighet med EG-direktiv 1999/5/EC.

This declaration is based upon compliance of the Class A products listed above to the following standards:

EN 55032 (CISPR 32 Class A) RF Emissions Control.

EN 55024:2010 (CISPR 24) Immunity to Electromagnetic Disturbance.

EN 60950-1:2006/A11:2009A1:2010/A12:2011 Information Technology Equipment- Safety-Part 1: General Requirements.

EN 50581:2012 - Technical documentation for the assessment of electrical and electronic products with respect to the restriction of hazardous substances.



注意! In a domestic environment, Class A products may cause radio interference, in which case the user may be required to take adequate measures.

Responsible Party

Xilinx, Inc.
2100 Logic Drive, San Jose, CA 95124
United States of America
Phone: (408) 559-7778

附加资源与法律提示

赛灵思资源

如需了解答复记录、技术文档、下载以及论坛等支持性资源，请参阅[赛灵思技术支持](#)。

Documentation Navigator 与设计中心

赛灵思 Documentation Navigator (DocNav) 提供了访问赛灵思文档、视频和支持资源的渠道，您可以在其中筛选搜索信息。打开 DocNav 的方法：

- 在 Vivado[®] IDE 中，单击“Help” → “Documentation and Tutorials”。
- 在 Windows 中，单击“Start” → “All Programs” → “Xilinx Design Tools” → “DocNav”。
- 在 Linux 命令提示中输入“docnav”。

赛灵思设计中心提供了根据设计任务和其他话题整理的文档链接，您可以使用链接了解关键概念以及常见问题解答。访问设计中心：

- 在 DocNav 中，单击“Design Hub View”标签。
- 在赛灵思网站上，查看[设计中心](#)页面。

注释：如需了解更多有关 DocNav 的信息，请参阅赛灵思网站上的 [Documentation Navigator](#)。

参考资料

以下技术文档是非常实用的补充资料，可配合本指南一起使用：

产品网站

如需了解有关 Alveo™ U50 卡和文档的最新信息，请参阅下列网站：

[Alveo U50 数据中心加速器卡](#)

补充材料

以下赛灵思文档是非常实用的补充材料，可配合本指南一起使用：

- 《UltraFAST 设计方法指南（适用于 Vivado Design Suite）》 (UG949)
- 《Vivado Design Suite 用户指南：系统级设计输入》 (UG895)
- 《Alveo 数据中心加速器卡入门指南》 (UG1301)
- 《Alveo U50 数据中心加速器卡安装指南》 (UG1370)
- 《Alveo 编程电缆用户指南》 (UG1377)
- 《UltraScale 架构配置用户指南》 (UG570)
- 《Vivado Design Suite 用户指南：编程和调试》 (UG908)
- 《Virtex UltraScale+ FPGA 数据手册：DC 和 AC 开关特性》 (DS923)
- 《UltraScale Architecture-Based FPGAs Memory IP LogiCORE IP 产品指南》 (PG150)
- 《Vivado Design Suite 用户指南：使用约束》 (UG903)
- 《UltraScale 架构 PCB 设计用户指南》 (UG583)

其他链接

以下链接提供了非常实用的补充材料，可配合本指南一起使用：

- 赛灵思公司：<https://china.xilinx.com>
- Micron Technology：<http://www.micron.com>
- 《Si5394 数据手册》：<https://www.silabs.com/documents/public/data-sheets/si5395-94-92-a-datasheet.pdf>
- Future Technology Devices International, Ltd.：<http://www.ftdichip.com>
(FT4232HQ)
- SFP-DD 模块：[SFP-DD 规格](#)

请阅读：重要法律提示

本文向贵司/您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用参考。在适用法律允许的最大范围内：（1）资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且（2）赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的任何类型的损失或赔偿），均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其他责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，贵司/您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向贵司/您签发的许可证中所包含的保证与支持条款的约束。赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能的用途。如果把赛灵思产品应用于此类特殊用途，贵司/您将自行承担风险和责任。请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>。

关于与汽车相关用途的免责声明

如将汽车产品（部件编号中含“XA”字样）用于部署安全气囊或用于影响车辆控制的应用（“安全应用”），除非有符合 ISO 26262 汽车安全标准的安全概念或冗余特性（“安全设计”），否则不在质保范围内。客户应在使用或分销任何包含产品的系统之前为了安全的目的全面地测试此类系统。在未采用安全设计的条件下将产品用于安全应用的所有风险，由客户自行承担，并且仅在适用的法律法规对产品责任另有规定的情况下，适用该等法律法规的规定。

商标

© Copyright 2019 赛灵思公司版权所有。Xilinx、赛灵思标识、Alveo、Artix、Kintex、Spartan、Versal、Virtex、Vivado、Zynq 本文提到的其它指定品牌均为赛灵思在美国及其它国家的商标。“OpenCL”和“OpenCL”标识均为 Apple Inc. 的商标，经 Khronos 许可后方可使用。“PCI”、“PCIe”和“PCI Express”均为 PCI-SIG 拥有的商标，且经授权使用。“AMBA”、“AMBA Designer”、“Arm”、“ARM1176JZ-SV”、“CoreSight”、“Cortex”、“PrimeCell”、“Mali”和“MPCore”为 Arm Limited 在欧盟及其它国家的注册商标。所有其它商标均为各自所有方所属财产。