

概述

Virtex®-5 系列可提供 FPGA 市场中最新最强大的功能。Virtex-5 系列采用第二代高级芯片组合模块 (ASMBLTM) 列式架构, 包含 5 个截然不同的平台 (子系列), 是 FPGA 系列中选择最为丰富的系列。每个平台都拥有独特特性, 以满足诸多高级逻辑设计的需求。除最先进的高性能逻辑结构外, Virtex-5 FPGA 还内置大量 IP 硬核系统级模块, 其中包括功能强大的 36Kb 模块 RAM/FIFO、第二代 25x18 DSP Slice、带内置数控阻抗的 SelectIO™ 技术、ChipSync™ 源同步接口模块、系统监控功能、带集成数字时钟管理器 (DCM) 和锁相环 (PLL) 时钟生成器的增强型时钟管理模块, 以及高级的配置选项。平台的其它独立特性包括用于增强串行连接功能的功耗优化型高速串行收发器模块、符合 PCI Express® 规范的集成端点模块、三态以太网媒体访问控制器 (MAC) 以及高性能 PowerPC® 440 微处理器嵌入式模块。这些特性可以让高级逻辑设计人员在基于 FPGA 的系统中构建最高性能和最强大的功能。Virtex-5 FPGA 采用业界一流的 65 nm 铜工艺技术, 是定制 ASIC 技术理想的可编程替代产品。大多数高级系统设计都要求强大的 FPGA 可编程功能。Virtex-5 FPGA 以前所未有的逻辑、DSP、硬 / 软微处理器和连接功能, 为满足高性能逻辑设计人员、高性能 DSP 设计人员和高性能嵌入式系统设计人员的需求, 提供了最佳解决方案。Virtex-5 LXT、SXT、TXT 及 FXT 平台具有高级高速串行连接功能和链路 / 事务层功能。

Virtex-5 FPGA 特性总结

- 5 个平台: LX、LXT、SXT、TXT 及 FXT
 - Virtex-5 LX: 主要用于高性能通用逻辑应用
 - Virtex-5 LXT: 主要用于具备高级串行连接功能的高性能逻辑
 - Virtex-5 SXT: 主要用于具备高级串行连接功能的高性能信号处理应用
 - Virtex-5 TXT: 主要用于具备双密度高级串行连接功能的高性能系统
 - Virtex-5 FXT: 主要用于具备高级串行连接功能的高性能嵌入式系统
- 跨平台兼容性
 - LXT、SXT 及 FXT 器件使用可调稳压器, 可以在相同封装内实现引脚兼容
- 最先进的最佳利用率高性能 FPGA 结构
 - 真正的 6 输入查找表 (LUT) 技术
 - 双 5-LUT 选项
 - 改进的布线减少了中间连线
 - 64 位分布式 RAM 选项
 - SRL32 / 双 SRL16 选项
- 强大的时钟管理模块 (CMT) 时钟功能
 - 具有零延迟缓冲、频率综合和时钟相移功能的数字时钟管理模块 (DCM)
 - 具备输入抖动滤波、零延迟缓冲、频率综合以及相位匹配时钟分频功能的 PLL 模块
- 36Kb Block RAM/FIFO
 - 真双端口 RAM 模块
 - 增强的可选可编程 FIFO 逻辑
 - 可编程
 - 高达 36 位宽度的真正双端口
 - 高达 72 位宽度的简单双端口
 - 内置可选纠错电路
 - 可选择将每个块配置作为两个独立的 18Kb 块
- 高性能并行 SelectIO 技术
 - I/O 工作电压: 1.2V 至 3.3V
 - 使用 ChipSync™ 技术的源同步接口连接
 - 数控阻抗 (DC) 有源终端
 - 灵活的精细 I/O 分组
 - 支持高速存储器接口
- 高级 DSP48E Slice 技术
 - 25x18 补码乘法运算
 - 可选加法器、减法器及累加器
 - 可选流水线功能
 - 可选按位逻辑功能
 - 专用的级联连接
- 灵活的配置选项
 - SPI 和并行 Flash 接口
 - 专用的回读重配置逻辑, 可支持多比特流
 - 自动总线宽度检测功能
- 对所有器件都有系统监控功能
 - 片上 / 片外热特性监控
 - 片上 / 片外电源监控
 - 通过 JTAG 端口访问所有监控量
- PCI Express 集成端点模块
 - 支持 LXT、SXT、TXT 及 FXT 平台
 - 符合 PCI Express 基本规范 1.1
 - 每个模块支持 1 倍、4 倍或者 8 倍信道宽度
 - 与 RocketIO™ 收发器配合使用
- 三态 10/100/1000 Mb/s 以太网 MAC
 - 支持 LXT、SXT、TXT 及 FXT 平台
 - RocketIO 收发器可用作 PHY, 也可选择使用多种软 MII (媒体独立接口) 连接到外部 PHY
- 速率从 100Mb/s 到 3.75Gb/s 的 RocketIO GTP 收发器
 - 支持 LXT 和 SXT 平台
- 速率从 150Mb/s 到 6.5Gb/s 的 RocketIO GTP 收发器
 - 支持 TXT 和 FXT 平台
- PowerPC 440 微处理器
 - 仅支持 FXT 平台
 - RISC 架构
 - 7 级流水线
 - 包括 32 KB 的指令和数据缓存
 - 优化的处理器接口结构 (纵横机)
- 65 nm 铜 CMOS 工艺技术
- 1.0V 内核电压
- 可选择标准或无铅的具有高度信号完整性的倒装片封装

表 1: Virtex-5 FPGA 系列成员

器件	可配置逻辑模块 (CLB)			DSP48E Slice ⁽²⁾	Block RAM			CMT ⁽⁴⁾	PowerPC 处理器模块	PCI Express 端点模块	以太网 MAC	最大 RocketIO 收发器 ⁽⁶⁾		总 I/O bank ⁽⁸⁾	最大用户 I/O ⁽⁷⁾
	阵列 (行x列)	Virtex-5 Slice ⁽¹⁾	最大分布式 RAM(Kb)		18Kb ⁽³⁾	36Kb	最大 (Kb)					GTP	GTX		
XC5VLX30	80 x 30	4,800	320	32	64	32	1,522	2	不适用	不适用	不适用	不适用	不适用	13	400
XC5VLX50	120 x 30	7,200	480	48	96	48	1,728	6	不适用	不适用	不适用	不适用	不适用	17	560
XC5VLX85	120 x 54	12,960	840	48	192	96	3,456	6	不适用	不适用	不适用	不适用	不适用	17	560
XC5VLX110	160 x 54	17,280	1,120	64	256	128	4,608	6	不适用	不适用	不适用	不适用	不适用	23	800
XC5VLX155	160 x 76	24,320	1,640	128	384	192	6,912	6	不适用	不适用	不适用	不适用	不适用	23	800
XC5VLX220	160 x 108	34,560	2,280	128	384	192	6,912	6	不适用	不适用	不适用	不适用	不适用	23	800
XC5VLX330	240 x 108	51,840	3,420	192	576	288	10,368	6	不适用	不适用	不适用	不适用	不适用	33	1,200
XC5VLX20T	60 x 26	3,120	210	24	52	26	936	1	不适用	1	2	4	不适用	7	172
XC5VLX30T	80 x 30	4,800	320	32	72	36	1,296	2	不适用	1	4	8	不适用	12	360
XC5VLX50T	120 x 30	7,200	480	48	120	60	2,160	6	不适用	1	4	12	不适用	15	480
XC5VLX85T	120 x 54	12,960	840	48	216	108	3,888	6	不适用	1	4	12	不适用	15	480
XC5VLX110T	160 x 54	17,280	1,120	64	296	148	5,328	6	不适用	1	4	16	不适用	20	680
XC5VLX 155T	160 x 76	24,320	1,640	128	424	212	7,632	6	不适用	1	4	16	不适用	20	680
XC5VLX 220T	160 x 108	34,560	2,280	128	424	212	7,632	6	不适用	1	4	16	不适用	20	680
XC5VLX 330T	240 x 108	51,840	3,420	192	648	324	11,664	6	不适用	1	4	24	不适用	27	960
XC5VSX 35T	80 x 34	5,440	520	192	168	84	3,024	2	不适用	1	4	8	不适用	12	360
XC5VSX 50T	120 x 34	8,160	780	288	264	132	4,752	6	不适用	1	4	12	不适用	15	480
XC5VSX 95T	160 x 46	14,720	1,520	640	488	244	8,784	6	不适用	1	4	16	不适用	19	640
XC5VSX 240T	240 x 78	37,440	4,200	1,056	1,032	516	18,576	6	不适用	1	4	24	不适用	27	960
XC5VTX150T	200 x 58	23,200	1,500	80	456	228	8,208	6	不适用	1	4	不适用	40	20	680
XC5VTX240T	240 x 78	37,440	2,400	96	648	324	11,664	6	不适用	1	4	不适用	48	20	680
XC5VFX30T	80 x 38	5,120	380	64	136	68	2,448	2	1	1	4	不适用	8	12	360
XC5VFX70T T	160 x 38	11,200	820	128	296	148	5,328	6	1	3	4	不适用	16	19	640
XC5VFX100T	160 x 56	16,000	1,240	256	456	228	8,208	6	2	3	4	不适用	16	20	680
XC5VFX130T	200 x 56	20,480	1,580	320	596	298	10,728	6	2	3	6	不适用	20	24	840
XC5VFX200T	240 x 68	30,720	2,280	384	912	456	16,416	6	2	4	8	不适用	24	27	960

注:

1. Virtex-5 FPGA Slice 的结构与前几代不同。每个 Virtex-5 FPGA Slice 均包含 4 个 LUT 和 4 个触发器 (之前为 2 个 LUT 和 2 个触发器。)
2. 每个 DSP48E Slice 内含一个 25x18 乘法器、一个加法器及一个累加器。
3. Block RAM 大小基本为 36 Kb。每个模块还可以作为两个独立的 18 Kb 模块使用。
4. 每个时钟管理模块 (CMT) 内含 2 个 DCM 和一个 PLL。
5. 本表列出了各个器件的以太网 MAC 个数。
6. RocketIO GTP 收发器的运行速率为: 100Mb/s 到 3.75Gb/s。RocketIO GTX 收发器的运行速率为: 150Mb/s 到 6.5Gb/s。
7. 该数字不包括 RocketIO 收发器。
8. 包含配置 Bank 0。

Virtex-5 FPGA 逻辑

- 与 Virtex-4 器件相比，平均提升 1 至 2 个速度级
- 具备可级联的 32 位可变移位寄存器或 64 位分布式存储器功能
- 优异的布线架构，增强了对角布线功能，连接模块与模块之间的中间连线极少
- 支持多达 330,000 个逻辑单元，包括：
 - 多达 207,360 个具有时钟使能的内部架构触发器 (XC5VLX330)
 - 多达 207,360 个真 6 输入查找表 (LUT)，总 LUT 位数超过 1,300 万
 - 双 5-LUT 提供 2 个输出模式提高了利用率
 - 逻辑扩展式多路复用器和 I/O 寄存器

550MHz 时钟技术

- 多达 6 个时钟管理模块 (CMT)
 - 每个 CMT 包含 2 个 DCM 和一个 PLL，时钟发生器总数多达 18 个
 - 灵活的 DCM 到 PLL 或 PLL 到 DCM 级联
 - 精密时钟去歪斜和相移
 - 灵活的频率综合
 - 多种运行模式，便于性能权衡决策
 - 提高最大输入 / 输出频率
 - 精细相移分辨率
 - 输入抖动滤波
 - 低功耗运行
 - 相移范围大
- 可实现优化低抖动时钟和精确占空比的差分时钟树结构
- 32 个全局时钟网络
- 除了全局时钟外，还提供局部时钟、I/O 时钟和本地时钟。

SelectIO 技术

- 多达 1,200 个用户 I/O
- 提供从 1.2V 到 3.3V 的广泛的 I/O 标准选择范围
- 极高的性能
 - 高达 800Mb/s 的 HSTL 和 SSTL (在所有单端 I/O 上)
 - 高达 1.25Gb/s 的 LVDS (在所有差分 I/O 对上)
- 真正的差分片上终端
- 输入和输出 I/O 同边沿采集
- 支持广泛的存储器接口

550MHz 集成模块存储器

- 高达 16.4Mb 的集成模块存储器
- 带有可选双 18Kb 模式的 36Kb 模块
- 真双端口 RAM 单元
- 可选独立端口宽度 (1 位宽到 72 位宽)
 - 对于真双端口运行，每端口总宽度高达 36 位
 - 对简单双端口运行，每端口总宽度高达 72 位 (一个读取端口和一个写入端口)
 - 支持 9 位、18 位、36 位和 72 位宽度的存储器位数及奇偶校验/边带存储器
 - 从 32Kx1 到 512x72 的配置 (从 8Kx4 到 512x72 用于 FIFO 运行)
- 多速率 FIFO 支持逻辑
 - 具有完全可编程近满标志和近空标志的满标志和空标志
- 支持同步 FIFO，没有标志不确定的问题
- 用于提高性能的可选流水线级数
- 字节写入功能
- 专用级联布线，无需 FPGA 其他连线即可配成 64K x 1 存储器
- 满足高可靠性存储要求的集成可选 ECC
- 针对 18 Kb (及以下) 运行的特殊低功耗设计

550MHz DSP48E Slice

- 25x18 补码乘法运算
- 用于提高性能的可选流水线级数
- 用于乘法累加 (MACC) 运算的可选 48 位累加器，可选择将累加器级联为 96 位
- 用于复杂乘法运算或乘加运算的集成加法器
- 可选按位逻辑运行模式
- 每个 Slice 具有独立的 C 寄存器
- 在一个 DSP 列中完全可级联，无需外部布线资源

ChipSync 源同步接口逻辑

- 与 SelectIO 技术配合使用，简化源同步接口
- 所有 I/O 模块均内置逐比特去歪斜功能 (所有输入和输出上的可变延迟线)
- 专用的 I/O 时钟和区域时钟资源 (引脚和时钟树)
- 所有 I/O 均内置数据串行器和解串器逻辑，支持相应的时钟分频器
- 每个 I/O 提供速率高达 1.25Gb/s 的网络/电信接口

数控阻抗 (DCI) 有源 I/O 终端

- 可选串行或并行终端
- 温度和电压补偿
- 显著简化电路板布局
 - 减少电阻器
 - 在理想的位置设置终端，比如信号源或信号终点

配置

- 支持 Platform Flash 配置、标准 SPI Flash 配置或标准并行 NOR Flash 配置
- 可支持包含专用的回读重配置逻辑的比特流
- 256 位 AES 比特流解密，可保护知识产权并防止复制设计
- 增强型比特流检错/纠错功能
- 自动总线宽度检测功能
- 通过 ICAP 端口进行部分重配置

先进的倒装片封装

- 确实可实现优异信号完整性的预制封装技术
 - 尽量减少信号到回路之间的感应环路
 - 最佳信号与 PWR/GND 比
- 将 SSO 感应噪声降低 1/7
- 无铅封装和标准封装

系统监控器

- 片上温度测量 ($\pm 4^{\circ}\text{C}$)
- 片上电源测量 ($\pm 1\%$)
- 简便易用，独立运行
 - 基本运行无需设计
 - 所有片上传感器自行监测
 - 片上传感器的用户可编程报警阈值
- 用户可访问的 10 位 200kSPS ADC
 - 偏移和增益误差的自动校准
 - $\text{DNL} = \pm 0.9 \text{ LSB}$ 最大
- 可支持多达 17 个外部模拟输入通道
 - 输入范围 0V 到 1V
 - 监控外部传感器，如电压、温度
 - 通用模拟输入
- 可以通过内部结构或 JTAG TAP 全面访问系统监控器
- 在 FPGA 配置之前和器件省电模式下完全可运行（仅通过 JTAG TAP 访问）

65nm 铜 CMOS 工艺

- 1.0V 内核电压
- 12 层金属提供最强的布线功能，并可容纳硬 IP 植入
- 三栅极氧化层技术，确实可降低静态功耗

LXT、SXT、TXT 和 FXT 器件具体的系统模块

符合 PCI Express 规范的集成端点模块

- 配合 RocketIO GTP 收发器 (LXT 和 SXT) 以及 GTX 收发器 (TXT 和 FXT)，在最小程度地占用 FPGA 逻辑的情况下，提供全面的 PCI Express 端点功能
- 符合 PCI Express 基本规范 1.1
- PCI Express 端点模块或传统 PCI Express 端点模块
- 8 倍、4 倍或 1 倍信道宽度
- 支持电源管理
- 用于缓存的 Block RAM
- 完全缓存传输与接收
- 访问 PCI Express 配置空间和内部配置的管理接口
- 全程支持最大有效载荷
- 多达 6x32 位或 3x64 位 BAR（或 32 位与 64 位的组合）

三态以太网媒体访问控制器

- 符合 IEEE 802.3-2002 规范
- 以 10、100 和 1,000Mb/s 的速率运行
- 支持三态自动协商
- 接收地址滤波器（5 条地址记录）
- 使用 RocketIO GTP 收发器的全单片 1000Base-X 解决方案
- 通过软逻辑和 SelectIO 资源支持多种外部 PHY 连接（RGMI、GMII 等）接口
- 通过使用软逻辑和 RocketIO GTP 收发器的 SGMII，支持到外部 PHY 器件的连接
- 通过独立接口接收和传输可用统计数据
- 独立的主机和客户端接口
- 支持巨型帧
- 支持 VLAN
- 灵活的用户可配置主机接口
- 支持 IEEE 802.3ah-2004 单向模式

RocketIO GTP 收发器(仅 LXT/SXT)

- 具有 100 Mb/s 到 3.75Gb/s 波特率能力的全双工串行收发器
- 8B/10B 用户定义 FPGA 逻辑或无编码选项
- 支持通道绑定
- CRC 生成和检查
- 发射器可编程预加重或预均衡
- 可编程终端和电压摆幅
- 接收器可编程均衡
- 接收器信号检测和信号丢失指示器
- 可用二级配置总线进行用户动态重配置
- 对串行 ATA (SATA) 提供带外支持
- 为电气闲置、信标、接收器检测以及 PCI Express 和 SATA 扩频时钟支持
- 不足 100mW 的典型功耗
- 内置 PRBS 发生器和检验器

RocketIO GTX 收发器(仅 TXT/FXT)

- 具有 150Mb/s 到 6.5Gb/s 波特率能力的全双工串行收发器
- 8B/10B 编码和编程变速箱, 支持 64B/66B 和 64B/67B 编码、用户定义 FPGA 逻辑或无编码选项
- 支持通道绑定
- CRC 生成和检查
- 发射器可编程预加重或预均衡
- 可编程终端和电压摆幅
- 接收器可编程连续时间均衡
- 接收器可编程决策反馈均衡
- 接收器信号检测与信号丢失指示器
- 可用二级配置总线进行用户动态重配置
- 支持 OOB (SATA)
- 电气闲置、信标、接收器检测以及 PCI Express 扩频时钟支持
- 在所有线速下都能实现低功耗运行

PowerPC 440 RISC核(仅 FXT)

- 嵌入式 PowerPC 440 (PPC440) 核
 - 运行频率高达 550MHz
 - 每内核性能均高于 1000DMIPS
 - 7 级流水线
 - 每周期可执行多条指令
 - 无序执行
 - 32KB 64 路组关联一级指令高速缓存
 - 32KB 64 路组关联一级数据高速缓存
 - 符合 Book E 标准
- 可增强系统性能 of 集成纵横机
 - 128 位处理器局部总线 (PLB)
 - 集成的分散/聚集 DMA 控制器
 - 用于连接 DDR2 存储器控制器的专用接口
 - 非整数 PLB 到 CPU 时钟比率自动同步
- 辅助处理器单元 (APU) 接口和控制器
 - PPC440 嵌入式模块与基于 FPGA 架构的协处理器的直接连接
 - 128 位宽流水线 APU 加载/存储
 - 支持自主指令: 无流水线停顿
 - 定制指令的可编程解码

架构说明

Virtex-5 阵列简介

Virtex-5 器件是用户可编程的阵列，具有针对高密度和高性能系统设计优化的各种可配置元件和嵌入式内核。Virtex-5 器件可实现以下功能：

- I/O 模块提供连接封装引脚和内部可配置逻辑的接口。可编程 I/O 模块 (IOB) 支持大多数流行的前沿 I/O 标准。可将 IOB 连接到非常灵活的 ChipSync 逻辑，以增强源同步接口连接。源同步优化包括逐比特去歪斜（对于输入和输出信号）、数据串行器/解串行器、时钟分频器以及专用 I/O 和本地时钟资源。
- 可配置逻辑块 (CLB) 是赛灵思 FPGA 的基本逻辑元件，提供组合和同步逻辑以及分布式存储器和 SRL32 移位寄存器功能。Virtex-5 FPGA CLB 以真正 6 输入查找表技术为基础，可提供比前几代可编程逻辑更优异的功能和性能。
- Block RAM 模块提供灵活的 36Kb 真双端口 RAM，这种 RAM 可级联为更大的存储器模块。另外，Virtex-5 FPGA Block RAM 包含的可选可编程 FIFO 逻辑可提高器件利用率。还可将每个 Block RAM 配置为两个独立的 18Kb 真双端口 RAM 模块，以便为需要较小 RAM 模块的设计提供存储器粒度。
- 可级联嵌入式 DSP48E Slice 具有 25x18 补码乘法器和 48 位加法器/减法器/累加器，可支持大规模并行 DSP 算法。另外，每个 DSP48E Slice 都可用于执行按位逻辑功能。
- 时钟管理模块 (CMT) 为 FPGA 提供最灵活、最高性能的时钟控制。每个 CMT 包含 2 个数字时钟管理器 (DCM) 模块（自校准、全数字）和一个 PLL 模块（自校准、模拟），用于时钟分配延迟补偿、时钟乘法/除法运算、粗/细精度时钟相移和输入时钟抖动滤波。

此外，LXT、SXT、TXT 和 FXT 器件还包含：

- 用于 PCI Express 设计的集成端点模块，提供 1 倍、4 倍或 8 倍的 PCI Express 端点功能。当与 RocketIO 收发器配合使用时，可以用最少的 FPGA 逻辑实现一个完整的 PCI Express 端点。
- 10/100/1000 Mb/s 以太网媒体访问控制模块提供以太网功能。

LXT 和 SXT 器件包含：

- RocketIO GTP 收发器，运行速度可达 3.75Gb/s。每个 GTP 收发器都支持全双工时钟与数据恢复。

TXT 和 FXT 器件包含：

- GTX 收发器，运行速度可达 6.5Gb/s。每个 GTX 收发器都支持全双工时钟与数据恢复。

FXT 器件包含：

- 嵌入式 IBM PowerPC 440 RISC CPU。各 PowerPC 440 CPU 的运行频率可达 550MHz。每个 PowerPC 440 CPU 还包含一个可支持硬件加速的 APU（辅助处理器单元）接口，以及一个可实现高数据流量的集成纵横机。

通用布线矩阵 (GRM) 在各内部组件之间提供一个布线开关阵列。每个可编程元件均与一个开关矩阵绑定，以实现通用布线矩阵的多重连接。总体可编程互连是层级式结构，可支持高速设计。在 Virtex-5 器件中，优化的布线连接能够以最少的中继段支持 CLB 互连。减少中继段极大地提高了后期布局布线 (PAR) 设计性能。

包括布线资源在内的所有可编程元件均由静态存储元件中的存储值控制。这些值在配置过程中加载到 FPGA 中，可重新加载以便更改可编程元件的功能。

Virtex-5 FPGA 特性

本部分简述 Virtex-5 系列 FPGA 的特性。

输入/输出模块 (SelectIO)

IOB 可编程，并可分类如下：

- 可编程单端或差分 (LVDS) 运行
- 具有可选单倍数据速率 (SDR) 或双倍数据速率 (DDR) 寄存器的输入模块
- 具有可选 SDR 或 DDR 寄存器的输出模块
- 双向模块
- 逐比特去歪斜电路
- 专用 I/O 和区域时钟资源
- 内置数据串行器/解串器

IOB 寄存器为边沿触发 D 型触发器或电平敏感锁存器。

IOB 支持以下单端标准：

- LVTTTL
- LVCMOS (3.3V、2.5V、1.8V、1.5V 和 1.2V)
- PCI (33 和 66MHz)
- PCI-X
- GTL 和 GTLP
- HSTL 1.5V 和 1.8V (I、II、III 和 IV 级)
- HSTL 1.2V (一级)
- SSTL 1.8V 和 2.5V (I 和 II 级)

数控阻抗 (DCI) I/O 功能可配置成为每个单端 I/O 标准和某些差分 I/O 标准提供片上终端。

IOB 元件还支持以下差分信令 I/O 标准：

- LVDS 和扩展 LVDS (仅 2.5V)
- BLVDS (总线 LVDS)
- ULVDS
- Hypertransport™
- 差分 HSTL 1.5V 和 1.8V (I 和 II 级)
- 差分 SSTL 1.8V 和 2.5V (I 和 II 级)
- RDS (2.5V 点对点)

每个差分对使用两个相邻的焊盘。2 个或 4 个 IOB 模块连接到一个接入布线资源的开关矩阵。

逐比特去歪斜电路允许 FPGA 内部的可编程信号延迟。逐比特去歪斜灵活地提供精细延迟增量，以精细地生成一系列信号延迟。这对于在源同步接口中同步信号边沿尤其有用。

对于位置选择得当的通用 I/O (每 Bank 8 个)，应该为同一局部区域内的 I/O 添加特殊的硬件连接，从而将其设计成具有“区域 Clock-capable”的 I/O。这些区域时钟输入分布于限定的区域内，以尽量减轻各 IOB 之间的时钟歪斜。区域 I/O 时钟是对全局时钟资源的补充。

为每个 I/O 增加了数据串行器/解串器功能，以支持源同步接口。输入通路包含一个附有时钟分频器的串并转换器，而输出通路则包含一个并串转换器。

有关 Virtex-5 FPGA IOB 的深入指导，请参阅《Virtex-5 FPGA 三态以太网 MAC 用户指南》。

可配置逻辑块 (CLB)

一个 Virtex-5 FPGA CLB 资源由 2 个 Slice 组成。每个 Slice 包含并等效于：

- 4 个函数发生器
- 4 个存储元件
- 算术逻辑门
- 大型多路复用器
- 高速超前进位链

函数发生器可配置为 6 输入 LUT 或双输出 5 输入 LUT。某些 CLB 中的 SLICEM 可配置成作为一个 32 位移位寄存器 (或 2 个 16 位移位寄存器) 或 64 位分布式 RAM 运行。此外，可将 4 个存储元件配置成边沿触发的 D 型触发器或电平敏感型锁存器。每个 CLB 具有内部快速互连，并且连接到一个接入通用布线资源的开关矩阵。

《Virtex-5 FPGA 用户指南》中进一步讨论了 Virtex-5 FPGA CLB。

Block RAM

36Kb 真双端口 RAM 模块资源可以编程为从 32Kx1 到 512x72 的各种深度和宽度配置。此外，每个 36Kb 模块也可配置成作为两个独立的 18Kb 双端口 RAM 模块运行。

每个端口都完全同步且独立，提供三种“边写边读”模式。Block RAM 可以级联，以实现大型嵌入式存储模块。此外，作为选项还提供了后端流水线寄存器、时钟控制电路、内置 FIFO 支持、ECC 和字节写使能功能。

《Virtex-5 FPGA 用户指南》中进一步讨论了 Virtex-5 器件中的 Block RAM 功能。

全局时钟

CMT 和全局时钟多路复用缓冲器为设计高速时钟网络提供了完善的解决方案。

每个 CMT 包含 2 个 DCM 和一个 PLL。DCM 和 PLL 可独立使用，也可广泛级联。最多可使用 6 个 CMT 模块，总共可提供 18 个时钟发生器元件。

每个 DCM 都提供常用的时钟生成功能。为了生成无歪斜的内部或外部时钟，可以把每个 DCM 都用于消除时钟分配延迟。DCM 还提供输出时钟的 90°、180° 和 270° 相移输出。相移精度以数分之一时钟周期的增量提供更高分辨率的相位调整。灵活的频率综合提供等于输入时钟频率分数或整数倍的时钟输出频率。

为增强 DCM 的功能，Virtex-5 FPGA CMT 还包含一个 PLL。该模块提供参考时钟抖动滤波和更多频率综合选项。

Virtex-5 器件具有 32 个全局时钟 MUX 缓冲器。时钟树设计为差分式。差分时钟可帮助减少抖动和占空比失真。

DSP48E Slice

DSP48E Slice 资源包含一个 25x18 补码乘法器和一个 48 位加法器/减法器/累加器。每个 DSP48E Slice 还含有广泛的级联功能，可有效实现高速 DSP 算法。

《Virtex-5 FPGA XtremeDSP 设计注意事项》中进一步讨论了 Virtex-5 FPGA DSP48E Slice 的功能。

布线资源

Virtex-5 器件中的所有部件都使用相同的互连方案以及相同的全局布线矩阵接入方式。此外，CLB 到 CLB 的布线设计成以尽可能少的中间连线提供一整套连接功能。时序模型是共享的，可大大提高高速设计性能的可预测性。

边界扫描

边界扫描指令和相关的数据寄存器支持接入和配置 Virtex-5 器件的标准方法，符合 IEEE 标准 1149.1 和 1532。

配置

Virtex-5 器件的配置方法是用下列模式之一将比特流载入内部配置存储器：

- 从串模式
- 主串模式
- 从动 SelectMAP 模式
- 主动 SelectMAP 模式
- 边界扫描模式 (IEEE-1532 和 IEEE-1149)
- SPI 模式 (串行外设接口标准 Flash)
- BPI 上/BPI 下模式 (字节宽度外设接口标准 x8 或 x16 NOR Flash)

此外，Virtex-5 器件还支持下列配置选项：

- 用于 IP 保护的 256 位 AES 比特流解密
- 支持冷/热启动的多比特流管理 (MBM)
- 并行配置总线宽度自动检测
- 并行菊花链
- 配置 CRC 和 ECC 支持，以实现最强大、最灵活的器件完整性校验

《Virtex-5 FPGA 配置指南》中进一步讨论了 Virtex-5 器件配置。

系统监控器

FPGA 是高可用性/可靠性基础架构的重要构建模块。因此，有必要更好地监测 FPGA 的片上物理环境及其在系统内紧邻的周边环境。Virtex-5 系列系统监控器首次为 FPGA 及其外部环境提供了更简单的监控。Virtex-5 系列的每个成员都包含一个系统监控器模块。系统监控器是围绕一个 10 位 200kSPS ADC (模数转换器) 构建的。这个 ADC 用于对若干片上传感器进行数字化，以提供有关 FPGA 内部物理环境的信息。片上传感器包括一个温度传感器和几个电源传感器。对外部环境的访问是通过若干外部模拟输入通道提供的。这些模拟输入是通用的，可用于对种类繁多的电压信号类型进行数字化。提供了对单极、双极和真差分输入方案的支持。可以通过 JTAG TAP 全面访问片上传感器和外部通道，从而可以将 PC 板上现有的 JTAG 基础架构用于开发期间或现场部署后的模拟测试和高级诊断。系统监控器在 FPGA 通电之后和配置之前完全可运行。系统监控器在设计中不需要显式实例化即可获得对其基本功能的访问。这使得即使在设计周期的最后阶段也可以使用系统监控器。

《Virtex-5 FPGA 系统监控器用户指南》中进一步讨论了 Virtex-5 FPGA 系统监控器。

Virtex-5 LXT、SXT、TXT 和 FXT 平台特性

本部分简述仅在 LXT、SXT、TXT 和 FXT 器件中使用的模块。

三态 (10/100/1000 Mb/s) 以太网 MAC

Virtex-5 LXT、SXT、TXT 和 FXT 器件最多包含 8 个嵌入式以太网 MAC，每个以太网 MAC 模块有 2 个。这些模块具有以下特点：

- 符合 IEEE 802.3-2002 规范
- 经过 UNH 一致性测试
- 使用 RocketIO 技术的 GRMII/GMII 接口，或者当与 SelectIO 收发器配合使用时的 SGMII 接口
- 半双工或全双工
- 支持巨型帧
- 1000 Base-X PCS/PMA: 当与 RocketIO GTP 收发器配合使用时，可提供完全 1000 Base-X 片上实现
- 对微处理器的 DCR 总线连接

PCI Express 集成端点模块

Virtex-5 LXT、SXT、TXT 和 FXT 器件最多包含 4 个集成端点模块。这些模块实现事务层、数据链路层和物理层功能，在尽量少用 FPGA 逻辑的情况下可提供完整的 PCI Express 端点功能。这些模块具有以下特点：

- 符合 PCI Express 基本规范 1.1
- 与 RocketIO 收发器配合使用可提供完整的端点功能
- 每个模块支持 1 倍、4 倍或者 8 倍通道宽度

Virtex-5 LXT 和 SXT 平台特性

本部分简述仅在 LXT 和 SXT 器件中使用的模块。

RocketIO GTP 收发器

4-24 通道 RocketIO GTP 收发器，能够以 100 Mb/s 到 3.75Gb/s 的速度运行。

- 完全时钟和数据恢复功能
- 支持 8/16 位或 10/20 位数据通路
- 可选 8B/10B 或基于 FPGA 的编码/解码功能
- 集成 FIFO/弹性缓冲器
- 支持通道绑定和时钟校正
- 嵌入式 32 位 CRC 生成/检查
- 集成的间隔符检测或 A1/A2 检测功能
- 可编程预加重 (AKA 发射器均衡)
- 可编程发射器输出摆幅

- 可编程接收器均衡
- 可编程接收器终端
- 嵌入式支持
 - 带外 (OOB) 信令; 串行 ATA
 - 信标、电气闲置和 PCI Express 接收器检测
- 内置式 PRBS 生成器/校验器

《Virtex-5 FPGA RocketIO GTP 收发器用户指南》中进一步讨论了 Virtex-5 FPGA RocketIO GTP 收发器。

Virtex-5 TXT 和 FXT 平台特性

本部分简述仅在 TXT 和 FXT 器件中使用的模块。

RocketIO GTX 串行收发器 (TXT/FXT)

8-48 通道 RocketIO 串行收发器，能以 150 Mb/s 到 6.5 Gb/s 的速度运行

- 完全时钟和数据恢复功能
- 支持 8/16/32 位或 10/20/40 位数据通路
- 可选 8B/10B 编码，用于可编程 64B/66B 或 64B/67B 编码的变速箱，或基于 FPGA 的编码/解码功能
- 集成 FIFO/弹性缓冲器
- 支持通道绑定和时钟校正
- 双嵌入式 32 位 CRC 生成/检查
- 集成的可编程字符检测
- 可编程去加重 (AKA 发射器均衡)
- 可编程发射器输出摆幅
- 可编程接收器均衡
- 可编程接收器终端
- 嵌入式支持:
 - 串行 ATA: 带外 (OOB) 信令
 - PCI Express: 信标、电气闲置和接收器检测
- 内置 PRBS 生成器/校验器

《Virtex-5 FPGA RocketIO GTX 收发器用户指南》中进一步讨论了 Virtex-5 FPGA RocketIO GTX 收发器。

一个或者两个 PowerPC 440 处理器核 (仅 FXT)

- RISC 超标量架构
- 符合 32 位 Book E 规范
- 7 级执行流水线
- 每周可执行多条指令
- 无序执行
- 集成 32KB 一级指令缓存和 32KB 一级数据缓存 (64 路组关联)
- CoreConnect™ 总线架构
- 可优化处理器带宽的纵横机连接
- PLB 同步逻辑 (启用 CPU 到 PLB 的非整数时钟比率)
- 辅助处理器单元 (APU) 接口和集成的 APU 控制器
 - 基于 FPGA 的协处理器优化连接
 - PowerPC 浮点指令的自动解码
 - 允许使用自定义指令
 - 极高效微控制器接口连接

《Virtex-5 FPGA 的嵌入式处理器模块参考指南》中进一步讨论了 PowerPC 440 处理器。

IP 核

赛灵思提供具有常用复合功能的 IP 核，包括 DSP、总线接口、处理器和处理器外设。客户使用赛灵思 LogiCORE™ 产品及第三方 AllianceCORE 参与方提供的内核，可以缩短开发时间、降低设计风险并获得优良的设计性能。此外，CORE Generator™ 系统还允许客户在 Virtex-5 FPGA 中实现 IP 核，以获得可预测和可重复的性能。该系统提供简单的用户接口，用以生成针对 FPGA 优化的基于参数的内核。

System Generator for DSP 工具允许系统架构设计师用手工设计的 IP 快速建立 DSP 功能模型并实现这些功能；另外，该工具为使用第三方系统级 DSP 设计工具提供了接口。System Generator for DSP 可实现支持 Virtex-5 FPGA 的多种高性能 DSP 核，包括使用交织器/去交织器、Reed-Solomon 编码器/解码器和 Viterbi 解码器的赛灵思前向纠错解决方案。对于创建支持通信市场的高灵活性连接编解码器，这些内核是理想的选择。

使用 Virtex-5 FPGA RocketIO 收发器，可实现业界领先的连接和网络 IP 核，其中包括最先进的 PCI Express、串行 RapidIO、光纤通道和 10Gb 以太网内核。赛灵思 SPI-4.2 IP 核使用 Virtex-5 FPGA ChipSync 技术实现动态相位对齐，以获得高性能源同步运行。

赛灵思还为高级系统同步运行提供了 PCI 核。

MicroBlaze™ 32 位内核提供业界最快的软处理解决方案，用来构建面向网络、电信、数据通信以及嵌入式和消费市场的复杂系统。MicroBlaze 处理器采用 RISC 架构，这种架构使用哈佛式独立 32 位指令和全速运行的数据总线，可以从片上和外部两种存储器执行程序 and 访问数据。一整套标准外设也启用了 CoreConnect™，以便为 MicroBlaze 设计人员提供兼容性和可重复利用性。

Virtex-5 FPGA 的所有 IP 核均可见于“赛灵思 IP 中心”门户网站，该网站提供最新的知识产权核和参考设计，可以通过智能搜索快速访问。

Virtex-5 FPGA 的 LogiCORE PCI Express 增强型端点模块封装

这是一款推荐使用的封装，可以对 CORE Generator 系统提供的 PCI Express 集成端点模块进行配置。这种 IP 为端点应用提供多种易用功能和优化配置，可简化设计过程，缩短上市时间。通过注册，无需额外费用即可获得该内核的访问权限，包括比特流生成功能。

应用说明和参考设计

可以通过赛灵思网站获取专门为 Virtex-5 系列编写的应用指南和参考设计，网址为：

<http://www.xilinx.com/cn/virtex5>

Virtex-5 器件及封装组合和最大 I/O 数

表 2: Virtex-5 器件及封装组合和最大可用 I/O 数

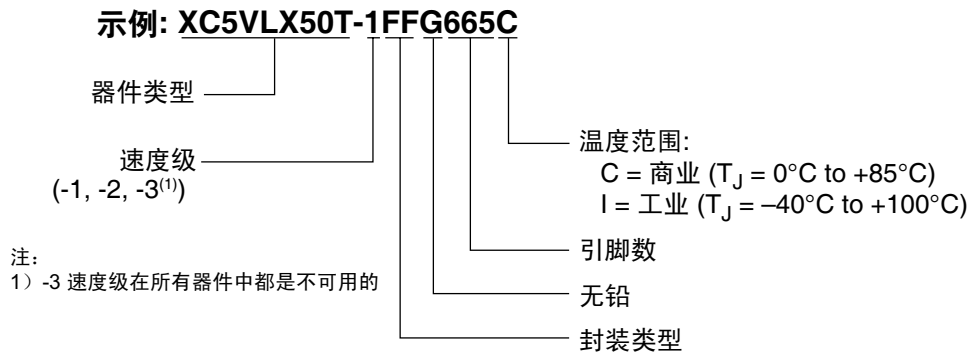
封装	FF323 FFG323		FF324 FFG324		FF676 FFG676		FF1153 FFG1153		FF1760 FFG1760		FF665 FFG665		FF1136 FFG1136		FF1156 FFG1156		FF1738 FFG1738		FF1759 FFG1759	
	19x19		19x19		27x27		35x35		42.5x42.5		27x27		35x35		35x35		42.5x42.5		42.5x42.5	
器件	GT	I/O	GT	I/O	GT	I/O	GT	I/O	GT	I/O	GT	I/O	GT	I/O	GT	I/O	GT	I/O	GT	I/O
XC5VLX30			不适用	220	不适用	400														
XC5VLX50			不适用	220	不适用	440	不适用	560												
XC5VLX85					不适用	440	不适用	560												
XC5VLX110					不适用	440	不适用	800	不适用	800										
XC5VLX155							不适用	800	不适用	800										
XC5VLX220									不适用	800										
XC5VLX330									不适用	1,200										
XC5VLX20T	4 GTPs	172																		
XC5VLX30T	4 GTPs	172								8 GTPs	360									
XC5VLX50T										8 GTPs	360	12 GTPs	480							
XC5VLX85T												12 GTPs	480							
XC5VLX110T												16 GTPs	640				16 GTPs	640		
XC5VLX155T												16 GTPs	640				16 GTPs	640		
XC5VLX220T																	16 GTPs	640		
XC5VLX330T																	24 GTPs	960		
XC5VSX35T										8 GTPs	360									
XC5VSX50T										8 GTPs	360	12 GTPs	480							
XC5VSX95T												16 GTPs	640							
XC5VSX240T																	24 GTPs	960		
XC5VTX150T														40 GTXs	360				40 GTXs	680
XC5VTX240T																			48 GTXs	680
XC5VFX30T										8 GTXs	360									
XC5VFX70T										8 GTXs	360	16 GTXs	640							
XC5VFX100T												16 GTXs	640				16 GTXs	640		
XC5VFX130T																	20 GTXs	840		
XC5VFX200T																	24 GTXs	960		

注：

- 倒装片封装也有无铅版本 (FFG)。

Virtex-5 FPGA 订购信息

如图 1 所示的 Virtex-5 FPGA 订购信息适用于包括无铅封装在内的所有封装类型。



DS100_01_111006

图 1: Virtex FPGA 订购信息

修订历史

下表显示了本文档的修订历史。

日期	版本	修订
2006 年 4 月 14 日	1.0	赛灵思最初版本
2006 年 5 月 12 日	1.1	首版发布到赛灵思网站。进行了少量排印修改，并为突出最新功能而更新了相关说明。从第 3 页“Virtex-5 FPGA 逻辑”中删除了 LUT 使用项号。
2006 年 9 月 6 日	2.0	在整个文档中增加了 LXT 平台。其中包括对 RocketIO GTP 收发器、以太网 MAC 和 PCI Express 端点模块的说明。
2006 年 10 月 12 日	2.1	增加了 LX85T 器件。增加了对系统监控器说明和功能。
2006 年 12 月 28 日	2.2	增加了 LX220T 器件。修改了表 1 中 LX330 的 I/O Bank 总数。修改了图 1 中的 XC5VLX50T-FFG665 示例。在第 7 页中阐明对“差分 SSTL 1.8V 和 2.5V (I 和 II 级)”予以支持。
2007 年 2 月 2 日	3.0	在整个文档中增加了 SXT 平台。
2007 年 5 月 23 日	3.1	删除了有关支持 IEEE 1149.6 的内容
2007 年 9 月 4 日	3.2	在整个文档中将最高线速从 3.2Gb/s 修改为 3.75Gb/s。
2007 年 12 月 11 日	3.3	增加了 LX20T、LX155T 和 LX155 器件。
2007 年 12 月 17 日	3.4	增加了 Disclaimer。修订了第 3 页中的 CMT 部分。在第 10 页对“Virtex-5 FPGA 的 LogiCORE PCI Express 增强型端点模块封装”予以阐述。
2008 年 3 月 31 日	4.0	在整个文档中增加了 FXT 平台。对以下部分中的相关信息予以阐述：“符合 PCI Express 规范的集成端点模块”和“三态以太网媒体访问控制器”。为避免与 PLL 功能相混淆，删除了第 8 页“全局时钟”中的 PMCD 参考。
2008 年 4 月 25 日	4.1	在整个文档中添加了 XC5VSX240T。
2008 年 5 月 7 日	4.2	就以下内容更新了整个数据手册：RocketIO GTX 收发器的运行速度设计为从 150 Mb/s 到 6.5 Gb/s。在第 5 页对 PPC440MC_DDR2 存储控制器予以阐述。
2008 年 6 月 18 日	4.3	修改了第 2 页表 1 中的以太网 MAC 列，并增加了注 5。另外还更新了第 9 页“三态 (10/100/1000 Mb/s) 以太网 MAC”
2008 年 9 月 23 日	4.4	在整个文档中增加了 TXT 平台。 修订了第 10 页中的 RocketIO GTX 收发器数据通路支持。
2009 年 2 月 6 日	5.0	修改了文档分类，将高级产品规范改成了产品规范。

Notice of Disclaimer

THE XILINX HARDWARE FPGA AND CPLD DEVICES REFERRED TO HEREIN (“PRODUCTS”) ARE SUBJECT TO THE TERMS AND CONDITIONS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://www.xilinx.com/cn/warranty.htm> THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED IN THE XILINX DATA SHEET. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE. PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, OR ANY OTHER APPLICATION THAT INVOKES THE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR PROPERTY OR ENVIRONMENTAL DAMAGE (“CRITICAL APPLICATIONS”). USE OF PRODUCTS IN CRITICAL APPLICATIONS IS AT THE SOLE RISK OF CUSTOMER, SUBJECT TO APPLICABLE LAWS AND REGULATIONS.

Virtex-5 FPGA 文档

有关 Virtex-5 系列 FPGA 的最新完整文档可以从赛灵思网站获得。除了最新的《Virtex-5 系列简介》，还可以下载以下文件：

《Virtex-5 FPGA 数据手册：直流和开关特性》(DS202)

本数据手册介绍了 Virtex-5 系列的直流和开关特性指标。

《Virtex-5 FPGA 用户指南》(UG190)

本指南包含以下章节：

- 时钟资源
- 时钟管理技术 (CMT)
- 锁相环 (PLL)
- Block RAM
- 可配置逻辑块 (CLB)
- SelectIO 资源
- SelectIO 逻辑资源
- 高级 SelectIO 逻辑资源

《Virtex-5 FPGA XtremeDSP 设计注意事项》(UG193)

本指南介绍了 DSP48E Slice，并包含使用 DSP48E 数学函数和各种滤波器的参考设计。

《Virtex-5 FPGA 配置指南》(UG191)

本配置指南包罗万象，各章节涉及内容包括配置接口（串行和并行）、多比特流管理、比特流加密、边界扫描和 JTAG 配置以及重新配置技术。

《Virtex-5 FPGA 封装和管脚规范》(UG195)

本规范包含器件/封装组合和最大 I/O 数表、引脚定义表、管脚表、管脚图、机械图和热性能技术规范。

《Virtex-5 FPGA PCB 设计指南》(UG203)

本指南提供了有关 Virtex-5 器件 PCB 设计的信息，重点讲述在 PCB 和接口层制定设计决策的策略。

《Virtex FPGA 系统监控器用户指南》(UG192)

本指南概述了系统监控器的功能。

《Virtex-5 FPGA RocketIO GTP 收发器用户指南》(UG196)

本指南介绍了 Virtex-5 LXT 和 SXT 平台提供的 RocketIO GTP 收发器。

《Virtex-5 FPGA RocketIO GTX 收发器用户指南》(UG198)

本指南介绍了 Virtex-5 TXT 和 FXT 平台提供的 RocketIO GTX 收发器。

《Virtex-5 FPGA 三态以太网 MAC 用户指南》(UG194)

本指南介绍了 Virtex-5 LXT、SXT、TXT 和 FXT 平台提供的专用三态以太网媒体访问控制器。

《用于 PCI Express 设计的 Virtex-5 FPGA 集成端点模块用户指南》(UG197)

本指南介绍了 Virtex-5 LXT、SXT、TXT 和 FXT 平台提供的符合 PCI Express 规范的集成端点模块。

《Virtex-5 FPGA 中的嵌入式处理器模块参考指南》(UG200)

本参考指南介绍了 Virtex-5 FXT 平台上提供的嵌入式处理器模块。