

ChipScope Pro チュートリアル

ChipScope Pro Analyzer での IBERT コアの使用

UG811 (v13.4) 2012 年 1 月 18 日



Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

© Copyright 2012 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v13.4) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	改訂内容
2011年4月1日	13.1 の新しい ChipScope™ チュートリアル
2011年10月17日	13.3 ソフトウェア用に更新 使いやすく、より明確にするために更新 「その他のリソース」のリンクを更新
2012年1月18日	13.4 リリース用にアップデート。技術的な内容に変更なし。

改訂履歴.....	2
チュートリアル : ChipScope Pro Analyzer での IBERT コアの使用	
概要	5
要件	5
設定	5
デザインの説明	6
手順 1 : IBERT デザインの作成、カスタマイズ、および生成	8
手順 2 : ChipScope Pro Analyzer でのデザインの確認	10
手順 3 : スイープ テストの実行	13
付録 : その他のリソース	
ザイリンクスのリソース.....	19
ChipScope に関する資料.....	19
ボードに関する資料	19

改訂履歴	2
チュートリアル : ChipScope Pro Analyzer での IBERT コアの使用	
概要	5
要件	5
設定	5
デザインの説明	6
手順 1 : IBERT デザインの作成、カスタマイズ、および生成	8
手順 2 : ChipScope Pro Analyzer でのデザインの確認	10
手順 3 : スイープ テストの実行	13
付録 : その他のリソース	
ザイリンクスのリソース	19
ChipScope に関する資料	19
ボードに関する資料	19

チュートリアル : ChipScope Pro Analyzer での IBERT コアの使用

概要

このチュートリアルでは次の内容を学ぶことができます。

- スタンドアロンの CORE Generator™ ツールを使用した IBERT (Integrated Bit Error Ratio Tester) コア デザインの作成、カスタマイズ、生成
- ChipScope™ Pro Analyzer を使用したデザインの確認。ChipScope Pro Analyzer へのビットストリーム ファイルのインポート、デバイスのコンフィギュレーション、IBERT/トランシーバー IP コアの確認がこれに含まれます。
- 13.1 ソフトウェアで導入された IBERT スweep プロット GUI を使用したトランシーバーチャネルの最適化およびデータのプロットを行うためのスweep テストの実行

要件

ザイリンクス ISE® ツール フローの基礎知識

設定

必要なもの

次のソフトウェアおよびハードウェアがあることを確認してください。

- ザイリンクス ISE Design Suite 13.3 (Logic、DSP、Embedded、または System Edition)
- ML605 ボード
- ML605 ボードに含まれている JTAG USB ケーブル
- SMA (SubMiniature バージョン A) ケーブル

ボードおよびケーブルの接続

1. ボードの USB JTAG からコンピューター システムに USB ケーブルを接続します。
2. 2 本の SMA ケーブルを接続します。
 - a. 1 本の SMA を J28 から J26 に接続
 - b. もう 1 本を J29 から J27 に接続ボードのコネクターの位置は [図 1](#) のようになります。

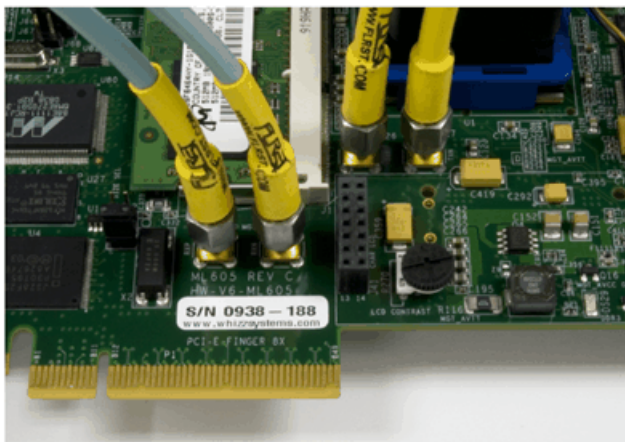


図 1 : SMA ケーブルの接続

3. ML605 の電源を入れます。

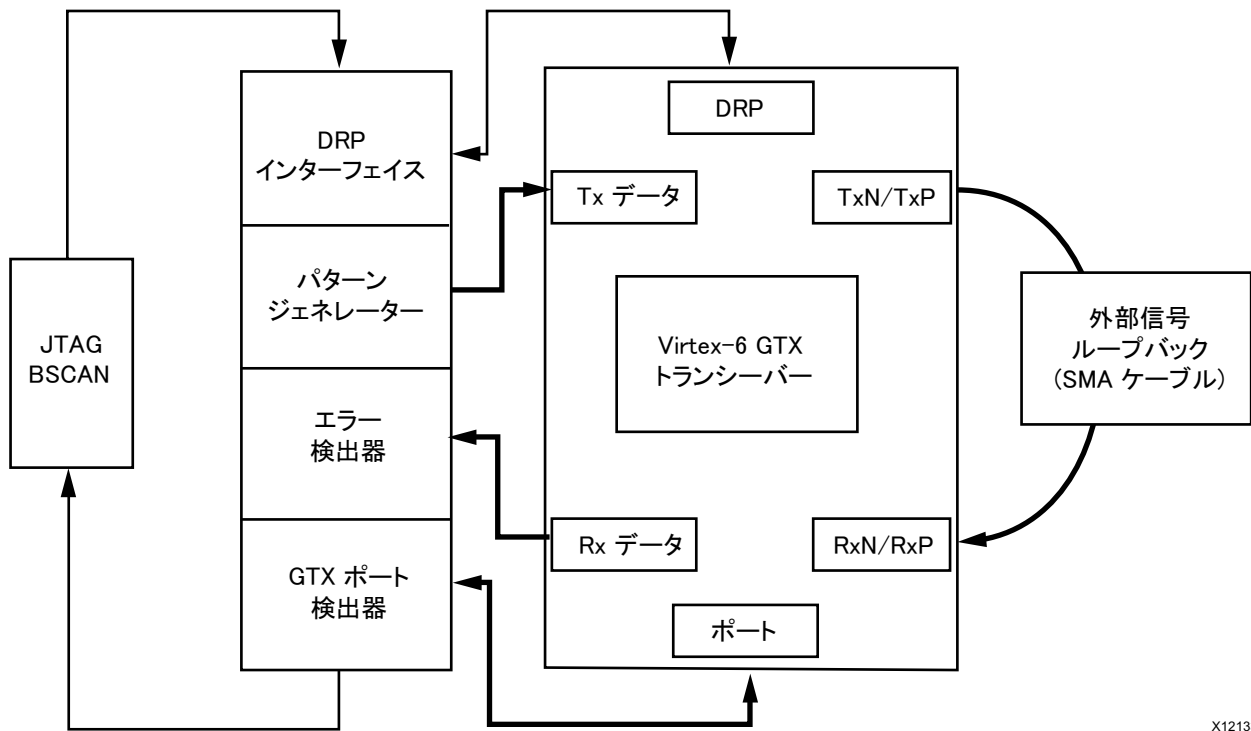
デザインの説明

ChipScope Pro Analyzer IBERT コアをカスタマイズして、さまざまなザイリンクス デバイスのトランシーバーの機能を評価および監視できます。このチュートリアルでは Virtex®-6 GTX トランシーバーを使用します。デザインには、FPGA ロジックにインプリメントされているパターン ジェネレーターおよびパターン チェッカーのほか、ポートへのアクセスや GTX トランシーバーのダイナミック リコンフィギュレーション ポート (DRP) 属性が含まれています。また、通信ロジックが含まれているので、JTAG を使用してランタイム時にデザインにアクセスできます。IBERT コアは自立型デザインです。生成すると、ビットストリーム生成を含めたインプリメンテーション フロー全体が実行されます。

IBERT デザインは、ザイリンクスの CORE Generator ツールでのカスタマイズ設定に従って自動的に生成されるので、このチュートリアルでは追加サンプル デザインは不要です。

図 2 は、IBERT Virtex-6 GTX コアと Virtex-6 トランシーバーを接続するインターフェイスのブロック図です。

- **DRP インターフェイスおよび GTX ポート レジスター** : IBERT を使用すると、GTX トランシーバーのポートおよび属性をユーザーが柔軟に変更できるようになります。ダイナミック リコンフィギュレーション ポート (DRP) ロジックが含まれていて、IBERT コアにあるどの GTX トランシーバーのどんな属性もランタイム ソフトウェアで監視および変更できます。適宜、読み出し可能および書き込み可能なレジスターも含まれます。これらは GTX トランシーバーのポートに接続され、すべて ChipScope Pro Analyzer ツールを使用してランタイム時にアクセスできます。
- **パターン ジェネレーター** : IBERT デザインで有効になっている各 GTX トランシーバーにはパターン ジェネレーターおよびパターン チェッカーの両方があります。パターン ジェネレーターはトランスミッターを介してデータを出力します。
- **エラー検出器** : IBERT デザインで有効になっている各 GTX トランシーバーにはパターン ジェネレーターおよびパターン チェッカーの両方があります。パターン検出器はレシーバーから入力されるデータを受信し、それを内部生成されたパターンと比較します。



X12133

図 2 : IBERT デザイン フロー

手順 1 : IBERT デザインの作成、カスタマイズ、および生成

1. ザイリンクス CORE Generator ツールを起動します。
2. [File] → [New Project] をクリックし、[図 3](#)にあるようにプロジェクト名を「IBERT_GTX_coregen」にして保存します。

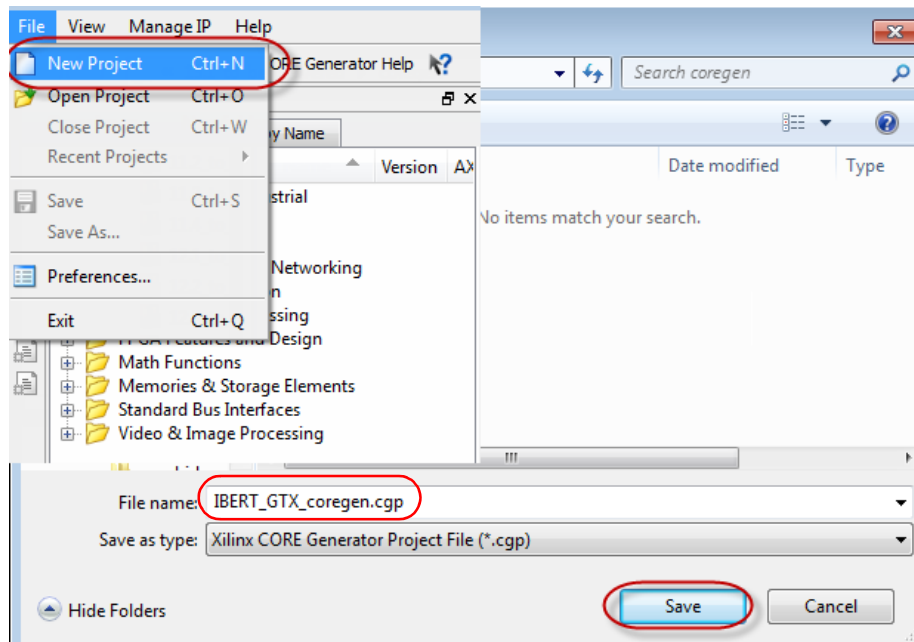


図 3 : CORE Generator でのプロジェクトの作成および保存

3. プロジェクトを保存すると、[Project Options] ダイアログ ボックスが開きます。
 - a. [Part] オプションが選択された状態で、次のように設定します。
 - [Family] を [Virtex 6] に設定
 - [Device] を ML605 ボードのデバイスである [-xc6vlx240t] に設定
 - [Package] を [ff1156] に設定
 - [Speed Grade] を -1 に設定
 - b. ほかのプロジェクト オプションはすべてデフォルト設定を使用します ([Generation] および [Advanced])。
 - c. [Apply] をクリックしてから [OK] をクリックします。
4. 生成する IBERT IP コアを選択します。
[IP Catalog] ペインで [Debug & Verification] → [ChipScope Pro] → [IBERT Virtex6 GTX (ChipScope Pro-IBERT)] をダブルクリックします。
5. コアのボード コンフィギュレーションを設定するダイアログ ボックス ([図 4](#)) の [Board Configuration Settings] ドロップダウン メニューから [ml605 bank116fmc1pcsfpsmasgmii] を選択します。

注記： [図 4](#) に示すようなドロップダウン リストが表示されない場合は、前述の 2 番で別のデバイスを選択してしまっている可能性があります。

注記： [Board Configuration Settings] ドロップダウン メニューには、[User Defined] と、上記で選択したものも含めて 4 つの ML605 ボードをターゲットとするコンフィギュレーション済み

ボード設定が含まれます。各コンフィギュレーション済みボード設定には、必要な設定がすべて含まれています。これは、デザイン環境を素早く評価したり、一部のコンフィギュレーション済みのボード フังก์ションを確認する場合などに便利です。また、これらの設定は [User Defined] 設定のテンプレートとしても使用できます。[User Defined] オプションを使用する場合は、クロック、ピン位置、プロトコル タイプなどのパラメーターをユーザーがあらかじめ知っている必要があります。コンフィギュレーション済みボード設定を選択する場合は、その必要はありません。

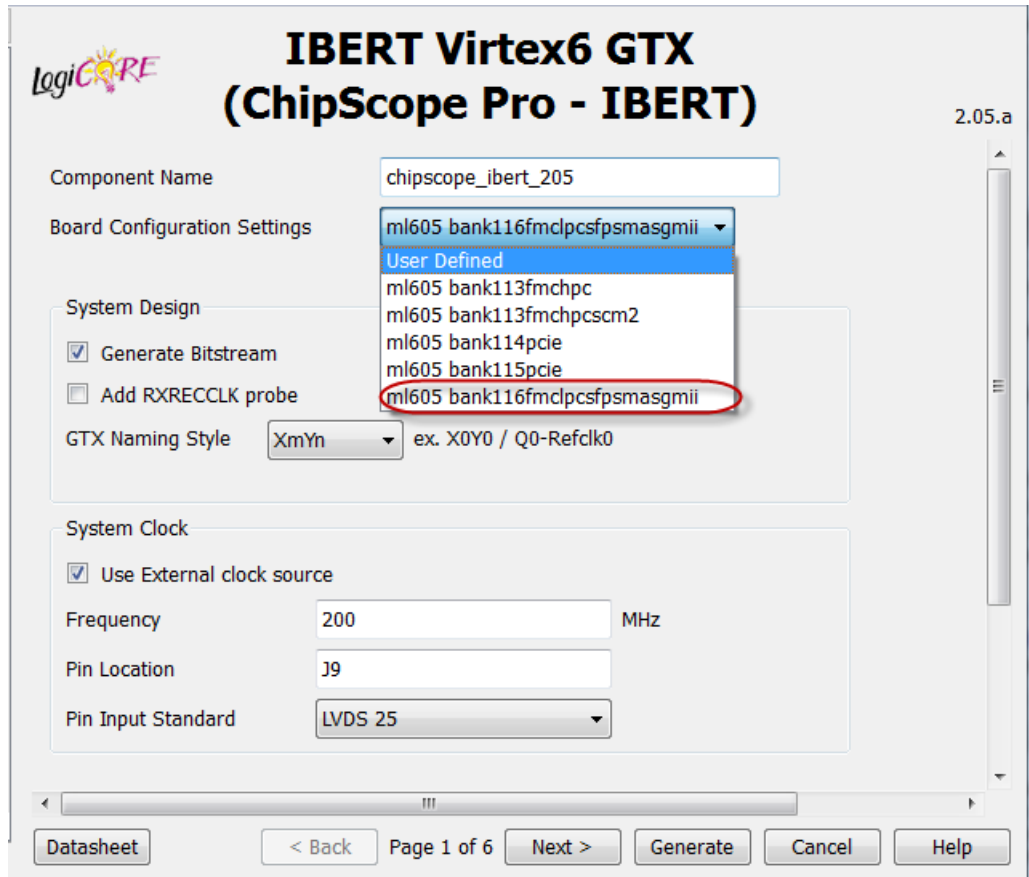


図 4 : [Board Configuration Settings] ダイアログ ボックス

6. [Next] をクリックし、コンフィギュレーション済みパラメーターを確認します。
7. 確認したら [Generate] をクリックして、IBERT デザインの生成を開始します。コアの生成には 1 分ほどかかることがあります。

ここまでの、CORE Generator ツールでプロジェクト ファイルを作成し、IBERT デザインをカスタマイズしてから生成しました。次は、ChipScope Pro Analyzer を使用してこのデザインを確認する方法について学びます。

手順 2 : ChipScope Pro Analyzer での設計の確認

ここでは、ChipScope Pro Analyzer を使用して手順 1 で作成した IBERT デザインを確認します。具体的には、ビットエラー数を確認しつつ、さまざまな入力パターンおよびループバック モードを使用して解析を実行します。

1. ChipScope Pro Analyzer を起動します。
2. メニューから [JTAG Chain] → [Xilinx Platform USB Cable] をクリックします。
3. [ChipScope Pro Analyzer [new project]] ダイアログ ボックスが表示されます。デフォルトの設定を使用してください。
4. [ChipScope Pro Analyzer] ダイアログ ボックスが表示されます。デフォルトの設定を使用してください。

デバイスのコンフィギュレーション

1. ChipScope Pro Analyzer のメイン ウィンドウの [New Project] ペインで [DEV: 1 MyDevice1 (XC6VLX240T)] を右クリックし、[Configure] をクリックします。
2. ダイアログ ボックスで [Select New File] をクリックし、`..\coregen*.bit` ファイルを指定して [OK] をクリックし、ML605 にビット ファイルをダウンロードします。
3. ChipScope Pro Analyzer のメイン ウィンドウの [New Project] ペインで [DEV: 1 MyDevice1 (XC6VLX240T)] を展開表示し、[IBERT Console] をダブルクリックします。

注記：この段階で、現在のプロジェクトの設定でコアを設定するかどうかを尋ねる [ChipScope Pro Analyzer - IBERT V6TX Project Settings] プロンプトが表示されることがあります。このプロンプトが表示されたら [Yes] をクリックします。

4. ループバック モードの初期設定を含む、[IBERT Console] ウィンドウが表示されます (図 5)。

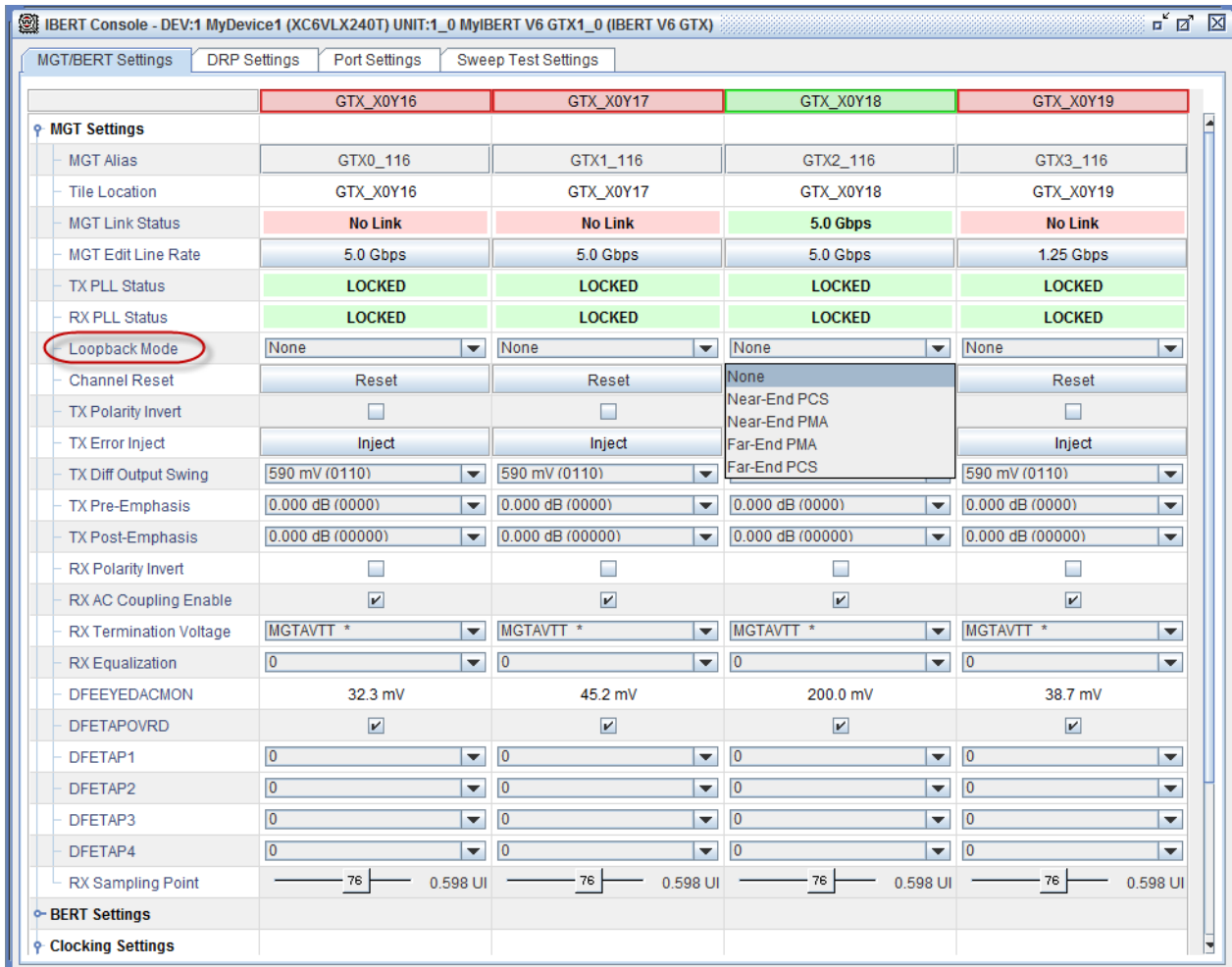


図 5 : Virtex-6 FPGA GTX トランシーバー用 IBERT コンソール ウィンドウ

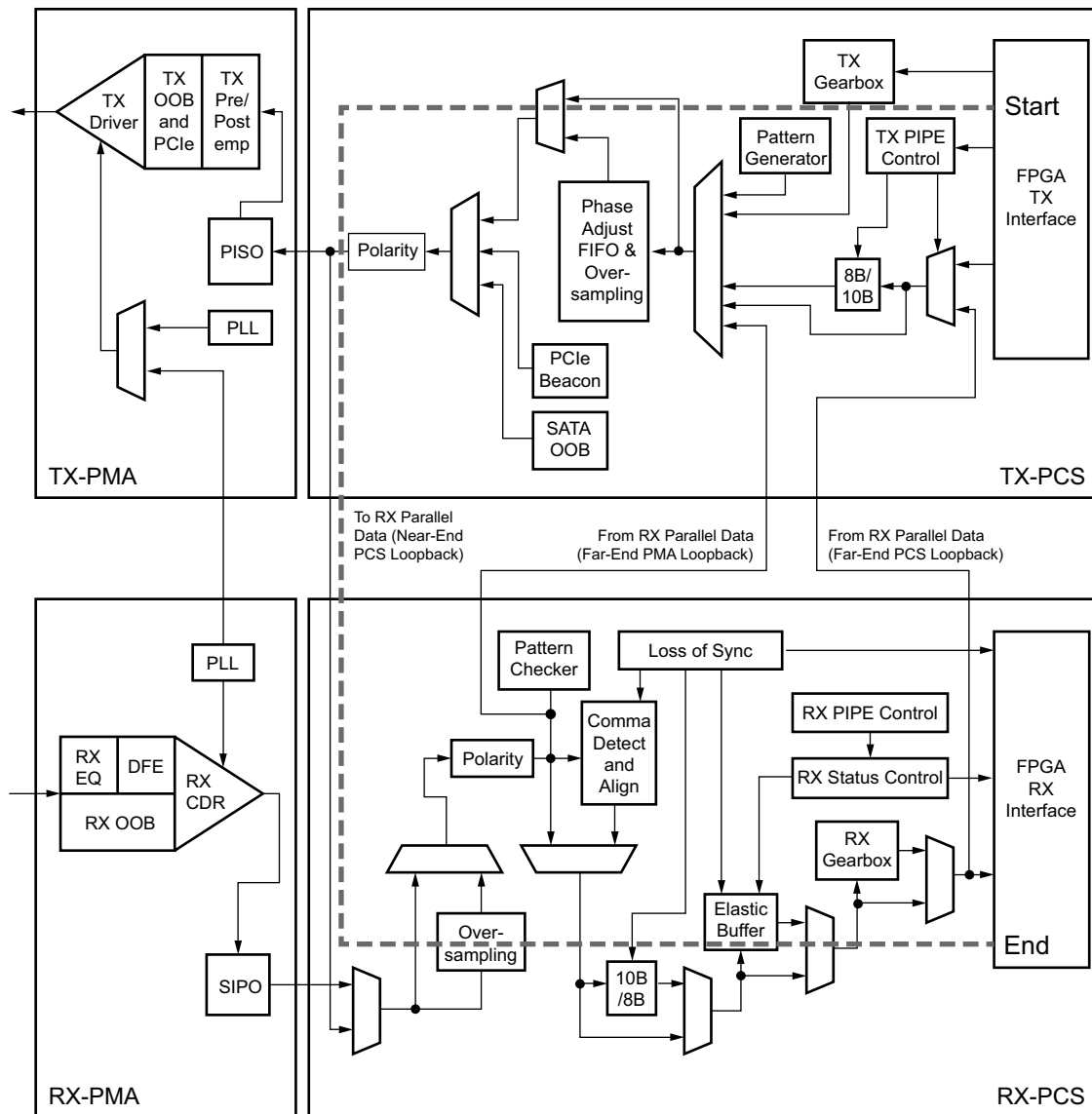
[IBERT Console] ウィンドウの主な機能

コンソール ウィンドウの一番上には 4 つの設定タブが表示されます。それぞれのタブが表になっていて、通常はダイナミックに制御可能なファンクション、またはステータス モニターとして機能するファンクションを記述する行が含まれます。

たとえば、プルダウン メニューから使用可能な設定のいずれか 1 つを選択すると、ループバックモードのファンクションをコンフィギュレーションできます。

特定の GTX トランシーバー チャンルのループバック モードを制御する [Loopback Mode] 設定を確認してください。このチュートリアルでは、次のループバック モードが使用されます。

- [None] : 内部ループバックは使用されません。
- [Near-End PCS] : 回路は近端 GTX トランシーバーに完全に含まれています。TX デバイス インターフェイスから開始して、PCS を通過し、GTX チャンルの PMA 側を通過せず、すぐに RX デバイス インターフェイスに戻ります (図 6)。



x12134

図 6 : GTX のループバックパス

[IBERT Console] ウィンドウを確認すると、GTX_X0Y18 トランシーバー チャンネルだけが TX と RX チャンセルの間で 5Gbps のライン レート リンクを確立していることがわかります。これは、TX および RX 間でループバックされるのがこのチャンネルだけだからです。その他 3 つのチャンネルは「No Link」と表示されます。GTX_X0Y18 トランシーバーは、ML605 回路図 (図 7) に示すように、SMA ケーブルを通してループバック可能な ML605 BANK 116 の唯一のチャンネルです。

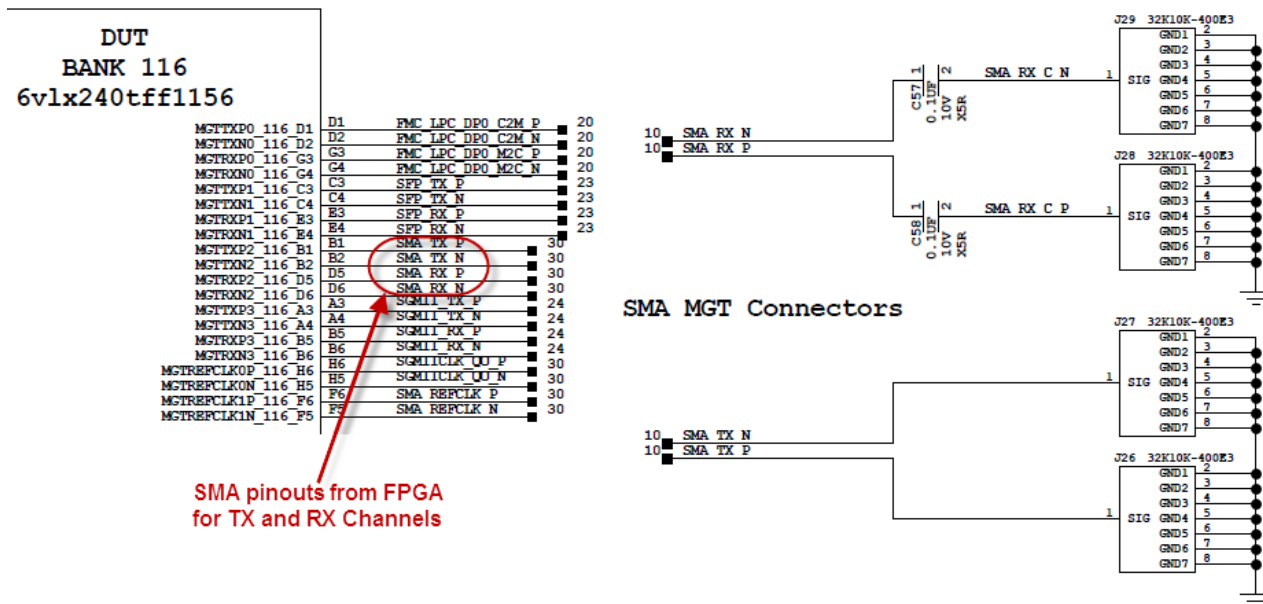


図 7 : SMA ケーブルを通るループバックを示す ML605 回路図

Virtex-6 GTX トランシーバーの [IBERT Console] ウィンドウに関する詳細は、<http://japan.xilinx.com/tools/cspro.htm> の『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

手順 3 : スイープ テストの実行

概要

この最後の手順では、さまざまなトランシーバー チャネル設定を使用してチャネルのスイープ テストを実行します。

- [Sweep Test Settings] パネルを開いて、スイープ テストのパラメーターを確認します。
- スイープ テストの設定をします。
- スイープ テストを実行します。
- IBERT スイープ プロットの GUI を使用してデータを描画します。

[Sweep Test Settings] パネルを開いてスイープ テストのパラメーターを確認

[IBERT Console] ウィンドウで [Sweep Test Settings] タブをクリックし、スイープ テストのパラメーターを設定することができるパネルを開きます。

[Sweep Test Settings] パネルのパラメーターとオプション

[Sweep Test Settings] パネルは 図 8 に表示されています。重要なオプションは赤丸で囲んであります。

このパネルは、さまざまなトランシーバー設定をスイープするチャネル テストを設定できます。

TX および RX 設定は、同じ GTX トランシーバー用です。TX および RX の両方の設定のスイープは、トランシーバーが近端または外部ループバック モードのいずれか 1 つに設定されているときの

み機能します。RX パラメーターのスイープは、リンクの対応する TX エンドポイントが別のデバイスまたは同じデバイスに含まれる別のトランシーバーに含まれるときのみ実行できます。

[Sweep Test Settings] パネルには次の 4 つのフィールドがあります。

- [Parameter Settings]
- [Sampling Point Region]
- [Test Controls]
- [Test Results]

ここでは、GTX_X0Y18 トランシーバー チャンルのスイープ テストを実行します。

IBERT Console - DEV:1 MyDevice1 (XC6VLX240T) UNIT:1_0 MyIBERT V6 GTX1_0 (IBERT V6 GTX)

MGT/BERT Settings | DRP Settings | Port Settings | Sweep Test Settings

GTX_X0Y16(GTX0_116) | GTX_X0Y17(GTX1_116) | GTX_X0Y18(GTX2_116) | GTX_X0Y19(GTX3_116)

Parameter Settings

Set Sweep Params to Current MGT Values | Clear All | Add/Remove Parameters

Parameter Name	Start Value	End Value	# of Values
TX Diff Swing	590 mV (0110)	590 mV (0110)	1
TX Pre-Emphasis	0.250 dB (0010)	0.250 dB (0010)	1
TX Post-Emphasis	0.000 dB (00000)	0.000 dB (00000)	1
RX Eq	0	3	4

Sampling Point Region

Left Edge 0 (0.000 UI) | Right Edge 127 (1.000 UI) | Increment 1 | Width of Sampling Point Region: 127 (1.000 UI)

Test Controls

Start | Pause | Stop & Reset | Log File Settings | Iteration Dwell Time (sec.) 1

Test Results

Iteration: 0 of 512 | ElapsedTime: 00 h 00 m 00 s | Estimated Time Remaining: 00 h 8 m 32 s

Current Sweep Result File: C:\Users\douangp\work_data_files\misc_doc_ppt\ChipScope tutorials\released_version\ibertMGT2sweep_results.csv

118 (0.929 UI)	YES	4000510480	7961	1.990E-006
119 (0.937 UI)	YES	4000526820	13663	3.415E-006
120 (0.945 UI)	YES	3976756200	48304	1.215E-005
121 (0.953 UI)	YES	4080405100	116943	2.866E-005
122 (0.961 UI)	YES	4006185440	312200	7.793E-005
123 (0.969 UI)	YES	4002944180	938552	2.345E-004
124 (0.976 UI)	YES	3999223460	2020376	5.052E-004
125 (0.984 UI)	YES	3999726760	4800427	1.200E-003
126 (0.992 UI)	YES	4006641680	9327455	2.328E-003
127 (1.000 UI)	YES	4353019700	19969968	4.588E-003

Sweep Test Log | Sweep Test Plots | Sweep Test Info

図 8 : [Sweep Test Settings] パネル

スイープ テストの設定

1. [IBERT Console] ウィンドウで [Sweep Test Settings] タブがオンになっていることを確認します (図 8)。
2. [GTX_X0Y18 (GTX2_116)] トランシーバーを選択します。
3. [Add/Remove Parameters] をクリックします。[Add/Remove Ports/Attributes] ダイアログ ボックスが表示されます。
4. [Add/Remove Ports/Attributes] ダイアログ ボックスで次のパラメーターを選択し、次の順番どおりに並べます (図 9)。
 - [TX Diff Swing]
 - [TX Pre-Emphasis]
 - [TX Post-Emphasis]
 - [RX Eq]
5. [OK] をクリックして [IBERT Console] ウィンドウに戻ります。

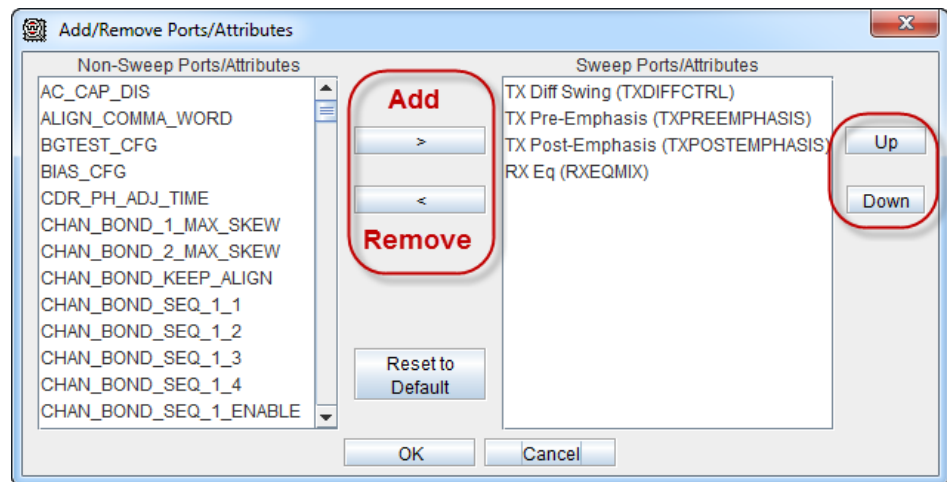


図 9 : スイープ設定オプション

注記 : [Sweep Ports/Attributes] リストのパラメーターの順序は、パラメーターのスイープ頻度を示しています。リストの一番上の近いパラメーターの値は、一番下に近いパラメーターの値よりもスイープされる頻度が少なくなります。つまり、表上部のパラメーターはスイープ アルゴリズムの外側ループにあり、表下部のパラメーターはスイープ アルゴリズムの内側ループにあるということです。

6. [IBERT Console] ウィンドウで [Sweep Test Settings] タブを選択し、それぞれのスイープ パラメーターの開始値 (Start Value) と終了値 (Stop Value) を確認します。

パラメーター	Start Value (開始値)	Stop Value (終了値)
TX Diff Swing	590 mV	590 mV
TX Pre-Emphasis	0.25 dB (0.010)	0.25 dB (0.010)
TX Post-Emphasis	0.000 dB (0.000)	0.000 dB (0.000)
RX Eq	0	3

注記：このチュートリアルでは、スイープされるパラメーターは RX Eq (Receiver Equalizer) のみです。それ以外は定数値に設定されます。

7. [Sampling Point Region] が 0 (0.000 UI) から 127 (1.00 UI) で、反復ごとの滞留時間は 1 秒増加するように設定します。

注記：サンプリング ポイントは、アイとサンプル間の水平ポイントを示します。

8. [Sweep Test Settings] パネルの [Test Controls] フィールドで [Iteration Dwell Time] が 1 になっていることを確認します。

スイープ テストの実行と結果の確認

[Start] をクリックしてテスト データのスイープを開始します。テスト結果はリアルタイムに、またはログ ファイルで確認できます。

- テスト結果をリアルタイムで確認する場合：

[IBERT Console] ウィンドウの一番下の [Sweep Test Log] タブをクリックし、スイープ テスト結果を確認します。これらのスイープ パラメーター設定の場合、合計 512 反復 (サンプル ポイントの合計 * スイープ値の総数 = $128 * 1 * 1 * 1 * 4 = 512$) になります。

- テスト結果をログ ファイルで確認する場合：

テスト結果はスイープ テスト結果ファイルにも書き込まれ、このファイルは後でオフラインで解析を実行する際に使用できます。[Test Controls] パネルの下の [Log File Settings] ボタンをクリックし、ファイルのディレクトリと名前を設定できるダイアログ ボックスを開きます。

IBERT スイープ プロットの GUI を使用したデータの描画

次に、複数のカーブを持つバスタブ プロットを作成し、RX Eq パラメーターの設定を変えてトランシーバーのマージンをグラフで比較します。バージョン 12.3 またはそれ以前のソフトウェアを使用する場合は、別の表計算ソフトウェア プログラムを使用し、前の手順で得られたスイープ データ結果でグラフを描く必要がありますが、バージョン 13.1 からは、ChipScope Pro Analyzer の [IBERT Console] ウィンドウに IBERT スイープ プロットの GUI 機能が含まれています。

IBERT スイープ プロットの GUI

IBERT スイープ プロットの GUI を使用すると次のことが実行できます。

- スイープ データが使用可能になると、[IBERT Console] ウィンドウ内で直接バスタブ カーブが描画できるようになります。
- トランシーバーからのスイープ データを外部表計算ソフトウェアを使用しなくても効率よく解析できます。
- スタンドアロン モードで動作するので、1 つまたは複数のスイープ データ ファイル (カンマ区切りフォーマット) を読み込むことができます。統合モードと同様の方法でデータを解析できます。スタンドアロン モードは、ボードにアクセスがない場合にスイープ データをオフラインで解析する際に便利です。統合モードの場合は、作業中のボードにローカルまたはリモートで接続しておく必要があります。

バスタブ カーブの描画

1. [Sweep Test Settings Panel] の一番下の [Sweep Test Plot] タブをクリックしバスタブ カーブを描画します。

図 10 のようにバスタブ プロットが 4 つ表示されます。表示オプションで次の表示設定を変更することができます。

- 1 つまたは複数のプロットを描画
- 左右または BER マーカーを移動することで、各プロットのマージンを確認
- プロットの表示/非表示 (プロットの番号を右クリック)
- 線の色を指定または変更

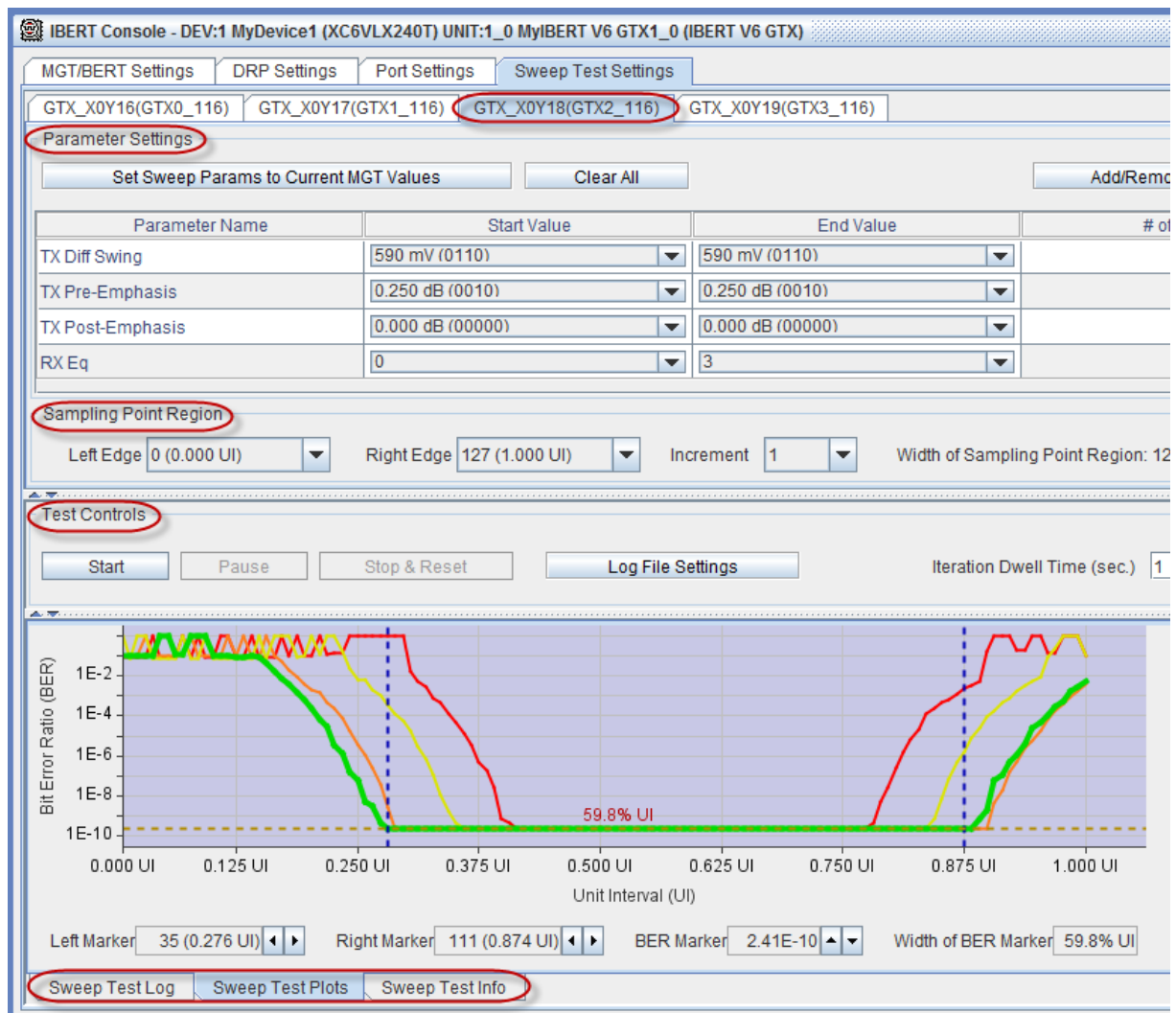
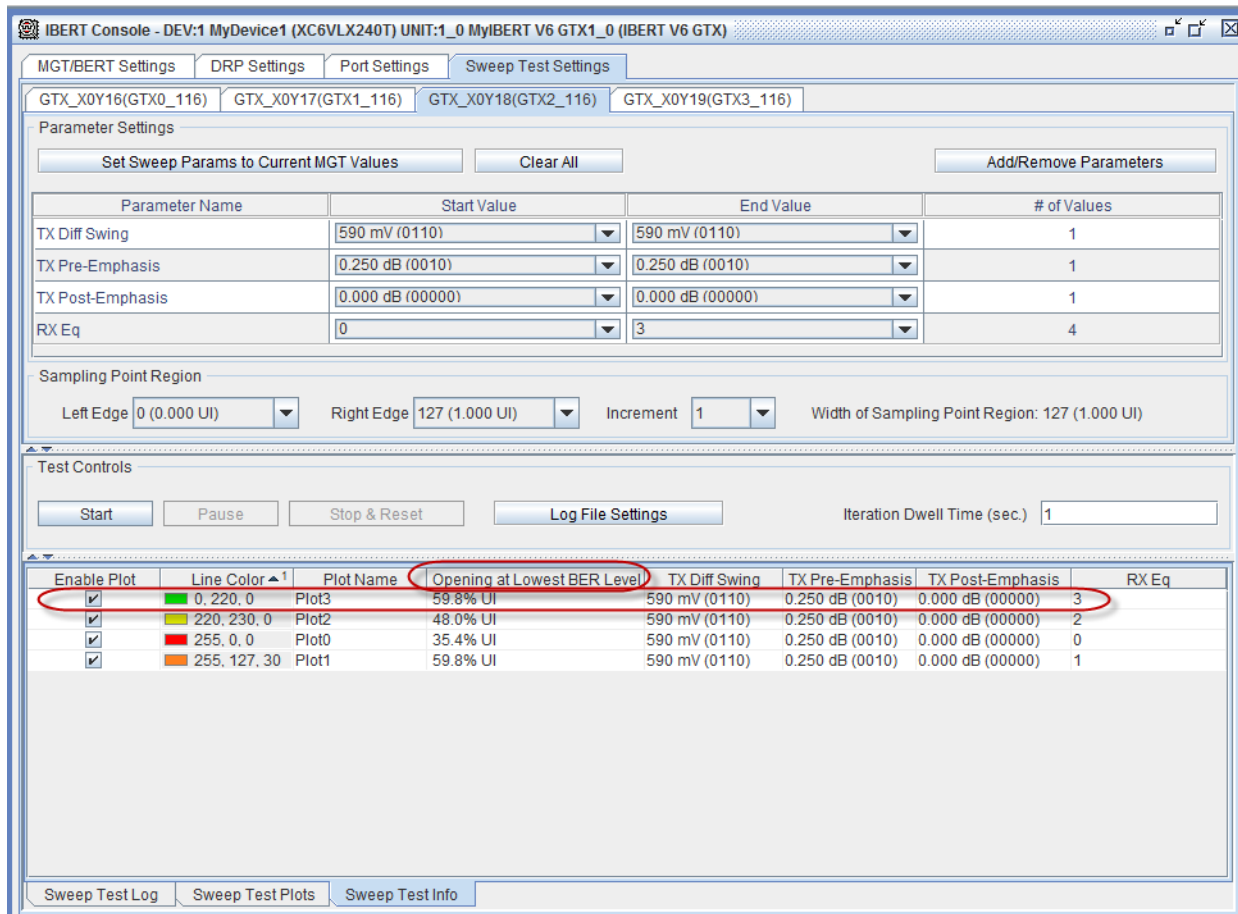


図 10 : スイープ テスト プロットの表示

2. [Sweep Test Info] タブ (図 11) をクリックし、アイ開口部およびマージンの一番大きいところを見つけます。

[Opening at Lowest BER Level] 列で並び替えることができます。このチュートリアルの場合、RX Eq パラメーターが 3 に設定された場合に、プロット 3 の開口部とマージンが一番大きいようです。



Parameter Name	Start Value	End Value	# of Values
TX Diff Swing	590 mV (0110)	590 mV (0110)	1
TX Pre-Emphasis	0.250 dB (0010)	0.250 dB (0010)	1
TX Post-Emphasis	0.000 dB (00000)	0.000 dB (00000)	1
RX Eq	0	3	4

Enable Plot	Line Color	Plot Name	Opening at Lowest BER Level	TX Diff Swing	TX Pre-Emphasis	TX Post-Emphasis	RX Eq
<input checked="" type="checkbox"/>	0, 220, 0	Plot3	59.8% UI	590 mV (0110)	0.250 dB (0010)	0.000 dB (00000)	3
<input checked="" type="checkbox"/>	220, 230, 0	Plot2	48.0% UI	590 mV (0110)	0.250 dB (0010)	0.000 dB (00000)	2
<input checked="" type="checkbox"/>	255, 0, 0	Plot0	35.4% UI	590 mV (0110)	0.250 dB (0010)	0.000 dB (00000)	0
<input checked="" type="checkbox"/>	255, 127, 30	Plot1	59.8% UI	590 mV (0110)	0.250 dB (0010)	0.000 dB (00000)	1

図 11 : [Sweep Test Info] タブ

スイープ テストの実行の詳細については、<http://japan.xilinx.com/tools/cspro.htm> の『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

その他のリソース

ザイリンクスのリソース

- ザイリンクス マニュアル：
<http://japan.xilinx.com/support>
- ザイリンクス用語集：
http://japan.xilinx.com/support/documentation/sw_manuals/glossary
- ザイリンクス サポート：
<http://japan.xilinx.com/support>

ChipScope に関する資料

- 『ChipScope™ Pro ソフトウェアおよびコア ユーザー ガイド』(UG029)：
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_4/chipscope_pro_sw_cores_ug029.pdf
- 『Project Navigator で FPGA アプリケーションをデバッグするためのザイリンクス ChipScope Pro ILA コアの使用』(UG750)：
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_4/ug750.pdf

ボードに関する資料

- Virtex®-6 FPGA ML605 評価キット：
<http://japan.xilinx.com/products/boards-and-kits/EK-V6-ML605-G.htm>

