

Vivado Design Suite ユーザー ガイド

入門

UG910 (v2015.4) 2015 年 11 月 18 日

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

改訂履歴

2015/11/18 : Vivado Design Suite 2015.4 リリース。内容の変更なし。

日付	バージョン	改訂内容
2015年9月30日	2015.3	第4章「Vivado Design Suite の情報入手」に含まれる QuickTake ビデオのリンクを更新
2015年4月1日	2015.1	第1章「Vivado Design Suite の概要」、第2章「Vivado Design Suite へのデザインの移行」、第4章「Vivado Design Suite の情報入手」、および付録 A 「その他のソースおよび法的通知」に新しい内容を追加

目次

Vivado Design Suite ユーザー ガイド

第 1 章 : Vivado Design Suite の概要

Vivado Design Suite とは	4
Vivado IDE の概要	5

第 2 章 : Vivado Design Suite へのデザインの移行

概要	6
移行時の注意事項	6

第 3 章 : Vivado Design Suite の開始

Vivado Design Suite のインストール	7
Vivado Design Suite の起動	8

第 4 章 : Vivado Design Suite の情報入手

概要	12
Xilinx Documentation Navigator	12
QuickTake ビデオ チュートリアル	13
ツール チュートリアル	13
統合資料	14

第 5 章 : UltraFast 設計手法

概要	15
UltraFast 設計手法 (Vivado Design Suite 用)	15
UltraFast 設計手法チェックリスト	16

付録 A : その他のソースおよび法的通知

ザイリンクス リソース	17
ソリューション センター	17
参考資料	17
トレーニング リソース	18
お読みください: 重要な法的通知	18

Vivado Design Suite の概要

Vivado Design Suite とは

Vivado® Design Suite は、デザインの生産性を改善するためのツールです。ザイリンクスの 7 シリーズ、Zynq®-7000 All Programmable (AP) SoC、および UltraScale™ 用のシステムを設計、統合、インプリメントし、全体的な生産性を増加させるために構築されています。ザイリンクス デバイスはより大規模になり、スタックド シリコン インターコネクト (SSI) テクノロジ、最大 28GB の高速 I/O インターフェイス、マイクロプロセッサおよびペリフェラル、アナログ ミックスド シグナルなどのさまざまな新技術を含めるようになりました。このようにデバイスが大規模で複雑になるにつれ、デザインは多次元になるため、タイムトゥマーケットが遅くなり、生産性を高めにくくなります。Vivado Design Suite を使用すると、配置配線ツールを使用してデザイン インプリメンテーションを進め、タイミング、混雑、ワイヤ長合計、使用量および消費電力などの複数の同時に発生するデザイン要素が分析的に最適化されます。Vivado Design Suite では、各デザイン段階にデザイン解析機能が提供されています。これにより、早い段階でデザインおよびツール設定を修正できるため、スケジュール全体への影響が少なくなり、繰り返し作業も減り、生産性も向上します。

Vivado Design Suite は、既存の ISE® Design Suite に代わる新しいツールです。Project Navigator、Xilinx Synthesis Technology (XST)、インプリメンテーション、CORE Generator™、Timing Constraints Editor、ISE Simulator (ISim)、ChipScope™ Analyzer、Xilinx Power Analyzer、FPGA Editor、PlanAhead™ デザイン ツール、SmartXplorer などのすべての ISE Design Suite ツールの代わりに使用できます。これらの機能はすべて、共有の拡張型データ モデルを使用して、Vivado Design Suite に直接組み込まれています。Vivado Design Suite は拡張型データ モデルを基に構築されているので、中間ファイル形式に書き込んだり変換したりせずにメモリで実行できるので、ランタイム、デバッグおよびインプリメンテーションが速くなり、メモリ要件が削減されます。

Vivado Design Suite ツールはすべて、ツール コマンド言語 (Tcl) インターフェイスを使用して記述されています。Vivado Design Suite のグラフィカル ユーザー インターフェイスである Vivado Integrated Design Environment (IDE) で使用可能なコマンドおよびオプションはすべて Tcl で実行できます。また、ツール コマンドおよびオプションだけでなく、レポートされるデザイン データおよびコンフィギュレーションも確認しやすくなっています。

Vivado Design Suite は、次を使用して実行できます。

- Vivado IDE での GUI ベースのコマンド
- Vivado IDE の Tcl コンソール、Vivado IDE 以外の Vivado Design Suite Tcl シェルに入力される Tcl コマンド、または Vivado IDE か Vivado Design Suite Tcl シェルのいずれかで実行される Tcl スクリプト ファイルに保存される Tcl コマンド
- GUI ベースと Tcl コマンドの混合

Tcl スクリプトには、デザインの合成およびインプリメンテーション フロー全体に適用される Tcl コマンドを含めることができます。これには、デザイン解析用に生成される必要なレポートすべても含まれます。

Vivado IDE の概要

Vivado IDE とは、グラフィカル ユーザー インターフェイス (GUI) のことで、ISE Design Suite 10.1 から含まれるようになった PlanAhead ツールの進化したものです。

- PlanAhead デザイン解析ツール : PlanAhead ツールは ISE Design Suite に組み込まれ、ISE ソフトウェアを使用したデザインに特有の機能のみが含まれるようになりました。
- Vivado Design Suite : Vivado Design Suite には、Vivado Design Suite および 7 シリーズ、Zynq-7000 AP SoC、UltraScale デバイスを使用したデザインに特有の機能が含まれます。ISE Design Suite フローは新しい Vivado Design Suite に置き換わっています。

注記 : Vivado Design Suite および PlanAhead デザイン ツールを含む ISE Design Suite は別々にインストールする必要があります。詳細は、『Vivado Design Suite ユーザー ガイド : リリース ノート、インストールおよびライセンス』(UG973) [参照 1] および『ISE Design Suite 14: リリース ノート、インストールおよびライセンス』(UG631) [参照 2] を参照してください。

Vivado IDE のわかりやすいインターフェイスは、新規ユーザー向けに設計されていますが、アドバンス ユーザーが詳細な設定ができるようにも設計されています。ツールおよびツール オプションはすべてネイティブ Tcl 形式で記述されています。Tcl コマンドは Vivado IDE の Tcl コンソールまたは Vivado Design Suite Tcl シェルで使用できます。解析および制約の割り当ては、デザインプロセスのどの段階でも実行できます。たとえば、合成、配置、配線後にタイミングや消費電力概算を出すことができます。データベースは Tcl を使用してアクセスできるので、制約、デザイン コンフィギュレーション、またはツール設定は、ほとんどの場合インプリメンテーションし直さなくてもリアルタイムに変更できます。

Vivado IDE では、メモリでデザインを開くというコンセプトを導入しています。デザインを効率的に開くことで、デザイン ネットリストがデザイン フローの特定段階で読み込まれ、制約がデザインに割り当てられ、デザインがターゲット デバイスに適用されます。これにより、各段階でデザインを視覚化して処理できます。Vivado IDE では、レジスタトランスファーレベル (RTL) のエラボレーション、合成、およびインプリメンテーション後にデザインを開くことができます。変更は、制約、ロジックまたはデバイス コンフィギュレーション、およびインプリメンテーション結果に加えることができます。また、デザイン チェックポイントを使用して、デザインの現在の状態を保存できます。デザイン チェックポイントは、ネットリスト、制約およびインプリメンテーション結果を含むデザイン プロセスの段階を示すデザインのスナップショットです。Vivado では、開いて解析ができるフローの各段階ごとにデザイン チェックポイントが自動的に作成されます。

Vivado IDE の詳細は、『Vivado Design Suite ユーザー ガイド : Vivado IDE の使用』(UG893) [参照 3] を参照してください。デザインの解析に関する詳細は、『Vivado Design Suite ユーザー ガイド : デザイン解析およびクロージャ テクニック』(UG906) [参照 4] を参照してください。

Vivado Design Suite へのデザインの移行

概要

ザイリンクス ISE® Design Suite では、7 シリーズおよび Zynq®-7000 デバイスなどのすべてのジェネレーションのザイリンクス デバイスをターゲットにするプロジェクトがサポートされます。Vivado® Design Suite では、7 シリーズ、Zynq-7000、UltraScale™ デバイスがサポートされ、特に高集積のデザインや混雑したデザインで優れたツールパフォーマンスになります。

ISE Design Suite および Vivado Design Suite のどちらでも 7 シリーズ デバイスがサポートされるので、Vivado Design Suite への移行が可能です。デザインの移行に関する詳細については、『Vivado Design Suite : ISE から Vivado Design Suite への移行手法ガイド』(UG911) [参照 5] を参照してください。

移行時の注意事項

移行時には、次に注意してください。

- IP : 既存の ISE Design Suite プロジェクトおよび IP は Vivado Design Suite プロジェクトおよび IP に移行できます。Vivado Design Suite では、インプリメンテーション中に ISE Design Suite の IP を使用できます。ただし、最新の IP アップデートを使用でき、最適な制約を使用できるので、最新の Vivado Design Suite の IP にアップデートすることをお勧めします。Vivado Design Suite は、Vivado Design Suite IP を使用してのみテストおよび検証されています。
注記 : ISE の IP は、7 シリーズ デバイスでのみサポートされます。ISE フォーマットの IP (.ngc) は UltraScale デバイスではサポートされなくなりましたので、UltraScale デザインを開始する前にネイティブ Vivado フォーマットに移行しておく必要があります。
- ソース ファイル : 既存の ISE Design Suite プロジェクトからの ISE Design Suite ソース ファイルは、新しい Vivado Design Suite プロジェクトに追加できます。
注記 : ISE Design Suite の回路図 (SCH) および Architecture Wizard (XAW) ソース ファイルは、Vivado Design Suite ではサポートされません。
- run 結果 : run 結果は移行されませんが、デザインを Vivado ツールでインプリメントすると、新しい run 結果が生成されます。
- 制約 : デザインで使用されたユーザー制約ファイル (UCF) は、Vivado Design Suite で使用するためにはザイリンクス デザイン制約 (XDC) フォーマットに変換する必要があります。UCF 制約から XDC 制約への変換については、『Vivado Design Suite : ISE から Vivado Design Suite への移行手法ガイド』(UG911) [参照 5] の「[UCF 制約を XDC に移行](#)」を参照してください。XDC に関する詳細は、『Vivado Design Suite ユーザー ガイド : 制約の使用』(UG903) [参照 6] を参照してください。



注意 : デザイン制約およびスクリプトは環境間で互換性がないので、現在 ISE Design Suite プロジェクトを操作中の場合は、Vivado Design Suite へは移行しないようにしてください。このような場合は、Vivado Design Suite を使用して新しいデザインを開始してください。

Vivado Design Suite の開始

Vivado Design Suite のインストール

ISE® Design Suite および Vivado® Design Suite は、別々にリリースされており、別々にインストールする必要があります。どちらもザイリンクス ウェブサイト [参照 7] のダウンロード ページから入手できます。



重要 : Vivado Design Suite は、保証期間内であれば、すべての ISE Design Suite カスタマーが無料で使用できます。

現在保証期間内の ISE Design Suite のシート数分の Vivado Design Suite のライセンスが使用できるようになっています。また、逆に現在保証期間内の Vivado Design Suite のシート数分の ISE Design Suite のライセンスも使用できるようになっています。Vivado Design Suite ライセンスまたはバージョン 13 または 14 の ISE Design Suite ライセンスを生成することで、どちらのツールの機能も使用できるようになります。

Vivado Design Suite のインストールは、必要なツールおよびデータに基づいてカスタマイズできます。また、Kintex® や Artix® といった特定のザイリンクス デバイス ファミリのみをインストールすることもできます。

詳細なインストール、ライセンスおよびリリース情報については、次の資料を参照してください。

- 『Vivado Design Suite ユーザー ガイド : リリース ノート、インストールおよびライセンス』(UG973) [参照 1]
注記 : 次の資料には、新しいリリースを定期的にチェックしてダウンロードし、XilinxNotify に代わって使用されるザイリンクス情報センターに含まれる詳細な情報が含まれます。
- 『ISE Design Suite 14 : リリース ノート、インストールおよびライセンス』(UG631) [参照 2]

注記 : この資料には、オペレーティング システム (OS) サポートの情報が含まれるほか、ザイリンクス情報センター (XilinxNotify に代わって使用される新しいリリースを定期的にチェック) に関する情報が含まれます。

Vivado Design Suite の起動

Vivado Design Suite は、さまざまな方法で起動できます。たとえば、非プロジェクトモードと呼ばれる Tcl スクリプトベースのコンパイル方法を使用して、ソースおよびデザインプロセスをユーザーが自分で管理できます。または、プロジェクトモードと呼ばれるプロジェクトベースの方法を使用して、プロジェクトおよびプロジェクトステータスによりデザインプロセスおよびデザインデータが自動的に管理されるようにすることもできます。どちらの方法も、Tcl スクリプトのバッチモードで実行できるほか、Vivado IDE でインタラクティブに実行できます。さまざまなデザインフローモードの詳細は、『Vivado Design Suite ユーザーガイド : デザインフローの概要』(UG892) [参照 8] の「[プロジェクトモードと非プロジェクトモード](#)」を参照してください。



ビデオ : デザインフローに関する詳細は、[Vivado Design Suite ビデオチュートリアル: デザインフローの概要](#)を参照してください。

Tcl の使用

Tcl を直接使用する場合は、Tcl コマンドで次のいずれかの方法を使用してデザインを処理します。

- Vivado IDE の外の Vivado Design Suite Tcl シェルに Tcl コマンドを入力します。
- Vivado IDE の一番下の Tcl コンソールに Tcl コマンドを入力します。
- Vivado Design Suite Tcl シェルから Tcl スクリプトを実行します。
- Vivado IDE から Tcl スクリプトを実行します。

Tcl および Tcl スクリプトに関する情報は、『Vivado Design Suite ユーザーガイド : Tcl スクリプト機能の使用』(UG894) [参照 9] を参照してください。Vivado ツールでの Tcl の使用方法の詳細は、『Vivado Design Suite チュートリアル: デザインフローの概要』(UG888) [参照 10] を参照してください。

Vivado Design Suite Tcl シェルの起動

Linux コマンドプロンプトまたは Windows のコマンドプロンプトで次のコマンドを使用して、Vivado Design Suite Tcl シェルを起動します。

```
vivado -mode tcl
```

注記 : Windows の場合、[スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [Vivado 2015.x] → [Vivado 2015.x Tcl Shell] をクリックしても起動できます。

バッチ Tcl スクリプトを使用した Vivado ツールの起動

Vivado ツールはを起動したときに Tcl スクリプトを提供しておく、バッチモードで使用できます。Linux コマンドプロンプトまたは Windows のコマンドプロンプトで次のコマンドを使用します。

```
vivado -mode batch -source <your_Tcl_script>
```

注記 : バッチモードの場合、指定したスクリプトが実行されてから Vivado ツールが閉じます。

Vivado IDE の起動

GUI を使用する場合は、Windows または Linux から Vivado IDE を起動します。Vivado IDE の詳細は、『Vivado Design Suite ユーザーガイド : Vivado IDE の使用』(UG893) [参照 3] を参照してください。



推奨 : Vivado IDE は作業ディレクトリから起動してください。これにより、起動ディレクトリに書き込まれるプロジェクト ファイル、ログ ファイル、ジャーナル ファイルが見つけやすくなります。

Windows での Vivado IDE の起動

[スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [Vivado 2015.x] → [Vivado 2015.x] をクリックします。

注記 : または、デスクトップの Vivado IDE のショートカットをダブルクリックします。



図 3-1 : Vivado IDE デスクトップ アイコン



ヒント : 作業フォルダーは、Vivado IDE のショートカット アイコンを右クリックして [プロパティ] をクリックするとアップデートできます。これにより、起動ディレクトリに書き込まれるログ ファイル、ジャーナル ファイルが見つけやすくなります。

Windows または Linux のコマンド ラインからの Vivado IDE の起動

コマンド プロンプトに次のコマンドを入力します。

```
vivado
```

注記 : このコマンドを入力すると、自動的に `vivado -mode gui` が実行され、Vivado IDE が起動されます。ヘルプが必要な場合は、「`vivado -help`」と入力すると、Vivado ツールを起動するときに使用可能なさまざまなコマンド ライン オプションを表示できます。

Vivado Design Suite の Tcl シェルからの Vivado IDE の起動

コマンド プロンプトに次の Tcl コマンドを入力します。

```
start_gui
```

Vivado IDE の使用

Vivado IDE を起動すると、Vivado Design Suite を開始するさまざまなリンクを含んだ Getting Started ページ (図 3-2) が表示されます。

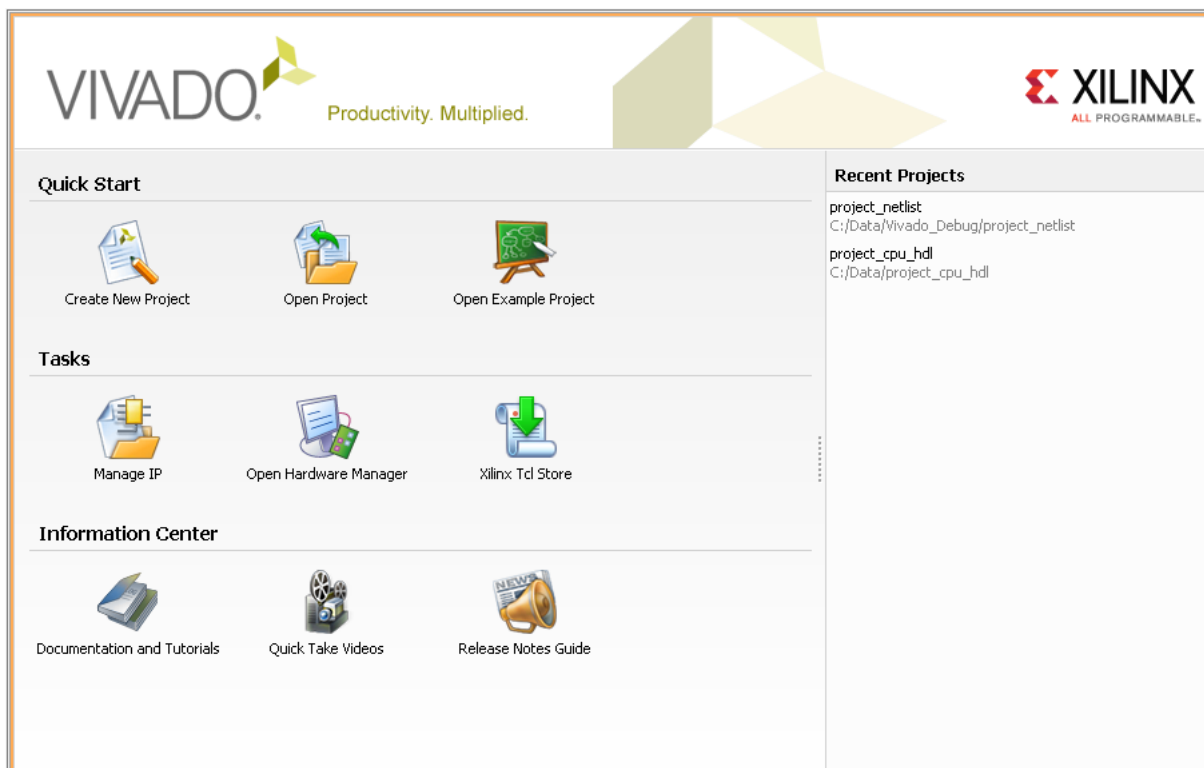


図 3-2 : Vivado IDE の Getting Started ページ

プロジェクトの開始

プロジェクトを作成または開き、ソース ファイルを追加してデザインを定義します。Getting Started ページの Quick Start セクションには、次のステップに簡単にアクセスできるリンクが表示されます。

- New Project ウィザードでプロジェクトを作成
- 既存プロジェクトを開く
- ザイリンクスの提供するサンプルプロジェクトを開く

注記 : [Recent Projects] リストからは最近開いたプロジェクトを開くこともできます。

プロジェクトを使用する場合、ツールがデザインを自動的に管理し、デザイン ファイルのステータスを記録することを意味します。定義済みのデザイン フロー ステップを起動すると、レポート結果を確認できます。

デザイン入力の詳細については、『Vivado Design Suite ユーザー ガイド : システム レベル のデザイン入力』(UG895) [参照 11] を参照してください。デザイン フローの次の手順については、『Vivado Design Suite ユーザー ガイド : デザイン フローの概要』(UG892) [参照 8] を参照してください。

IP の管理

IP をリモートでコンフィギュレーションおよび管理する IP ディレクトリを作成し、さまざまなデザイン プロジェクトおよびソース管理システムからアクセス可能にできます。Vivado IP カタログを使用すると、含まれている IP を参照およびカスタマイズできるほか、既存の IP およびレポジトリを開くことができます。

デザイン入力の詳細については、『Vivado Design Suite ユーザー ガイド : システム レベル のデザイン入力』(UG895) [参照 11] を参照してください。IP の詳細については、『Vivado Design Suite ユーザー ガイド : IP を使用した設計』(UG896) [参照 12] を参照してください。

ハードウェア マネージャーを開く

Vivado Design Suite ハードウェア マネージャーを開くと、デザインをデバイスにプログラムできます。Vivado ロジック解析機能および Vivado シリアル I/O 解析機能を使用すると、デザインをデバッグできます。たとえば、ILA、VIO、MIG および JTAG-to-AXI コアをデザインに追加して Vivado ロジック解析機能でデバッグしたり、ザイリンクス IP カタログから IBERT サンプル デザインを使用し、Vivado シリアル I/O 解析機能で GT をテストおよびコンフィギュレーションしたりできます。

これらの機能の詳細については、『Vivado Design Suite ユーザー ガイド : プログラムおよびデバッグ』(UG908) [参照 13] を参照してください。

Tcl Store へのアクセス

ザイリンクス Tcl ストアは、Tcl コードのオープン ソース リポジトリで、主に Vivado Design Suite を使用した FPGA デザイン用に設計されています。Tcl Store を使用すると、さまざまな問題を解決して生産性を改善する異なるソースから提供された複数のスクリプトおよびユーティリティにアクセスできます。Tcl スクリプトはインストールできるほか、ほかの人と共有するためにリリースすることもできます。

Tcl スクリプトおよびザイリンクス Tcl Store の詳細については、『Vivado Design Suite ユーザー ガイド : Tcl スクリプト機能の使用』(UG894) [参照 9] の [「ザイリンクス Tcl Store」](#) を参照してください。

資料およびビデオ

Getting Started ページでユーザー ガイド、チュートリアル、ビデオ、リリース ノートなどのリンクをクリックすると、Documentation Navigator でそれらの資料が開きます。

Documentation Navigator および Vivado Design Suite の資料の詳細は、第 4 章「Vivado Design Suite の情報入手」を参照してください。

Vivado Design Suite の情報入手

概要

Vivado® Design Suite の詳細については、本章に記載される資料を参照してください。



推奨 : ツールの各手順の詳細は、「[QuickTake ビデオチュートリアル](#)」および「[ツールチュートリアル](#)」を参照してください。

Xilinx Documentation Navigator

ザイリンクス ツールおよびハードウェア資料は、Documentation Navigator (DocNav) またはザイリンクス ウェブサイトから表示できます。Documentation Navigator は、Vivado Design Suite に統合されているザイリンクス資料およびビデオのカタログです。

2015.3 Xilinx Documentation Navigator の新機能

- [ザイリンクス サポート](#) に含まれる資料を検索するための [Web Search Results] タブを新しく追加
- カタログ ビューでのデザイン ハブのサポート
- 各デザイン ハブに [Send Feedback] リンクを新しく追加

Documentation Navigator を開くには、次の手順に従います。

- Vivado IDE から開くには、Getting Started ページまたは [Help] メニューの資料のリンクをクリックします。
注記 : Documentation Navigator で開くのは英語版の資料ですが、Vivado IDE で [Tools] → [Options] をクリックし、[Opening Xilinx Documentation] セクションで [Open with your web browser] をオンにしておくと、日本語資料がある場合はそれがウェブブラウザで開きます。
- Windows で [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [DocNav] をクリックします。
注記 : または、デスクトップの DocNav のショートカット アイコンをダブルクリックします。
- Linux コマンド プロンプトに次を入力します。

```
docnav
```

Documentation Navigator には、次の機能が含まれます。

- **カタログ** : ザイリンクス ソフトウェアおよびハードウェア資料、チュートリアル ビデオ、デザイン アドバイザリ、アプリケーション ノートなどすべてを表示できます。
- **フィルター** : 資料をタイプ、デバイスまたはその他関連カテゴリ別にフィルターして表示できます。
- **検索** : 指定した検索語に基づいて資料を検索できます。ローカル レポジトリとザイリンクス ウェブサイトの両方の資料が検索されます。

- **デザインハブ** : このタブを使用すると、特定のデザイン タスクの資料、トレーニング、および情報を入手できます。
- **UltraFast™ 設計手法チェックリスト** : ザイリンクスの推奨する方法に従っているのかどうか、デザイン パフォーマンスを達成しているのかどうかチェックリストで確認できます。

注記 : 日本語版のチェックリストは、Documentation Navigator からは使用できません。スプレッドシート パージョンを使用してください。
- **クイック ダウンロード** : ローカル デスクトップにザイリンクス資料をダウンロードできます。
- **資料アップデート** : ザイリンクス ウェブサイトでの資料のアップデートを監視できます。



推奨 : Documentation Navigator の一番上の [Update Catalog] ボタンをクリックすると、ザイリンクス ウェブサイトからの最新の資料にアップデートされます。これにより、最新の資料およびビデオを入手できます。

QuickTake ビデオ チュートリアル

Vivado IDE の使用方法を簡単に学ぶことができるように、特定のデザイン タスクに焦点を置いた短いトレーニング ビデオが多数あります。これらのビデオは、Documentation Navigator、ザイリンクス ウェブサイトの Vivado Design Suite QuickTake ビデオ チュートリアル ページ [\[参照 14\]](#)、または YouTube から視聴できます。

ツール チュートリアル

Vivado IDE をすぐに使用できるように、さまざまなチュートリアルをご用意しています。チュートリアルでは、小さいサンプル デザインを使用して特定のデザイン タスクを実行する方法が手順ごとに示されます。各チュートリアルには、関連する個別の演習が複数含まれます。これらのチュートリアルは、Documentation Navigator やザイリンクス ウェブサイトの Vivado Design Suite チュートリアル ページ [\[参照 15\]](#) から入手できます。次のリンクの入門用トレーニング ビデオを参照してください。

1. [Vivado Design Suite インストールの概要](#)
2. [Vivado のライセンスおよびアクティベーションの概要](#)
3. [UltraFast Vivado 設計手法](#)
4. [Vivado デザイン フローの概要](#)
5. [異なる種類のプロジェクトを作成](#)
6. [プロジェクトでソース ファイルを管理](#)
7. [デザイン制約の概要](#)
8. [Vivado での再利用可能な IP のコンフィギュレーションおよび管理](#)
9. [Vivado IP インテグレーターを使用したデザイン](#)
10. [デザインの合成](#)
11. [デザインのインプリメント](#)

統合資料

- **Xilinx Documentation Navigator** : ハードウェアおよびソフトウェア製品のザイリンクス資料、トレーニング、サポート資料にアクセスし、管理する環境を提供します。Documentation Navigator 内の [Design Hub] ビューには、システムレベル デザイン、デザイン制約の適用、合成およびインプリメンテーション、プログラムおよびデバッグなどのデザイン操作別に資料が分類されて表示されます。ユーザー ガイド、チュートリアル、アンサーレコード、ビデオは、各 [Design Hub] ビューに分類されて、トピックごとに内容を学びやすくなっており、情報をすばやく入手できるようになっています。最初は、各ハブの Getting Started Section を参照することをお勧めします。
- **Vivado Design Suite ユーザー ガイド** : デザイン タスクごとに必要な情報を簡単に入手できるようにしたガイドで、ユーザー ガイドには、Vivado Design Suite 内の特定コマンドの実行および特定のデザイン タスクの実行に関する情報が含まれます。ザイリンクス ウェブサイトの Vivado Design Suite ユーザー ガイド ページ[参照 16] から入手できます。
- **リファレンス ガイド** : Tcl コマンド、制約およびデバイス ライブラリなどのトピック別のリファレンス情報を提供します。ザイリンクス ウェブサイトの Vivado Design Suite リファレンス ガイド ページ[参照 17] から入手できます。
- **手法ガイド** : デザインの移行や高集積度デザインのガイダンスなどの特定のデザイン タスクを実行するためのハイレベルなガイダンスを提供します。ザイリンクス ウェブサイトの Vivado Design Suite 手法ガイド ページ[参照 18] から入手できます。

UltraFast 設計手法

概要

ザイリンクスの UltraFast™ 設計手法には、次のような Vivado® Design Suite を使用したデザイン プロセスの各段階のヒントおよび提案が含まれます。

- デザインフローのプランニング
 - プリント回路基板 (PCB) およびフィールド プログラマブル ゲート アレイ (FPGA) デバイスのプランニング
 - デザインの作成
 - インプリメンテーション
 - コンフィギュレーションおよびデバッグ
 - リビジョン管理システムの使用
-

UltraFast 設計手法 (Vivado Design Suite 用)

『UltraFast 設計手法 (Vivado Design Suite 用)』(UG949) [参照 19] では、Vivado ツールを使用した場合のデザイン結果の最適化および最大限の効率を達成するために推奨される手法について説明されています。このガイドの付録には『UltraFast 設計手法チェックリスト』(XTP301) [参照 20] からの項目も含まれ、チェックリストでリンクをクリックすると、その該当箇所に飛ぶようになっています。

UltraFast 設計手法チェックリスト

『UltraFast 設計手法チェックリスト』は、最適な結果を使用してデザイン サイクルをより速く進めるためのリストで、デザインプロセス各段階の注意事項のほか、推奨される操作および追加情報などが含まれます。このチェックリストはスプレッドシート形式で『UltraFast 設計手法チェックリスト』(XTP301) [参照 20] から入手できます。このチェックリストは、Xilinx Documentation Navigator から入手できます。Xilinx Documentation Navigator の詳細は、第 4 章の「Xilinx Documentation Navigator」を参照してください。

注記 : 日本語版のチェックリストは、Documentation Navigator から使用できません。スプレッドシートバージョンを使用してください。

1. [Design Hub View] タブをクリックします。
2. 左側のメニューの上部にある [Create Design Checklist] をクリックします。
3. [New Design Checklist Dialog] ダイアログ ボックスに情報を入力したら、[OK] をクリックします。
4. 新しいチェックリストが左側のメニューの一番上に表示されます (図 5-1)。

[Title Page] タブには、チェックリストの使用に関する基本的な情報が、その他のタブにはチェックリストの項目と推奨事項が含まれます。



図 5-1 : Xilinx Documentation Navigator の UltraFast 設計手法チェックリストのタブ

その他のソースおよび法的通知

ザイリンクス リソース

アンサー、資料、ダウンロード、フォーラムなどのサポート リソースは、[ザイリンクス サポート サイト](#)を参照してください。

ソリューション センター

デバイス、ツール、IP のサポートについては、[ザイリンクス ソリューション センター](#)を参照してください。トピックには、デザインアシスタント、アドバイザリ、トラブルシュート ヒントなどが含まれます。

参考資料

このガイドの補足情報は、次の資料を参照してください。

1. 『Vivado® Design Suite ユーザー ガイド : リリース ノート、インストールおよびライセンス』([UG973](#))
2. 『ISE Design Suite 14 : リリース ノート、インストールおよびライセンス』([UG631](#))
3. 『Vivado Design Suite ユーザー ガイド : Vivado IDE の使用』([UG893](#))
4. 『Vivado Design Suite ユーザー ガイド : デザイン解析およびクロージャ テクニック』([UG906](#))
5. 『Vivado Design Suite : ISE から Vivado Design Suite への移行手法ガイド』([UG911](#))
6. 『Vivado Design Suite ユーザー ガイド : 制約の使用』([UG903](#))
7. [ザイリンクス ダウンロード](#)
8. 『Vivado Design Suite ユーザー ガイド : デザイン フローの概要』([UG892](#))
9. 『Vivado Design Suite ユーザー ガイド : Tcl スクリプト機能の使用』([UG894](#))
10. 『Vivado Design Suite チュートリアル : デザイン フローの概要』([UG888](#))
11. 『Vivado Design Suite ユーザー ガイド : システム レベル デザイン入力』([UG895](#))
12. 『Vivado Design Suite ユーザー ガイド : IP を使用した設計』([UG896](#))
13. 『Vivado Design Suite ユーザー ガイド : プログラムおよびデバッグ』([UG908](#))
14. [Vivado Design Suite QuickTake ビデオ チュートリアル](#)
15. [Vivado Design Suite チュートリアル](#)
16. [Vivado Design Suite ユーザー ガイド](#)
17. [Vivado Design Suite リファレンス ガイド](#)

18. [Vivado Design Suite 手法ガイド](#)
19. 『UltraFast™ 設計手法 (Vivado Design Suite 用)』 ([UG949](#))
20. 『UltraFast 設計手法チェックリスト』 ([XTP301](#))
21. [Vivado Design Suite QuickTake ビデオ: Vivado デザイン フローの概要](#)
22. [Vivado Design Suite の資料](#)

トレーニング リソース

ザイリンクスでは、本書に含まれるコンセプトを説明するさまざまなトレーニング コースおよびオンライン ビデオを提供しています。次のリンクから関連するトレーニング リソースを参照してください。

1. [Vivado での FPGA 設計導入](#)
2. [Vivado デザイン ツール フロー](#)

お読みください : 重要な法的通知

本通知に基づいて貴殿または貴社 (本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ) に開示される情報 (以下「本情報」といいます) は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず (商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない (否認する) ものとし、また、(2) ザイリンクスは、本情報 (貴殿または貴社による本情報の使用を含む) に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない (契約上、不法行為上 (過失の場合を含む)、その他のいかなる責任の法理によるかを問わない) ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害 (第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます) が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うことになります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

© Copyright 2012-2016 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。