



ALL PROGRAMMABLE™

WP396 (v1.2) 2017 年 12 月 12 日

# Spartan-6 FPGA 系列：面向成本敏感型应用而优化的性能、功耗和 I/O

作者：Maureen Smerdon

---

当今设计环境的快速变化，要求可编程解决方案能以低成本提供高性能和低功耗，从而满足成本敏感型系统的需求。

本白皮书的目的就是介绍 Spartan®-6 FPGA 如何满足这些成本敏感型系统的需求。实际上，以极低成本高效连接至常用存储器的能力、高性能的芯片间接口功能，以及极富创新性的降耗模式，仅是高性能、低功耗、低成本 Spartan-6 FPGA 众多功能的冰山一角。

## 简介

随着市场的巨大转变，成本敏感型产品的设计人员面临更大压力，需要以更少的预算在更紧迫的时限内交付创新的系统。设计人员需要灵活、简单易用的片上系统类 (SoC) 解决方案。

为了满足上述需求，赛灵思在 Spartan-6 FPGA 中集成了成功的 Virtex<sup>®</sup>-5 FPGA 架构的设计创新。Spartan-6 系列为成本敏感型系统设计人员提供了其他替代产品中所不具备的多重优势。这些优势包括：

- 45nm 工艺节点
  - 45nm 工艺节点上的 FPGA 系列产品提供了业界最佳的成本、功耗和性能。
- 高速 I/O
  - 带 1080Mb/s LVDS 和 3.2Gb/s 串行收发器的业界性能最佳的芯片间接口。
- 降耗模式
  - 带快速唤醒功能的中断模式可保持配置和状态，将静态功耗降低 20% 到 30%。
- 嵌入式存储器控制器
  - 提供主流存储器接口速度，如 800Mb/s 的 DDR3。
- 提供综合全面的设计套件
  - 面向以太网和嵌入式开发的完整开发平台。
- MicroBlaze<sup>™</sup>处理器设计套件
  - 循序渐进的深度教程指导推动设计收敛的完成。

Spartan-6 FPGA 可以满足众多成本敏感型应用，如多功能打印机、工业和家庭网络、小型可编程逻辑控制器、汽车信息娱乐系统、电动机控制、便携式医疗和工业仪器、D-SLR 照相机和摄像机、软件定义无线电以及视频监控等。

## 应对关键挑战

关键的技术性突破，使得 Spartan-6 系列产品能在成本敏感型 FPGA 产品系列中实现功耗与性能的最佳平衡。Spartan-6 FPGA 在收发器、DSP、高速 I/O、时钟管理、安全性、存储器容量和控制方面为设计人员提供了强大的功能。有了 Spartan-6 FPGA，设计人员再也不用在成本低但功能少的 FPGA 和成本较高但功能丰富的 FPGA 之间犹豫不决了。

例如，Spartan-6 FPGA 提供了最佳的理想开发平台，可以优化支持执行计算密集型的人脸识别、智能眼部追踪，以及对高分辨率成像永无止境的需求，从而可以为数字标牌应用提供简单直观、身临其境的沉浸式体验。

紧密集成的可编程逻辑和 I/O 优化，能支持特性丰富的实现方案以及硬件加速视频处理功能，在降低 BOM 成本和功耗的同时，还能满足高性能需求。

Spartan-6 FPGA 针对数字标牌应用具有以下优势：

- 通过硬件加速实现更高的系统性能，能满足如元数据采集 / 标签、自动感应面部识别、眼部接触、目标跟踪等众多高计算强度功能的需求。
- 带全高清图片和视频处理功能的全面可编程的平台，可支持定制图片质量差异化。
- 通过集成 SD/HD/3G-SDI、DisplayPort 和 HDMI 等最新接口技术实现 I/O 优化。
- IP 桥接标准集成视频，如以太网 AVB。

紧密集成的可编程逻辑和 I/O 优化能支持特性丰富的实现方案以及硬件加速视频处理功能，在降低 BOM 成本和功耗的同时，满足高性能需求。参见 Spartan-6 FPGA 在数字标牌应用中的使用实例，如图 1。

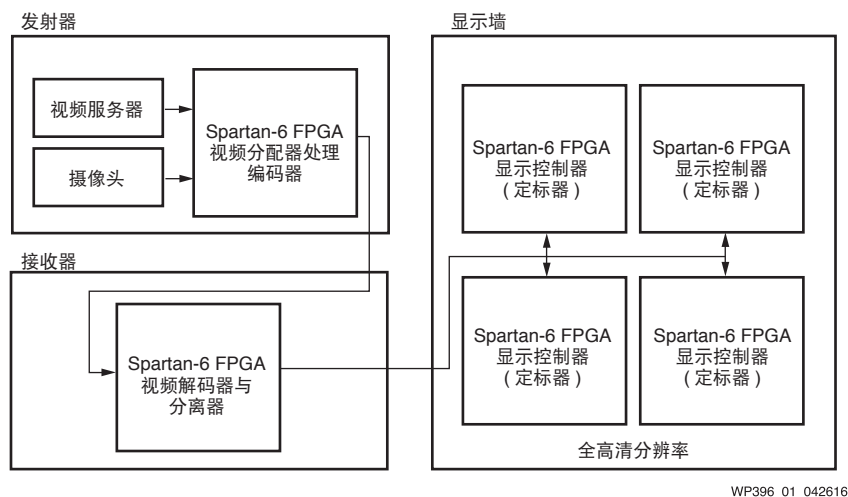


图 1：采用 Spartan-6 FPGA 的智能数字标牌

## 集成式高速串行收发器可降低成本

当今的系统需要高带宽才能跨背板实现芯片间的接口连接以及通过光纤进行远距离传输。

此外，宽并行连接还会消耗大量 I/O，而接收器功耗也很大。这些连接会造成数据通道之间以及时钟和数据通道之间的偏差。最终这会引入串扰以及其他信号完整性问题。Spartan-6 LXT FPGA 的集成高速串行收发器能解决上述所有问题。

Spartan-6 LXT FPGA 通过高速串行连接（支持多达 8 个 GTP 收发器（3.2Gb/s 的线路速率））对成本敏感型逻辑功能进行了完美补充。通过充分利用 Virtex FPGA 系列广泛的 SerDes 功能，Spartan-6 LXT 器件可支持 3.2Gb/s 及以下速率的协议。如需了解主要收发器协议支持比较情况，请参见表 1。

表 1：收发器协议支持

速度	Spartan-6 FPGA 高速串行标准
3.125Gb/s	XAUI、SRIO
3.072Gb/s	OBSAI、CPRI
3.0Gb/s	SAS II、SATA II、V-by-One
2.97Gb/s	3G-SDI
2.7Gb/s	DisplayPort
2.5Gb/s	PCIe <sup>®</sup> G1.1, Infiniband
2.488Gb/s	OC-48
2.125Gb/s	2G Fibre-Channel
1.485Gb/s	HD-SDI
1.25Gb/s	1GbE

Spartan-6 LXT FPGA 的另一大独特优势是，逻辑接口几乎与 Virtex-5 FPGA GTP 收发器的接口相同，这就便于将设计移植到成本更低的 Spartan-6 FPGA 上。如表 1 所示，Spartan-6 LXT FPGA 可支持多种不同标准，也支持当今业界更高性能的设计。

## 高性能 I/O 标准简化系统设计

Spartan-6 FPGA 拥有业界最广泛的支持，I/O 丰富性堪称业界领导地位。为了满足成本敏感型系统对多种 I/O 的要求，Spartan-6 FPGA 通过 LVDS 提供高达 1,080Mb/s 的业界最快速率。与速率为 840Mb/s 的 Altera Cyclone IV GX 相比，Spartan-6 FPGA 具有显著优势。Spartan-6 FPGA I/O 支持广泛的新型应用，包括但不限于 HD 高清视频、显示以及其他高带宽接口。除了 LVDS I/O 之外，Spartan-6 FPGA 还带有专用的时钟布线，以降低占空比失真和序列化 / 反序列化 I/O，最高支持 1:8 的串行到并行数据转换，便于设计高速差分接口。如需了解有关 I/O 标准支持比较情况的更多信息，请参见表 2。

表 2：I/O 标准支持比较图有问题

I/O 标准	Spartan-6 FPGA	Cyclone IV GX <sup>(1)</sup>
LVCMOS (3.3V、2.5V、1.8V、1.5V 及 1.2V)	✓	✓
LVDS 和总线 LVDS	✓ <sup>(2)</sup>	✓
LVPECL (2.5V、3.3V)	✓	✓ <sup>(3)</sup>
PCI	✓	✓
I2C	✓	
HSTL (1.8V、1.5V、Classes I、II、III)	✓	
HSTL_I_12 (仅单向)		✓
PPDS	✓	✓
TMDS	✓	
RSDS	✓	✓
Display Port Aux Channel	✓	
SSTL (3.3V、2.5V、1.8V、1.5V Classes I、II)	✓	✓
DIFF_SSTL	✓	
DIFF_HSTL	✓	
LVTTL	✓	✓

注释：

1. 来源：Cyclone IV 手册，2010 年 12 月。
2. 按需提供 Sub LVDS。如需了解更多信息，请联系您本地的赛灵思销售代表。
3. LVPECL 仅在专用时钟输入上得到支持。

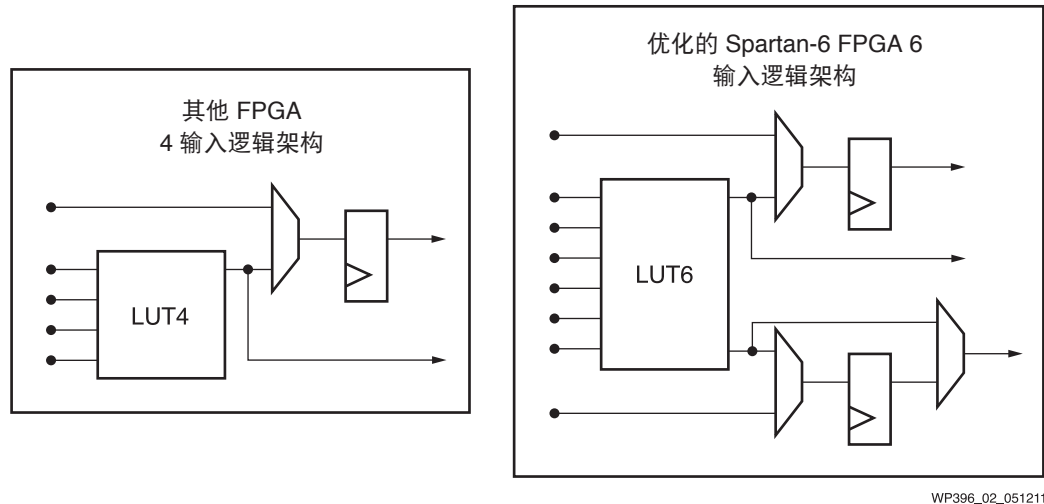
此外，Spartan-6 FPGA 不仅支持具有全面 4.4V 过冲支持的真正 3.3V 标准，同时还可提供全面的 3.3V LVCMOS 和 LVTTL 24 mA 输出驱动。通过标准的容限组件，支持真正的 3.3V 标准可简化板设计，并有助于设计团队设计出用于高速环境的标准，从而最大限度减少仿真，降低对过冲问题的担忧。使用竞争型 FPGA 的设计人员需要通过为高扇出信号添加缓冲器，或为背板以及更紧密的单板走线添加线路驱动器来解决输出驱动受限与过冲下降的问题，这就会增加整体系统的复杂性与成本，也会延长设计时间。

Spartan-6 LX 器件仅需要两个电源轨，就能进一步简化并降低系统设计成本。降低电源复杂性（减少稳压器，降低稳压器成本，并减少旁路要求）不仅能降低板的成本，提高可靠性，还能简化设计。使用 Spartan-6 FPGA 的设计师无需应对电源轨隔离、钽电容器和每个功耗引脚的磁珠问题。由于支持真正的 3.3V I/O 功能，使用 Spartan-6 FPGA 可获得更强的驱动力、更少的电源轨，更简单且成本更低的系统和板设计。

如需了解有关 Spartan-6 FPGA SelectIO™ 技术的更多信息，请参阅《Spartan-6 FPGA SelectIO 资源用户指南》([UG381](#))

## 优化的逻辑性能和架构效率

为满足业界对成本敏感型应用的海量需求，面向这种应用的 FPGA 必须以最成本敏感型的逻辑架构提供高性能。Spartan-6 FPGA 的优化逻辑架构通过采用双寄存器 6 输入查询表 (LUT) 结构能满足上述需求。其他 FPGA 系列产品使用的传统 4 输入 LUT 能为简单功能提供足够的解决方案，但 6 输入 LUT（带有额外的触发器）逻辑单元功能的增加最大限度减小了所需的逻辑级数，从而降低延迟，并将系统吞吐量提升高达 25%。如需了解 LUT 架构比较情况的详细信息，请参见图 2。



WP396\_02\_051211

图 2：6 输入 LUT 和 4 输入 LUT 替代方案的比较

逻辑性能设计比较也显示出 Spartan-6 FPGA 性能的显著优势。表 3 给出了使用赛灵思和 Altera 工具运行一系列基准设计所得的结果。在所有三个速度等级中，每组 Spartan-6 FPGA 的速度都比对应的 Cyclone IV 的速度更快。

表 3：FPGA 性能基准

速度等级基准 <sup>(1)</sup>	Spartan-6 FPGA 的优势
Spartan-6 FPGA -2 与 Cyclone IV -8 的速度等级对比	快 20% 以上
Spartan-6 FPGA -3 与 Cyclone IV -7 的速度等级对比	快 19%
Spartan-6 FPGA -3 与 Cyclone IV -6 的速度等级对比	快 12%

注释：

1. 在一系列 392 个设计方案中使用 Xilinx ISE<sup>®</sup> 13.1 软件和 Quartus 10 Altera 工具。

## 集成式存储器控制器将性能提升两倍

Spartan-6 FPGA 提供硬化存储器控制器块 (MCB) 以最大限度降低功耗并最大化性能。除了最小型器件之外，所有 Spartan-6 器件都包括专用的 MCB，每个 MCB 都支持 DRAM 标准 (LPDDR、DDR、DDR2 和 DDR3)。集成的 MCB 具有可预测时序，可支持设计人员快速轻松地设计并实现 DDR3-800 存储器接口。带 MCB 的 Spartan-6 FPGA 支持高达 800Mb/s 的访问速率，而 Cyclone IV GX DDR2 的软化控制器只支持 400Mb/s 的速率。如需了解存储器接口功能比较情况，请参见图 3。

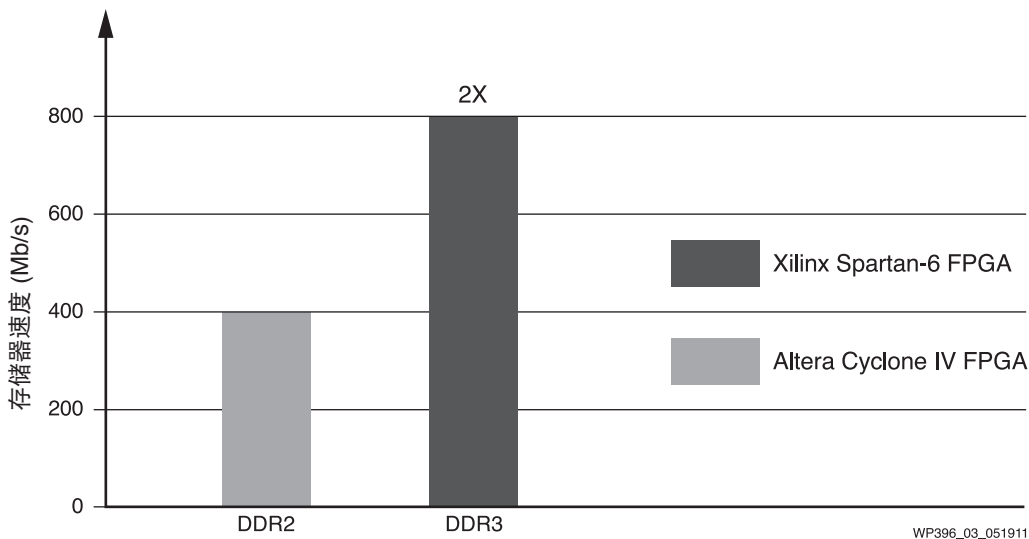
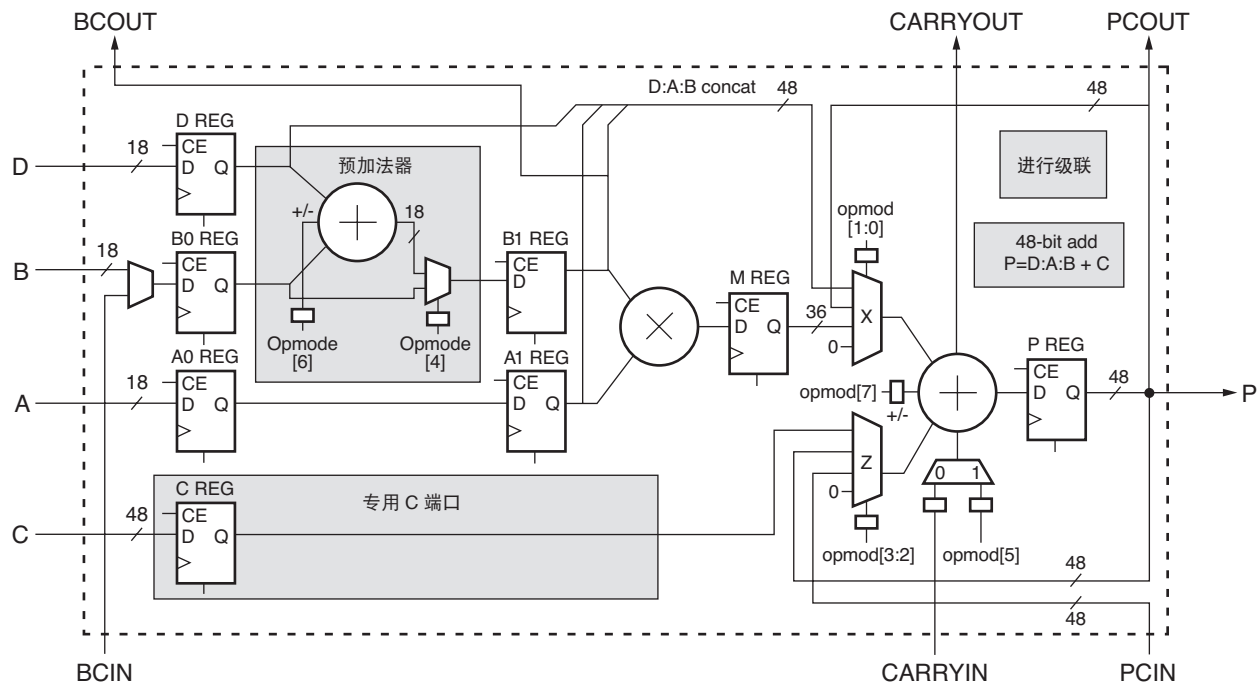


图 3：DDR3 存储器接口速度比较

## 集成式数字信号处理

为了能在最大限度提升性能的同时还能最小化功耗和硅片占用率，Spartan-6 器件可支持 DSP48A1 Slice 和通用逻辑比非常高的计算密集型应用。这些 DSP48A1 slice 支持许多独立功能，包括乘法器、乘法累加器 (MACC)、后跟乘法累加器的预加法器 / 减法器、后跟加法器的乘法器、宽总线多路复用器以及宽计数器等。多个 DSP48A1 slice 可级联在一起实施宽数学功能、DSP 操作、过滤器和复杂的算数功能，无需浪费任何通用 FPGA 逻辑。图 4 展示了 DSP48A1 slice 的效率。



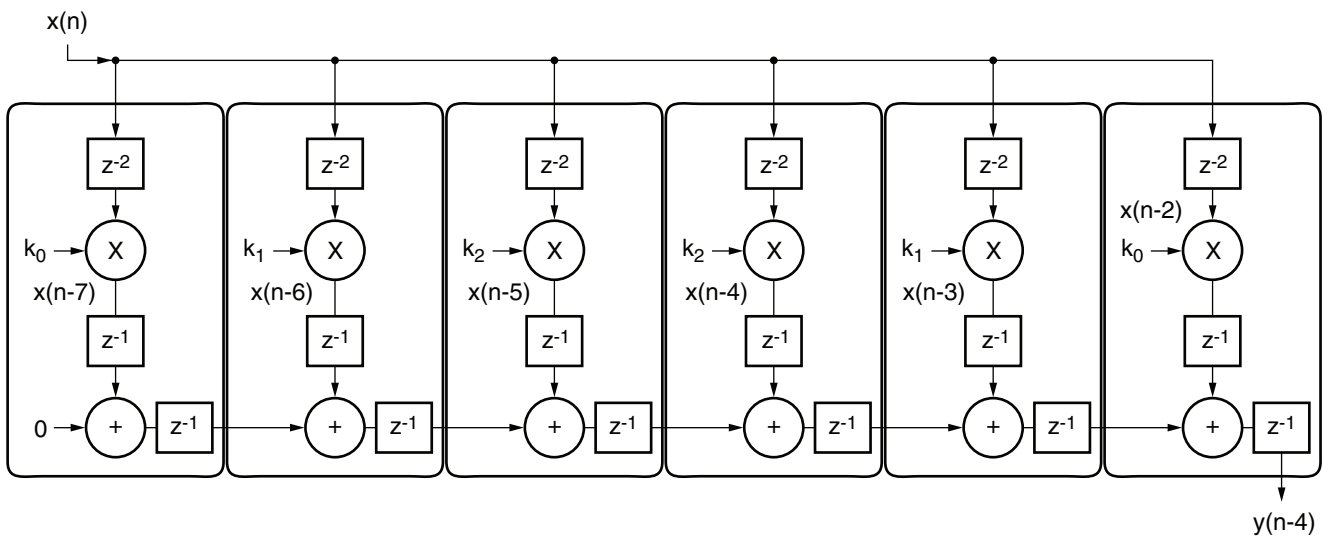
WP396\_04\_051611

图 4：Spartan-6 FPGA DSP48A1 Slice

在 Spartan-6 器件中得到强化的 DSP48A1 结构包括高效预加法器。预加法器给用户提供了许多优势，包括：

- 相对于不采用预加法器的架构而言，可将功耗降低 50%。
- 通过使用最少量的逻辑实现，而其他竞争产品必须在逻辑中执行预加法器功能。
- 更小的面积占用。
- 支持赛灵思合成工具 (XST)，便于实现。

图 5 展示了领先的替代 FPGA 解决方案中的对称 FIR 滤波器实现方案。



WP396\_05\_051211

图 5：领先的替代 FPGA 解决方案中的对称 FIR 滤波器



Spartan-6 器件中的相同功能所需的逻辑要少得多，DSP 所需减半，功耗也能减少多达 50%。如图 6 所示。最终，这使得设备需求更小，成本更低。

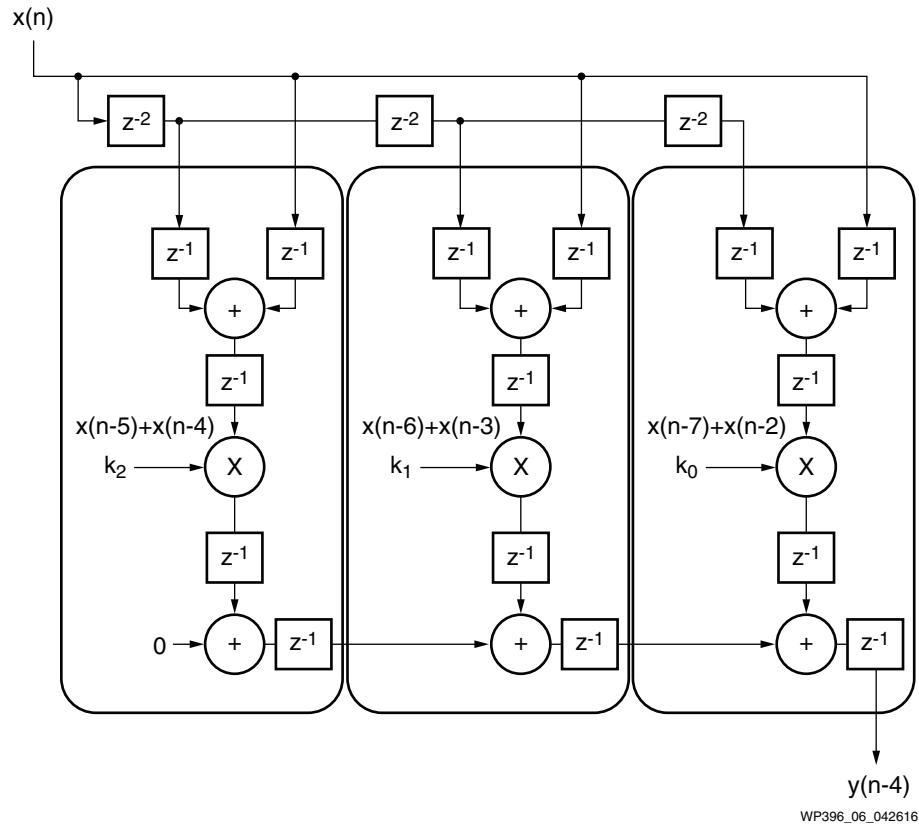


图 6：Spartan-6 器件中的对称 FIR 滤波器

## PCI Express 集成式端点块

为优化设计并降低开发成本，Spartan-6 FPGA 采用了 PCI Express®(Gen1) 集成端点块，与集成式 Spartan-6 LXT FPGA 串行 I/O 收发器能够无缝衔接。此外该集成块高度可配置，能满足不同设计需求，而且通过了 PCI-SIG® 的合规性测试。Spartan-6 FPGA 硬块实施方案不仅能节省约 6000 个逻辑单元，便于将设计方案纳入更小的 Spartan-6 LXT FPGA，而且还能降低成本，减小设计复杂性，此外由于淘汰了外部 PHY 芯片，还有助于加快产品的市场投放进程。

## 高性能时钟管理

Spartan-6 FPGA 的数字时钟管理器 (DCM) 和锁相环 (PLL) 比竞争品牌提供的替代方案更具灵活性。DCM 相对于 Cyclone IV 的 PLL 而言能提供更精细的相位移功能。Spartan-6 FPGA 可提供高达 6 个时钟管理模块 (CMT)，每个模块包含两个 DCM 和一个 PLL，为内外时钟分配提供了丰富的时钟架构，也能最大限度提供系统时钟域支持。

## 采用 45nm 工艺技术降低功耗

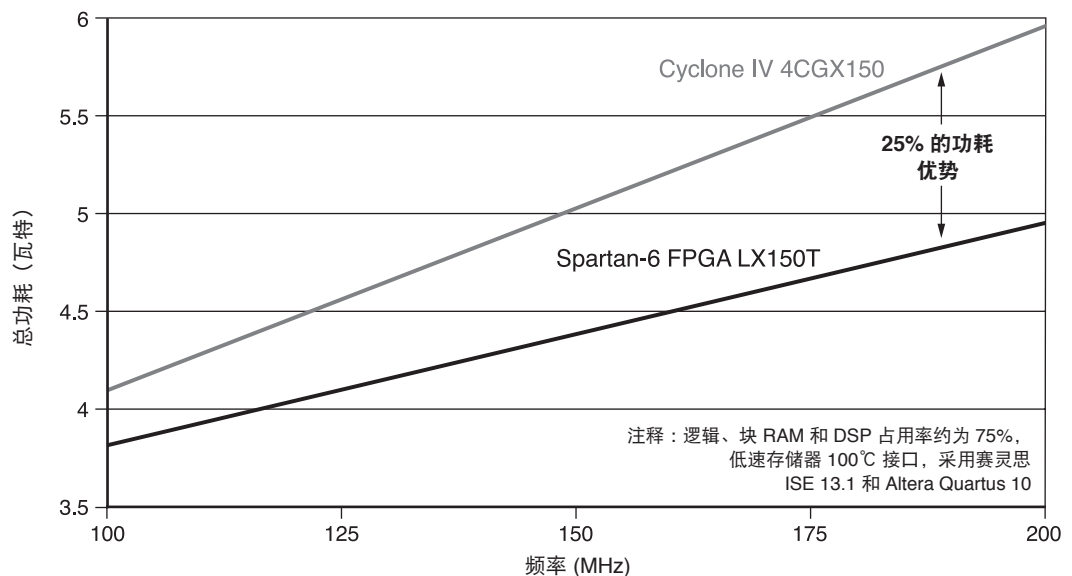
凭借工艺、架构和软件创新，赛灵思在 45nm 制程节点上实现了 Spartan-6 FPGA 的重大创新，比前代 FPGA 大幅降低了静态、动态和 I/O 功耗。赛灵思最出色的竞争对手仍采用 60nm，与当前的 65nm 器件相比制程有所压缩。Spartan-6 FPGA 和 Spartan-3A FPGA 相比之下，Spartan-6 器件的平均静态功耗和动态功耗分别要低 50% 和 40%。Spartan-6 FPGA 的制程强化包括选用能够实现功耗性能平衡的晶体管，以及电容的降低（减小体积，实现低 K 电介质）。

Spartan-6 FPGA 能通过架构的强化进一步降低功耗，包括采用高效的 6 输入 LUT，优化特性组合，支持时钟门控，包括 DSP、PCI Express 集成端点块、集成存储器控制器、AES、可编程 I/O 偏移率和驱动强度等各种硬块，而且还支持系统级电源管理和电压缩放。

### 创新型电源管理

与 Spartan-3 FPGA 类似，Spartan-6 FPGA 也能提供系统级电源管理特性，包括待机、休眠和时钟门控等。Spartan-6 FPGA 的新特点在于，由于提供多引脚唤醒技术，设计人员现在掌握了更精细的控制。该特性使设计人员能灵活地使用多达 8 个引脚控制唤醒或从保持配置和状态的待机模式退出。待机模式支持快速唤醒，能响应外部系统需求。上述特性可将静态功耗平均降低多达 30%，这对功耗高度敏感型应用以及消费应用至关重要，有助于充分利用动态控制的断电和唤醒功能。

图 7 展示了 Spartan-6 FPGA 与对应的 Cyclone IV GX 器件的对比情况。如图所示，本例中的器件逻辑、DSP 和模块 RAM 使用率都很高。在本例中，频率越高效果越好，整体功耗能提升达 25%。



WP396\_07\_042616

图 7：总功耗比较

## 时钟门控和电压扩展可进一步降低功耗

为进一步节省功耗，设计人员可利用 Spartan-6 FPGA 的精细粒度时钟门控，可消除不必要的时钟活动，同时能保持功能和性能不变。利用时钟门控，当逻辑处于未使用状态时，本地 slice 时钟驱动器或块 RAM 能动态关闭，或进行门控，从而获得绝佳的机会将功耗进一步降低多达 30%。

对需要尽可能将功耗降到最低的电池供电系统设计人员而言，所有 Spartan-6 LX FPGA 都能提供电压扩展 -1L 选项，这能将内核电压从 1.2V 降至 1.0V，从而将内核功率进一步降低 30% 到 40%。

如需了解更多 Spartan-6 FPGA 电源管理详情，请参阅《40nm 和 45nm 的功耗》(WP298)。

## 用设计套件快速推进设计差异化

借助丰富的设计套件，设计人员能“快速启动”项目，无需从头开发所有应用，因而从一开始就可以将精力集中在创新和产品差异化的开发工作上。

这些集成了硬件、软件、IP 和目标参考设计的平台有助于提升生产力，远远超过传统评估板和设计示例各部分总和的效果。赛灵思及其合作伙伴提供了一整套设计套件。如表 4 所示。

表 4：可用的设计套件

<b>逻辑评估套件</b>
Atlys Spartan-6 FPGA 开发套件
Spartan-6 FPGA SP605 评估套件
Spartan-6 FPGA SP601 评估套件
Avnet Spartan-6 LX9 MicroBoard
<b>连接套件</b>
Spartan-6 FPGA 连接套件
<b>嵌入式套件</b>
Spartan-6 FPGA 嵌入式套件
<b>针对具体市场的套件</b>
Spartan-6 FPGA 广播连接套件
Spartan-6 FPGA 消费视频套件
Spartan-6 FPGA 工业以太网套件
Spartan-6 FPGA 工业视频处理套件
<b>收发器特性描述套件</b>
Spartan-6 FPGA SP623 特性描述套件

无与伦比的 FPGA 系列产品提供了如此完整的解决方案组合，而 Altera Cyclone IV 目前提供的几乎没有什么开发套件。如需了解更多可用套件的完整列表，敬请访问网站：

<http://china.xilinx.com/products/boards-and-kits/device-family/nav-spartan-6.html>

## 成本高效的配置存储器

正如处理器的程序指令需要存储一样，可编程器件通常需要存储用于器件配置。这意味着系统设计人员必须考虑到诸如配置存储器之类的组件问题。

一些目前可用的可编程解决方案在器件中集成了非易失性存储器 (NVM)，但其设计通常采用老式处理技术。

因此，这些方案经常无法满足当前许多设备制造商所需的信号处理功能、高时钟速度和千兆收发器速率。此外，许多应用（如协议堆栈）的存储要求往往超出了集成 NVM 的容量。

其他可编程解决方案仅支持自己的配置器件，导致系统设计人员不得不使用非常昂贵的专有配置存储器。

Spartan-6 FPGA 支持公开市场上最流行的闪存接口，确保常用的成本敏感型配置器件能够被选用。此外，还可通过外部处理器支持远程配置的众多选项，从而充分利用能在整个系统上实现共享的处于中央位置的 NVM。

## 稳健的安全性

Spartan-6 FPGA 可提供业经验证的 Device DNA，用于避免被克隆和过建，从而进一步巩固了低成本安全性的领导地位。Spartan-6 FPGA 还包括硬化

回读禁用电路、内部配置清除 (IPROG) 功能，而且在更高密度下，可提供先进的 256 位 AES 支持，此前只有 Virtex 器件才支持。如需了解关于赛灵思先进的 FPGA 安全性的更多信息，请参阅白皮书《如何解决当前的设计安全性问题》([WP365](#))。

## 比较不同的方案

Spartan-6 FPGA 中的集成块可提供更高效率、更强易用性、更低总功耗和成本，以及熟练连接和存储器功能。45nm Spartan-6 FPGA 系列中具有 I/O 丰富性和稳健的时钟，扩展了其成本敏感型 FPGA 市场的领导地位。[表 5](#) 列出了 Spartan-6 FPGA 和 Altera Cyclone IV GX FPGA 之间的详细竞争对比情况。

表 5：Spartan-6 FPGA 和 Cyclone IV GX 的功能对比

赛灵思	Altera
Spartan-6 FPGA	Cyclone IV
成本敏感型低功耗的 45nm 工艺	60nm 工艺
高效的 6 输入 LUT 架构	4 输入 LUT
带专用 PLL 的 3.2Gb/s 收发器	3.125Gb/s
1Gb/s+ LVDS 功能	840Mb/s
集成式 DDR3-800 存储器控制器	DDR2-400
高级电源管理	无
集成 DSP 块	仅乘法器
稳健的时钟管理	无
稳健的安全性	无
全面的设计套件	无

Spartan-6 系列是赛灵思成本优化型产品组合的基本成员，如图 8 所示。Spartan-6 FPGA 为成本敏感型应用提供丰富的 I/O 解决方案。如需了解整个成本优化型产品系列，欢迎访问：  
<https://china.xilinx.com/products/silicon-devices/cost-optimized-portfolio.html>

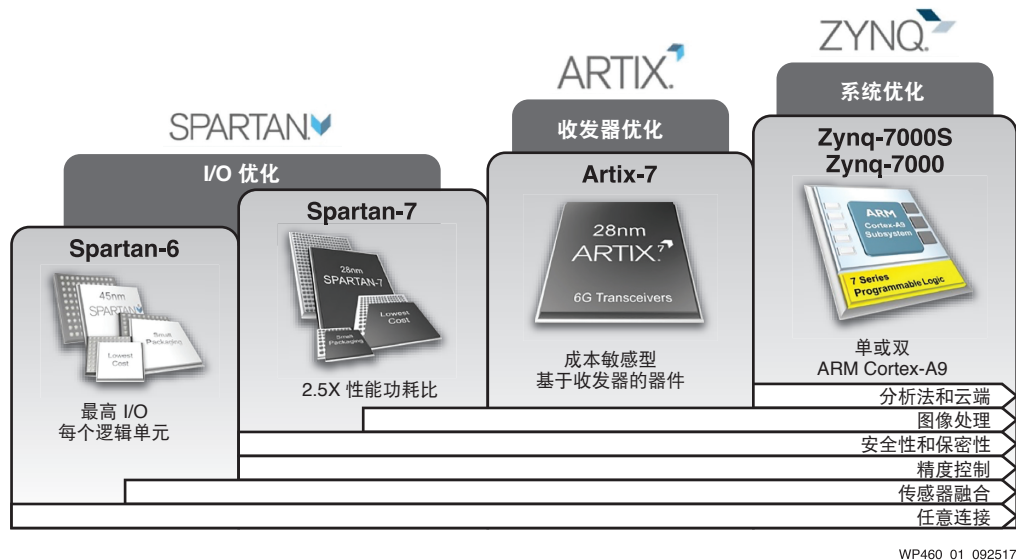


图 8：赛灵思的成本优化产品组合价值

## 结论

赛灵思理解设计人员想要解决的问题，并提供低成本、低功耗的 Spartan-6 系列来填补替代型低成本 FPGA 中的性能缺口。Spartan-6 FPGA 由 Xilinx ISE® Design Suite 和免费的 ISE WebPACK™ 工具支持，当前可用于 Windows 10，并能实现更出色的功耗效率以及更高生产力和性能。

如需按器件了解特定 Spartan-6 FPGA 的功能接受，请参阅：[DS160](#)，Spartan-6 系列概览。如需了解更多 Spartan-6 系列应用详情，敬请访问：

<http://china.xilinx.com/products/silicon-devices/fpga/spartan-6/>。

## 修订历史

下表列出了本文档的修订历史：

日期	版本	修订描述
12/12/2017	1.2	更新图 8 和结论。
06/01/2016	1.1	白皮书的一般更新，包括标题更新，以反映当前市场趋势。更新图 6。
05/19/2011	1.0	赛灵思最初发布版本。

## 免责声明

本文向贵司 / 您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用参考。在适用法律允许的最大范围内：(1) 资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且 (2) 赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的任何类型的损失或赔偿），均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其他责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，贵司 / 您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<http://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向贵司 / 您签发的许可证中所包含的保证与支持条款的约束。赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能用途。如果把赛灵思产品应用于此类特殊用途，贵司 / 您将自行承担风险和责任。请参阅赛灵思销售条款：<http://china.xilinx.com/legal.htm#tos>。

## 关于与汽车相关用途的免责声明

如将汽车产品（部件编号中含“XA”字样）用于部署安全气囊或用于影响车辆控制的应用（“安全应用”），除非有符合 ISO 26262 汽车安全标准的安全概念或冗余特性（“安全设计”），否则不在质保范围内。客户应在使用或分销任何包含产品的系统之前为了安全的目的全面地测试此类系统。在未采用安全设计的条件下将产品用于安全应用的所有风险，由客户自行承担，并且仅在适用的法律法规对产品责任另有规定的情况下，适用该等法律法规的规定。