



WP470 (v1.0), 2015 年 11 月 6 日

详解 Zynq UltraScale+ MPSoC 无与伦比的低功耗与高灵活性特性

作者：Lee Hansen

赛灵思 Zynq® UltraScale+™ 系列 MPSoC 可为复杂的多任务设计提供无与伦比的高度灵活性并显著降低材料清单 (BOM) 成本，加速整体项目的进程。

摘要

高级数据中心应用、汽车驾驶员辅助与安全系统以及手持无线电设计都需要可扩展的 SoC IP，因为这种 IP 不仅能提供领先的性能，而且在可用功率或条件不断发生变化的情况下仍然能够保持高度灵活性。

专用标准产品 (ASSP) 只能为设计人员提供无法扩展的固定解决方案。这样，为了让设计更灵活就必须添加相应器件，因而不可避免地会拉高材料清单 (BOM) 成本和功耗成本。

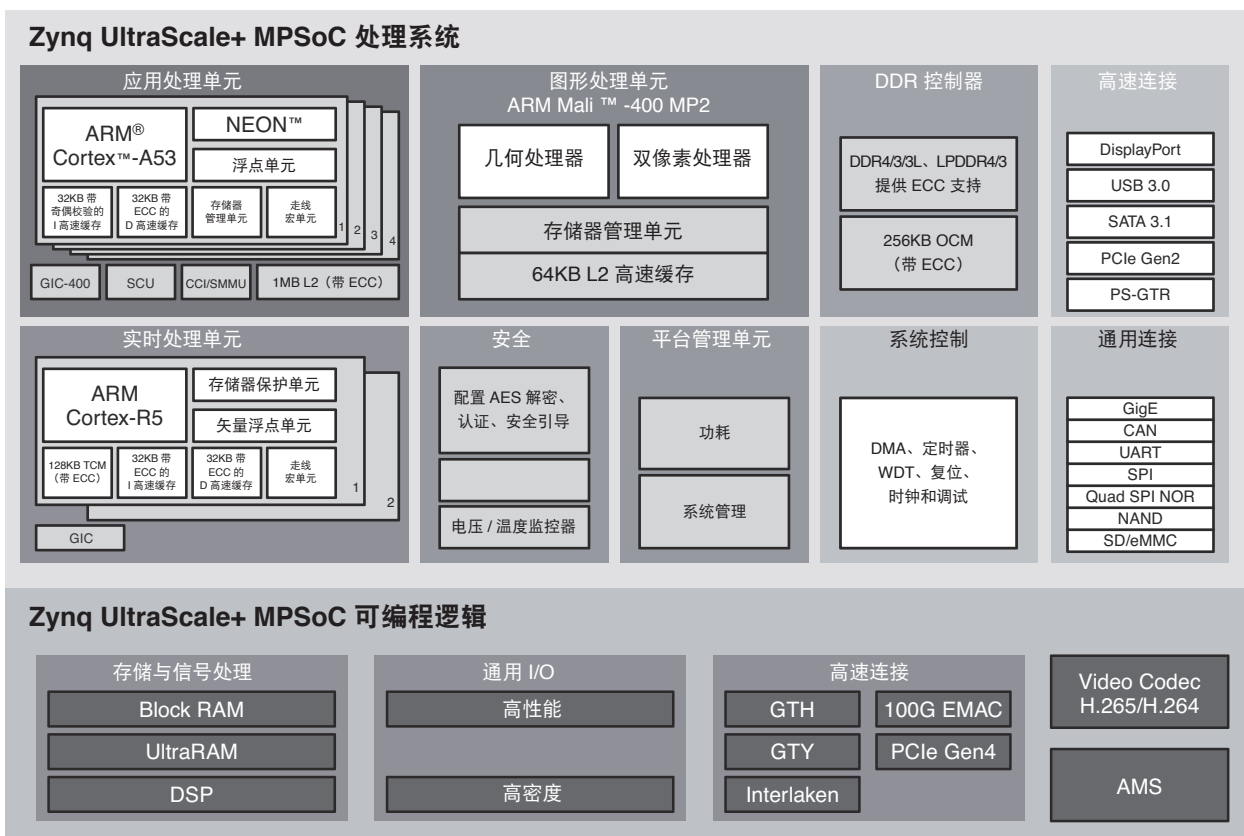
Zynq UltraScale+ MPSoC 可通过下列方式将嵌入式 SoC 性能推至一个新的高度：

- 与上一代赛灵思产品相比，将系统性能功耗比提高 5 倍
- 令人关注的全新电源管理功能：
 - 集成电源域
 - 电源“孤岛”
- 通过最新的图形和视频引擎实现高达 4K 的先进视频管线支持
- 通过全面的工具与生态系统支持，实现可靠的设计完成路线

简介

赛灵思推出首款真正的 All Programmable (全可编程) 异构多处理 SoC——Zynq UltraScale+MPSoC。采用台积电 (TSMC) 新一代 16nm FinFET 工艺节点的 Zynq UltraScale+ MPSoC 包含一个可扩展的 32 位 或 64 位多处理器 CPU、用于实时处理图形和视频的专用硬化引擎、先进的高速外设, 以及可编程逻辑, 可用于汽车驾驶员辅助与安全、无线和有线通信、数据中心以及连接与控制等多种应用领域。

与基于 ASSP 的固定 SoC 解决方案不同, Zynq UltraScale+ MPSoC 能通过灵活的 32 或 64 位数据宽度的处理系统提供最大的可扩展性。它能将关键应用 (例如图形和视频管线) 分配给专用处理模块来处理, 并通过有效的电源域 (power domain) 和门控电源孤岛 (power island) 来开启和关闭模块。Zynq UltraScale+ MPSoC 提供多种互连选项、DSP 模块以及可编程逻辑选择, 因而具备整体灵活性, 可满足用户的各种应用需求。该产品系列具备出色可扩展性, 使设计人员能够利用单个平台和行业标准工具开发出低成本以及高性能应用



WP470_01_110215

图 1 : Zynq UltraScale+ MPSoC 方框图

Zynq UltraScale+ MPSoC 处理系统的主要特性

- 应用程序处理单元 (APU)，采用四核 ARM[®] Cortex[™] -A53 处理器：
 - 新一代 ARMv8 架构支持 32 或 64 位数据宽度
 - 非常适用于 Linux 和裸机 SMP/AMP 应用系统
- 实时处理单元 (RPU)，采用双核 ARM Cortex-R5 处理器：
 - 低时延、高确定性的性能
 - APU 任务分担
- 最新集成硬化多媒体模块：
 - 图形处理单元 (GPU) [ARM Mali[™] -400MP2]
 - 4Kx2K 60fps 视频编码器 / 解码器 (VCU) [部分器件包含]
 - 4Kx2K 30fps DisplayPort 接口
- 最新集成高速外设：
 - PCIe[®] Gen1 或 Gen2 根联合体和集成端点模块，x1、x2 和 x4 信道
 - 具有主机、器件和 OTG 模式的 USB 3.0/2.0
 - 具有巨型帧和精确时间协议的千兆位以太网
 - SATA 3.1 主机
 - 高达 6Gb/s 的专用 Quad 收发器
- 通用和引导外设：
 - CAN、I2C、QSPI、SD、eMMC 和 NAND 闪存接口
 - GPIO、UART 和走线端口
- 带 ECC 的 6 端口 DDR 控制器，支持 x32/x64 的 DDR3、DDR3L、LPDDR3、LPDDR4、DDR4
- 支持多个电源域的综合平台管理单元 (PMU)
- 集成配置安全单元 (CSU)
- 提供 TrustZone 支持
- 外设和存储器保护

表 1 归纳了最低和最高密度 Zynq UltraScale+ MPSoC 的特性。

表 1 : Zynq UltraScale+ MPSoC 特性

器件	Zynq UltraScale+ MPSoC ⁽¹⁾	
	ZU2EG (最低密度器件)	ZU19EG (最高密度器件)
处理系统 :		
多核 APU 和 RPU 专用 GPU 6 端口 DDR 存储器控制器和片上存储器 集成安全与平台管理器 存储器与外设端口保护 +TrustZone DisplayPort、USB 2.0/3.0 主机 / 器件 / OTG、SATA 3.1 主机 PCIe Gen1 或 Gen2 x1/x2/x4、千兆位以太网 CAN、I2C、SPI、QSPI、SD、eMMC、NAND 闪存 GPIO、UART 和走线端口		
可编程逻辑 :		
系统逻辑单元	103,320	1,143,450
CLB 触发器	94,464	1,045,440
CLB LUT	47,232	522,720
分布式 RAM (Mb)	1.2	9.8
Block RAM (Mb)	5.3	34.6
DSP Slice	240	1968
最大 HPI/O	156	572
最大 HDI/O	96	96
GTH 收发器 16.3Gb/s	0	44
GTY 收发器 32.75Gb/s	0	28
PCIe Gen3x16 和 Gen4x8	0	5
150G Interlaken	0	4
100G 以太网	0	4
注 :		
1. 如需了解完整的 Zynq UltraScale+ MPSoC 产品信息, 请参阅 DS890 , 《UltraScale 架构与产品简介》。		

功耗优先

Zynq UltraScale+ MPSoC 在设计之初就考虑了高效电源管理问题。首先，该器件被分成四个电源域，如图 2 所示。

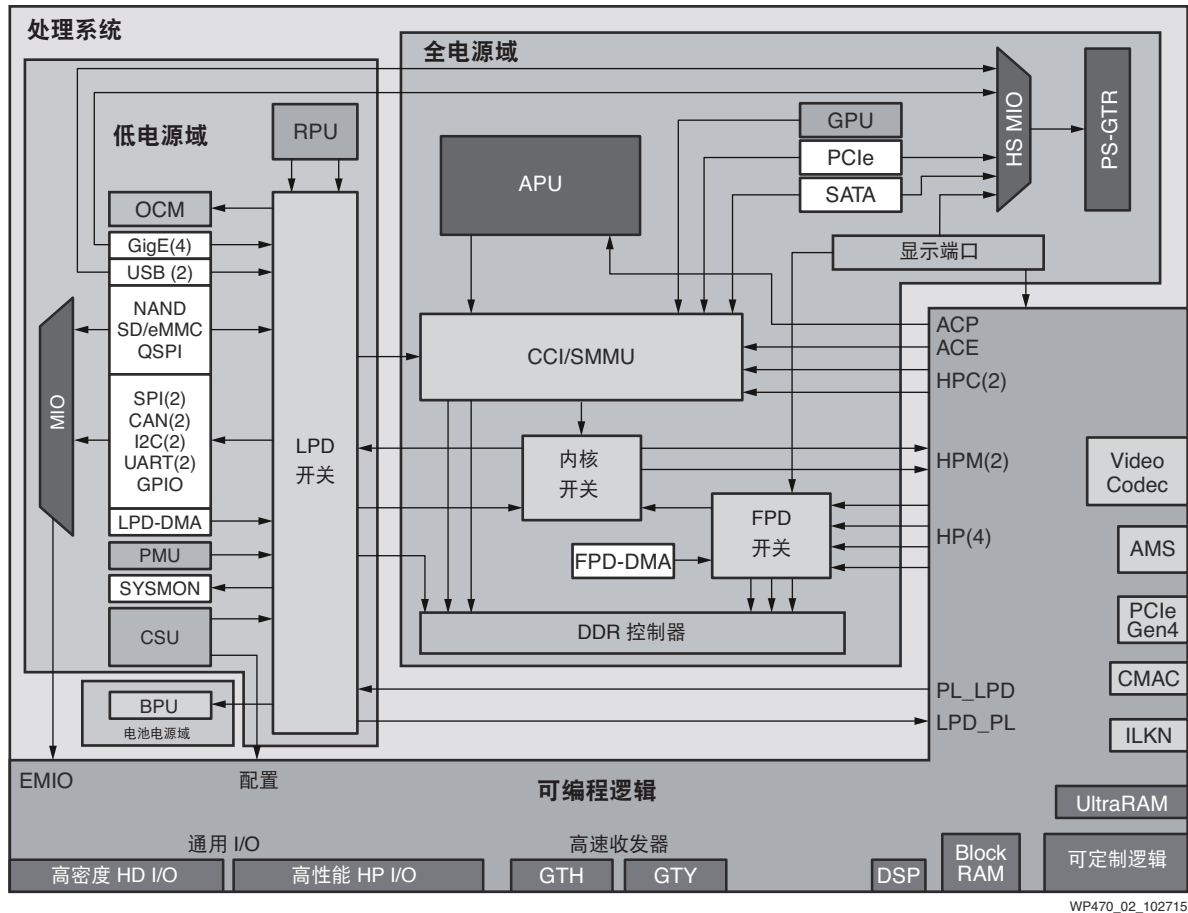


图 2：Zynq UltraScale+ MPSoC 电源域

- 处理系统 (PS) 中的电池电源域包含实时时钟和电池供电的 RAM。
- PS 中的低电源域包含 RPU、通用外设、片上存储器 (OCM)、平台管理单元，以及配置安全单元。
- PS 中的全电源域包含 APU、高速外设、系统存储器管理器和 DDR 控制器
- 可编程逻辑 (PL) 位于自身的电源域中

除了始终处于开启状态的电池电源域外，设计人员有很多运行模式和功率等级可选。不用的电源域可在启动时关闭，然后智能地通过中断或事件唤醒。

低电源和全电源域还支持在单个引擎上建立电源孤岛，以实现更精细的电源控制。APU 中的每个 Cortex-A53 处理器都可进行电源门控，RPU 中的两个 Cortex-R5 处理器可以一起进行电源门控，GPU

中的像素和几何处理器均可进行独立门控。与 RPU 紧密耦合的存储器和片上存储器 (OCM) 进一步细分为多个同样可进行独立门控的 Bank，包括 APU 中的 L2 高速缓存。另外，很多通用和高速外设也可作为电源孤岛进行独立门控。

Zynq UltraScale+ MPSoC 含有可控制电源域的创新型平台管理单元 (PMU)。PMU 负责器件的安全管理，并监管电源域内的电源。它包含一个专用 ROM，用于智能地处理电源域的上电和断电，以及复位请求；还包含 128KB 的 RAM，用来存储可选的自定义电源管理固件。PMU 包含 256 位的器件密钥，用以在安全重启时进行可选的数据解密；它还支持处理器间中断 (IPI)，这样某个电源域就可以在关键事件发生时监测和唤醒另一个睡眠电源域。

系统性能功耗比提升 5 倍

Zynq UltraScale+ MPSoC 的核心是两个 CPU 模块。应用处理单元 (APU) 是一个四核 ARM Cortex-A53，理想适合于 Linux 和裸机应用处理；实时处理单元 (RPU) 是一个双核 ARM Cortex-R5，理想适用于低时延确定性应用，诸如安全模块和 APU 任务分担等。由于结合了全新多媒体图形引擎、高速外设，以及最新一代可编程架构和 IP，Zynq UltraScale+ MPSoC 与前代赛灵思 Zynq-7000 器件相比，系统性能可提升 5 倍。

APU 中的四核 ARM Cortex-A53 处理器在 ARM v8 新一代架构中将领先性能与高能效处理完美结合在一起。每个 Cortex-A53 都提供更高的基线性能——达到 Zynq-7000 器件中 ARM Cortex-A9 的 2.7 倍；并支持多种高级特性，例如新一代浮点，以及由管理程序支持的真正 APM 运行。APU 非常适合在 Linux 和其他第三方 RTOS 上执行应用程序，或者在裸机上执行。

APU 的主要特性包括：

- 四核 ARM Cortex-A53 处理器
- 高达 1.5GHz 的最高运行速度
- 提供 ARMv8 新一代架构支持
- 64 位或 32 位数据位宽
- 每个处理器有专用存储器管理单元 (MMU)
- 每个处理器有专用的新一代单指令 / 多数据 (SIMD) 引擎
- 每个处理器有 32KB 的 L1 指令高速缓存（带奇偶校验）
- 每个处理器有 32KB 的 L1 数据高速缓存（带 ECC）
- 1MB 的共享 L2 高速缓存（带 ECC）
- 提供管理程序支持

RPU 中的双核 ARM Cortex-R5 处理器针对低时延、确定性执行进行了精心优化，并包含安全关键型和高可靠性安全应用所需的专用低时延紧耦合存储器 (TCM)，或者作为附加处理器分担 APU 的处理任务。

RPU 的主要特性包括：

- 双核 ARM Cortex-R5 处理器
- 高达 600MHz 的最高运行速度
- 提供 ARMv7R 架构支持
- 32 位数据位宽
- 默认的分立模式运行或者双核锁步运行
- 每个处理器有专用的存储器保护单元 (MPU)
- 每个处理器有 32KB 的 L1 指令高速缓存（带 ECC）
- 每个处理器有 32KB 的 L1 数据缓存（带 ECC）
- 每个处理器有 128KB 的低时延紧耦合存储器 (TCM)（带 ECC）
- 锁步模式下 TCM 存储器可耦合为 256KB

以更低功耗实现更高的架构性能

Zynq UltraScale+ MPSoC 采用了台积电公司 (TSMC) 的 16nm FinFET 工艺节点。该工艺节点采用更高效的晶体管实现方案，具备最佳的开关速度以及比平面工艺更低的漏电流，因此能实现更高性能和更低功耗。从 28nm 的 Zynq-7000 到 16nm 的 Zynq UltraScale+ MPSoC，性能提升了 60%，功耗降低 20%，使原始处理器性能提升 2.7 倍。

UltraScale+ 16nm 架构提供可支持 DDR4 存储器速度的高性能 (HP) I/O；面向传统接口并针对功耗和占位面积精心优化的高密度 (HD) I/O；以及高速串行收发器，包括处理系统中的高速外设专用串行收发器，以及可编程逻辑中用于最大化 I/O 带宽的串行收发器。

芯片上有共享系统存储器，可以利用可编程逻辑扩展该存储器。处理系统中有外部 DDR 控制器接口，并可扩展至可编程逻辑，利用最新的灵活存储器映射提供高达 16TB 的系统存储器空间。

多媒体的理想系统

Zynq UltraScale+ MPSoC 新增了集成硬化多媒体视频和图形处理模块；这种模块可在高达 4K 的视频码率下运行，能够让 CPU 专注于执行应用程序，从而使器件达到更高的系统性能和能效。这些新模块提供功能强大的图形和视频管理管线，这样可以将开发板上多余的器件移除，从而有助于降低材料清单 (BOM) 成本。

图形处理单元 (GPU)

图形处理单元 (GPU) 为 ARM Mali-400 MP2，位于 Zynq UltraScale+ MPSoC 的处理系统 (PS) 内。它直接与 APU 相连，可加速帧缓冲器中视频图像的渲染以进行显示输出。GPU 可通过其专用并行引擎生成视频信息，速度比依靠 CPU 进行图形处理的同类竞争性 ASSP 要快得多；而且成本和功耗比那些依赖设计人员添加片外 GPU 引擎的解决方案也要低。

GPU 利用完全可编程的架构加速 2D 和 3D 图形处理，该架构可同时支持基于着色的图形 API 和固定函数图形 API。其内置的抗锯齿功能，可获得最佳图像质量，而且几乎不增加额外性能开销。此外，其还包括业经验证全套 Linux 驱动程序，可自动将 APU 的图形命令传递给 GPU 并让其执行。

Zynq UltraScale+ MPSoC GPU 的主要特性

- ARM Mali-400 MP2
- 高达 667MHz 的最高运行速度
- 1 个几何处理器，2 个像素处理器
- 专用的 64KB 共享 L2 高速缓存
- 专用存储器管理单元
- 提供 OpenGL ES 2.0 和 OpenGL ES 1.1 支持
- 提供 OpenVG 1.1 API 支持
- 三个引擎上均有独立的电源门控
- 像素填充率为：13.34 亿个像素 / 秒
- 7260 万个三角形 / 秒
- 21.34 Gflops 浮点着色

视频编解码单元 (VCU)

部分 Zynq UltraScale+ MPSoC 的可编程逻辑 (PL) 中包含最新的视频编码器 / 解码器。这种新型硬化编解码器能够访问来自 PL 或 PS 的视频和音频流，以提供和 / 或存取达到软件算法 50 倍的压缩视频信息，从而节省宝贵的系统存储空间。

Zynq UltraScale+ MPSoC VCU 的主要特性

- 支持 H.264 和 H.265 HEVC 视频标准
- 同步编码 / 解码
- 8Kx4K 视频，15fps，或者 4Kx2K 视频，60fps
- 8 位和 10 位色彩分量
- I、IP、IPB 帧编码
- 4:2:0 和 4:2:2 色度格式
- 同时处理 8 个不同视频流

DisplayPort 接口

Zynq UltraScale+ MPSoC 还包含一个新型硬化 DisplayPort 接口模块，作为新系列高速连接外设的一部分。DisplayPort 接口位于 PS 中，可多路复用至速度高达 6Gb/s 的四个专用高速串行收发器中的任何一个。这样就无需使用附加的显示芯片，以进一步降低系统材料清单 (BOM) 成本。

DisplayPort 接口符合 VESA V-12a 规范，并提供多个接口用以处理来自 PS 或 PL 的现场音频 / 视频播放，或者处理存储器帧缓冲器中存储的音频 / 视频。它同时支持两条音频 / 视频管线，提供即时渲染功能，例如 α 混合、色度重采样、色彩空间转换以及音频混合。该模块还包含用于生成同步时钟的专用视频 PLL。

Zynq UltraScale+ MPSoC DisplayPort 接口的主要特性

- 高达 4K x 2k @30Hz 的视频分辨率
- Y-only、YCbCr444、YCbCr422、YCbCr420、RGB 视频格式
- 6、8、10 或 12 位的色彩分量
- 用于现场视频的 36 位本地视频输入接口
- 使用内置 DMA 从帧缓冲器捕捉视频的接口
- 双平面渲染管线
- 两个 24 位、48KHz 的音频通道
- 专用视频 PLL
- 用于为捕获视频生成视频时序的控制器
- 符合 ISO/IEC 13818-1 规范的系统时钟 (STC)

应用实例

Zynq UltraScale+ MPSoC 中采用功率可扩展的高性能专用引擎，因此用途十分广泛。部分主要应用实例如下：

数据中心：网络存储/服务平台

互联网上的大部分网站的核心部分都有一个包含海量数据的 SQL 数据库。这些数据应允许多个同步互联网流量请求进行快速访问常用网站需要应对每月上万亿美元的网页浏览量，每天新增 3 亿张照片及视频。然而，随着网站不断发展，SQL 数据库由于无法很好地扩展而逐渐变为瓶颈。为了缓解这个问题，当今网络基础设施中的分布式内存键值存储设备，诸如 Memcached（即 Mem-Cache-D，一种免费的通用开源分布式存储器高速缓存系统，符合修订版 BSD 许可协议）已作为重要的中间件应用。它们将最热门查询以及最近查询缓存在数据库中，从而大幅提高网站的性能和可扩展性。

Memcached 是使用最广泛的用于实现键值存储的开源软件结构。目前最常用的 Memcached 实现方案包括一个网络适配器和一个 x86 主板，将主机的 DRAM 存储器作为键值存储设备。每个单元负责处理一串排队等候的数据库键值存储 (KVS) 请求。每个请求的执行需要经过解码、哈希 (hash)、读取、格式化和发送这几个步骤。但是，基于 x86 的架构无法很好地扩展 Memcached，已经达到了性能和功耗极限。

基于 x86 的 Memcached 实现方案十分耗用 CPU 资源，同时由于键值宽度是随机的且变化很大，会出现频繁的中断和缓存丢失，从而导致分支预测性差、请求管线停滞、性能低下、功率损耗等一系列问题。网络适配器层也会增加时延，原因在于使用了共享 TCP/IP 协议栈，而且需要使用数据包通过 DMA 将数据传送到网络适配器。已发布的多核 x86 实现方案的基准结果为：性能为 5800–7000 KRPS/W（每瓦特每秒读取数量）；时延介于 200-400ms 之间；功耗为 478 瓦特/单元。

Zynq UltraScale+ MPSoC 是理想的 Memcached 架构，因为它主要在网络与存储器间传送数据流，计算处理量非常少。图 3 给出了基于 Zynq UltraScale+ MPSoC 的 Memcached 单元架构。极大简化的网络服务器数据路径允许每个 Zynq UltraScale+ MPSoC 用检索流量填满 40Gb/s 的千兆位以太网链路。在数据侧，Zynq UltraScale+ MPSoC 通过可编程逻辑中的硬件集成 PCIe 端点模块驱动两组 NVMe 存储器。每个基于 MPSoC 的 Memcached 单元在内部网络上都有自己的专用 IP 地址，并作为独立服务器，允许网络客户端直接存储和检索键值存储对。可将 32GB 的 DDR4 DRAM 直连到 Zynq UltraScale+ MPSoC PS，并可通过 Zynq UltraScale+ MPSoC PL 连接扩展 DDR 存储器。提供 100GB/s 的 DRAM 访问带宽。

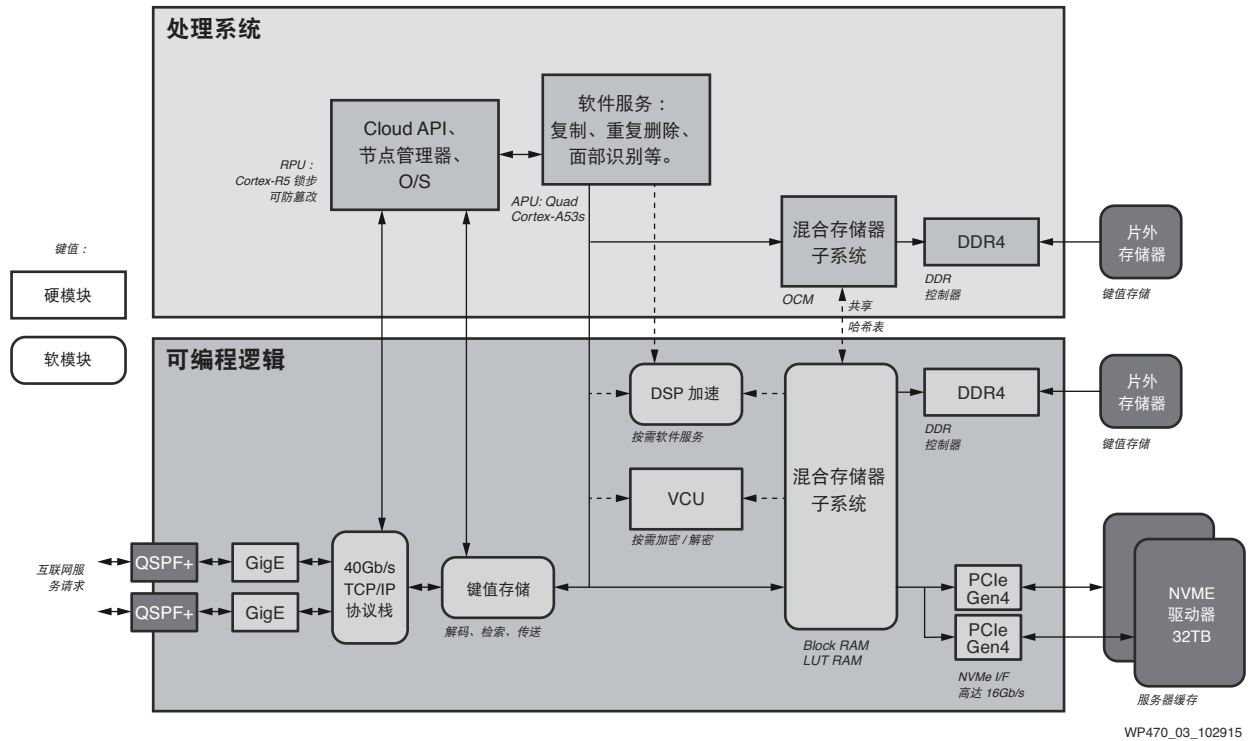


图 3 : Zynq UltraScale+ MPSoC 数据中心应用实例

所有键值存储处理都位于 MPSoC 可编程逻辑中，包括 MAC PHY，因此无需附加部件，从而降低了总体系统功耗。所有核心系统都可以从可编程逻辑直接驱动，包括两条用于千兆位以太网模块的 40Gb/s 网络线路、TCP/IP 协议栈处理、DDR4 存储器控制以及可处理 32TB 高速缓存存储器的双 NVMe PCIe 接口。

MPSoC 还提供附加功能，例如使用集成 VCU 进行数据双重压缩和解压缩 APU 可用于运行多层刀片服务器集群的控制层软件，或者运行 Kinetic 等开放式存储平台管理软件，这样就无需使用附加的控制模块。每个运行 Linux OS 并通过管理程序协调的 APU 处理器都可独立提供软件定义服务，例如数据复制、搜索、分析或图像识别与增强等。

MPSoC 提供高达 80Gb/s 的键值存储双重 QSFP+ 线路速率（此处网络服务器成为管线瓶颈），以及高达 32TB 的存储空间。预计性能可达 104MRPS（即为 x86 实现方案的 4.5 倍），功耗降低了 20 倍，仅为 27W。

Zynq UltraScale+ MPSoC 在汽车中的应用：中央 ADAS 模块

Zynq-7000 器件已经普遍用于当今汽车的安全与摄像头系统。汽车中的摄像头系统数量预计在未来四年内将会翻倍，包括音响系统。汽车的中央 ADAS 设备需要处理具有六个同步摄像头信号的视频管线，而且每个摄像头至少达到 200 万像素（30fps），而 Zynq UltraScale+ MPSoC 完全可以满足这种要求。

图 4 给出了该应用实例。

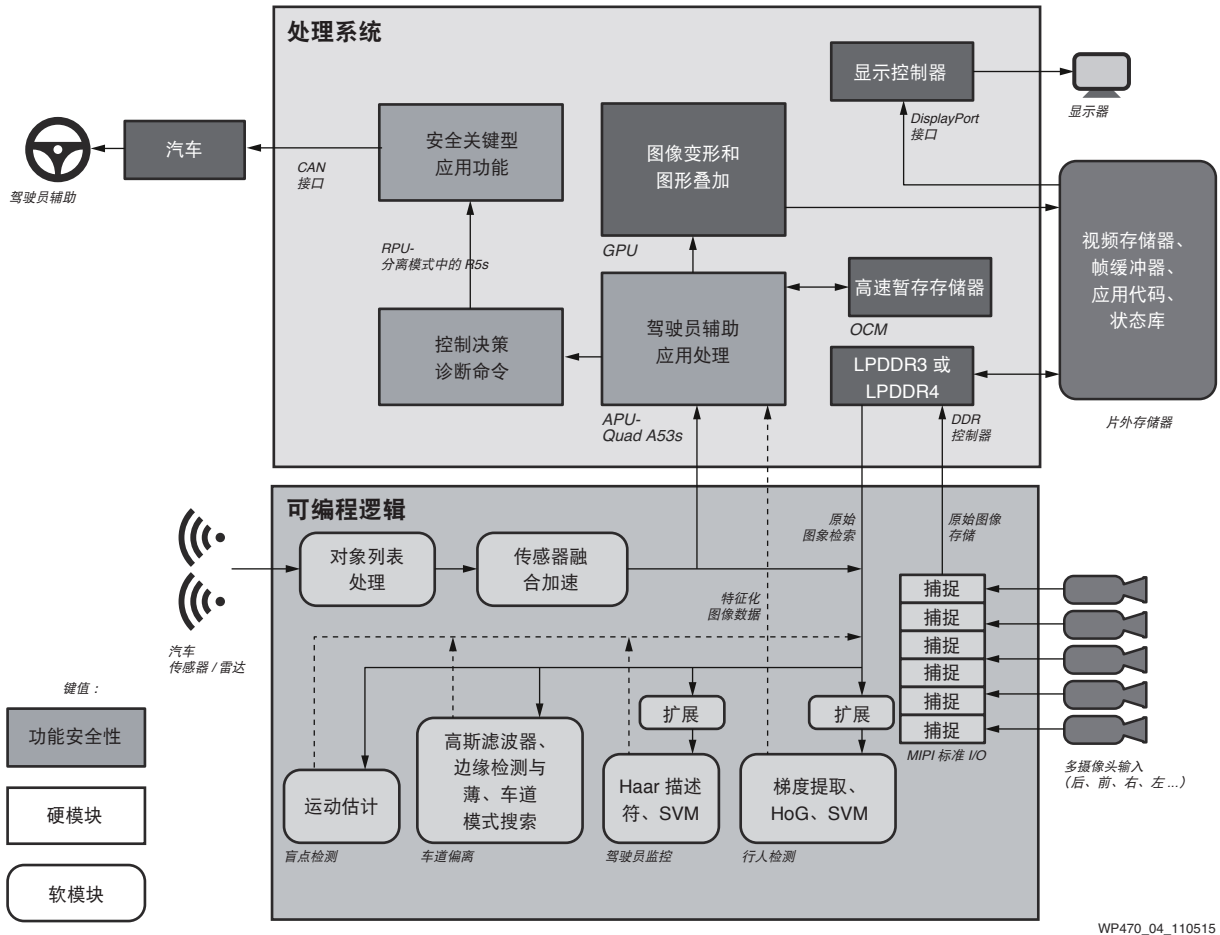


图 4：Zynq UltraScale+ MPSoC ADAS 应用实例

借助 ADAS 中央模块内的 Zynq UltraScale+ MPSoC，该器件的 I/O 可利用多种接口标准（包括 MIPI 和以太网协议）捕捉来自车上多个摄像头的视频链路信号。然后，将原始视频传递给 PL 中运行的视频与分析 IP；该 IP 支持多种加速功能，例如用于盲点探测的运动估算、用于前大灯控制的头灯/尾灯分类、用于车道偏离警告的边缘检测、用于交通标志识别的模式识别与光流估算，以及用于行人检测的梯度提取。

然后，处理后的图像数据被发送到 Zynq UltraScale+ MPSoC 处理系统，在这里，APU 四核处理器将执行图像数据的环境特性描述，同时监测车辆传感器。APU 可通过设定参数控制寄存器（例如边缘检测的

阈值)来调整可编程逻辑中的硬件加速器;或者在停车等红灯时动态地切换模块,由车道检测切换成行人监控。APU 执行帧处理,例如对象跟踪和距离估测。附加的视频处理任务(例如镜头形状的变形校正)分配给 GPU,从而实现更高的 CPU 性能和更均匀的热平衡。

将环境特性描述信息从 APU 发送至 RPU。RPU 作为汽车的主要接口,用以监测和启动执行器,同时执行并行系统诊断。双核 Cortex-R5 处理器在锁步模式下运行,以满足功能安全性要求。通过集成 CAN 接口从 RPU 向汽车发出的命令,并且在可编程逻辑中有交叉监测和诊断保护投票功能。

APU 和 RPU 共同为 ADAS 主机控制器集成提供功能安全支持。除了这些处理单元外,输入视频链路、图形处理、集成 CAN 接口以及用于硬件加速的可编程逻辑也都集成在 Zynq UltraScale+ MPSoC 板件上,这不仅能降低总体材料清单 (BOM) 成本,省去添加单独的主机控制器和摄像头视频链路接口的麻烦,而且还集成了 GPU 和片上存储器,将 ECU 的系统总功耗降低达 25% 之多,使得系统性能功耗比相对采用 Zynq-7000 AP SoC 的类似系统提升 4 倍。

Zynq UltraScale+ MPSoC 在无线电中的应用:软件无线电

低功耗性能是移动无线通信领域的主要需求。无论是地面移动无线通信 (LMR) 还是专业移动无线通信 (PMR),主流趋势都是在新一代产品中使用软件定义基带架构,以提供多种宽带调制模式 (LTE、TETRA),甚至同时提供多种调制模式。这需要无线电平台托管针对公共安全或私有网络而优化的数据应用程序。Zynq UltraScale+ MPSoC 系列非常适合公共无线电通信市场。

电池供电的窄带公共安全无线电设备 90% 的时间处于待机模式,只有 10% 的时间来执行发送或接收操作。Zynq UltraScale+ MPSoC 软件无线电利用 MPSoC 中的集成电源域和电源孤岛来关闭所有未使用的系统。来自输入射频模块的波形由 RPU 中的一个 Cortex-R5 处理器持续监控,其他 Cortex-R5 则处理安全任务。全电源域——包括 APU 和可编程逻辑——保持关断,可使整个系统的功耗低至 35mW。

图 5 展示了如何利用 Zynq UltraScale+ MPSoC 系列简化这些要求的实现。

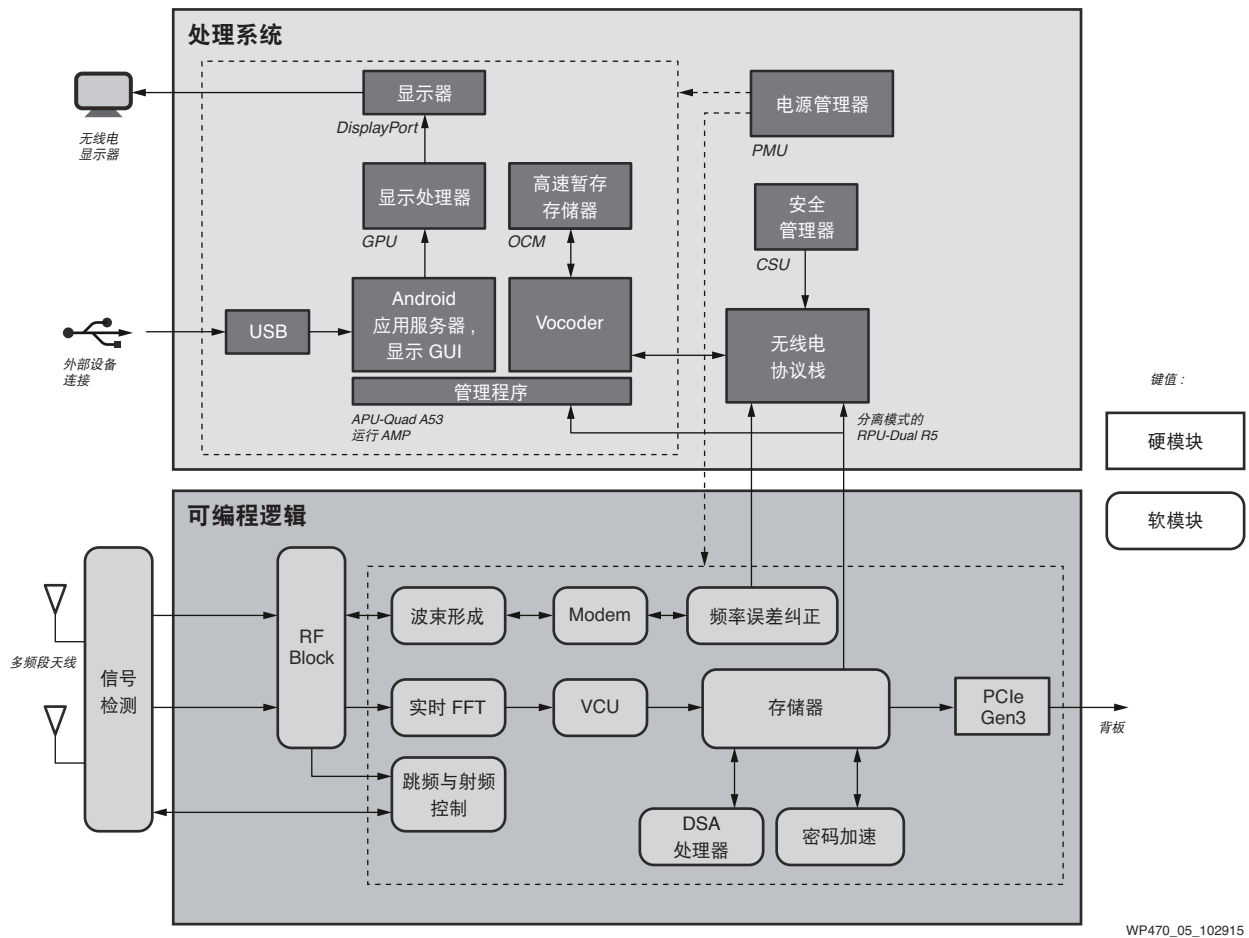


图 5 : Zynq UltraScale+ MPSoC 公共无线电应用实例

检测到有效传输后，RPU 通过处理器间中断唤醒 APU 和可编程逻辑。然后，可编程逻辑立即开始处理 RSSI 认证、滤波和数据包报头解密。在对传输认证之后，APU 中的一个 Cortex-A53 处理器开始 Vocoder 处理，利用其集成的新一代 SIMD 实现最快性能。同时，另一个 Cortex-A53 已经唤醒显示器。第三个 Cortex-A53 已做好处理 Android 应用程序的准备。APU 处理器可通过管理程序实现完全非对称运行，并可在不使用时通过电源孤岛来进行门控关闭。集成 VCU 也可用于加密/解密，以及必要时进行信号的离线存储。

凭借 Zynq UltraScale+ MPSoC 内的各种多处理器和硬化引擎，RPU 能不断监测和等待可适用信号，并使剩下的电源域处于休眠状态以显著降低功耗。凭借可编程逻辑的改进和新型更低功耗存储器接口，Zynq UltraScale+ MPSoC 的性能功耗比相对现有软件无线电系统提升近 5 倍。

结论

用户为新一代项目选择正确的嵌入式平台时没必要拘泥于 ASSP SoC。Zynq UltraScale+ MPSoC 可提供真正的多处理器硬件和架构灵活性，通过多个电源域和门控电源孤岛实现精细的电源控制，并具备专用的高性能引擎用以处理多媒体管线。全系列产品均包含一系列用于定制加速器的可编程逻辑，一系列高速和通用 I/O，以及能降低材料清单 (BOM) 成本的可选 VCU。

如需了解有关 Zynq UltraScale+ MPSoC 的更多信息，敬请访问：

china.xilinx.com/products/silicon-devices/soc/zynq-ultrascale-mpsoc

修订历史

下表列出了本文档的修订历史：

日期	版本	修订说明
2015 年 11 月 06 日	1.0	赛灵思初始版本。

免责声明

本文向您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用参考。在适用法律允许的最大范围内：(1) 资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且 (2) 赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的任何类型的损失或赔偿）均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其他责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<http://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向您签发的许可证中所包含的保证与支持条款的约束。赛灵思产品并非为故障安全保护目的而设计，不能用于任何需要专门故障安全保护性能的用途。如果把赛灵思产品应用于此类特殊用途，您将自行承担风险和责任。请参阅赛灵思销售条款：<http://china.xilinx.com/legal.htm#tos>。

汽车应用免责声明

赛灵思产品并非为故障安全保护目的而设计，不能用于任何需要专门故障安全保护性能的用途，诸如以下相关应用：(1) 气囊展开 (2) 汽车控制，除非有故障安全保护或冗余功能（不含使用赛灵思器件中的软件实现冗余的情况）并在发生故障时向操作人员告警，或 (3) 可能导致人身伤亡的用途。如果把赛灵思产品应用于此类特殊用途，您将自行承担风险和责任。