



WP471 (v1.0) 2015 年 11 月 24 日

大幅提升 UltraScale+ 系列的性能与集成度

作者: Nick Mehta

赛灵思 UltraScale+™ 系列采用 FinFET 工艺节点, 提供 ASIC 级单芯片功能, 以及最高性能与集成度。

摘要

由于不断要求在单个器件或线卡中集成更多功能, 为客户提供更多可用的功能的压力越来越大。但功能增强不能以应用设计时间或整体上市时间内的同比例增长为代价。

赛灵思 UltraScale+ 产品系列将高性能 FPGA 和灵活可扩展的 MPSoC 完美结合, 为当今市场提供唯一综合而全面的可编程 FinFET 技术组合。

以这一稳定、业经验证的架构为基础, 并结合行业认证的设计工具, UltraScale+ 产品系列在系统集成度和 ASIC 级功能上带来显著提升, 让用户能够迅速地开发出能效和性能优化的设计。

坚实的基础

UltraScale® 架构在 20nm 节点应用于 Kintex® UltraScale 和 Virtex® UltraScale FPGA 上。这一革命创新型架构推出多项新颖的系统级特性，为未来产品系列奠定坚实的基础。核心架构经重新设计，不仅提供更大型的器件，还增大器件的可用容量。经改进的逻辑和走线结构允许高资源利用率，同时结合类似 ASIC 的新型时钟结构，实现“所有时钟通向所有目的地”的方法。最终架构让用户能够在单个器件内实现比以往复杂得多的系统。

添加新元素

虽然在各代器件之间采用一致的架构能带来明显优势（比如能在一代器件中进行原型设计，迅速获得下一代器件的优势），但对性能的需求在逐年增长。以 UltraScale 架构为基础添加创新性功能能够让 UltraScale+ 系列将性能和集成度提升到全新的高度。

提供增强连接功能的集成 IP

为在降低功耗和不耗用可编程资源的情况下促进片内片外的数据传输，UltraScale 架构内置多个集成模块，以支持系统组件之间常用的连接协议。器件内含数量各异的用于支持 PCI Express®、以太网和 Interlaken 协议的集成模块。这些模块均针对 UltraScale+ 系列进行了功能增强。

实现 Nx100G 吞吐量的 PCI Express

UltraScale 架构 PCI Express 增强型集成模块性能提升了一倍，且现可支持 Gen3 x16。该带宽可实现供单一 PCIe 模块使用的 100Gb/s 应用。对需要早期使用 PCI Express Gen4 的设计人员，该架构以 PCI Express 4.0 基础规范 0.7 版本为基础支持最高 Gen4 x8。

由于虚拟化应用不断扩大，带来更多可方便共享的 I/O 资源，这种 PCI Express 增强型集成模块大幅增加了可用的物理功能和虚拟功能的数量。在有四种物理功能和 252 种虚拟功能可供使用的情况下，设计人员现在能够大幅增加 FPGA 中实现的功能，从而在共享 I/O 资源的同时降低系统的功耗与成本。这一特性对数据中心意义尤其重大，因为数据中心中多个操作系统可能通过单条 PCIe 链路共享 I/O 资源。

最后，这种 PCIe 增强型集成模块还显著增加了可用于跟踪数据包的标签的数量。通过增加标签数量，复杂系统可以有更多可用的读取请求数，从而提升系统的性能。

用于纠错和 OTN 应用的以太网 MAC/PCS

在涉及到机架上各卡之间、单个数据中心各机架之间以及数据中心之间大量数据传输的数据中心应用中，以太网几乎无处不在。其支持的各种速率使之成为使用统一标准满足不同带宽要求的理想选择。随着对带宽的需求的增长，线速也在全面增长。近期还在运行 10GBASE-LR 或 -KR 等 10G 接口的系统现在在需要多个 100G 接口。

以太网 MAC/PCS 模块现在添加了一个里德 - 索罗门 (Reed-Solomon) 前向纠错模块 (RS-FEC)。在与 25G 光学接口（一般通过 CAUI-4 协议）时，不管收发器的质量如何，误差一般由光学模块产生。为纠正光路误差，有必要在器件逻辑中创建前向纠错算法。通过将 RS-FEC 功能整合到现有的以太网 MAC/PCS 模块中，用户可看到每 100G 模块能额外节省大约 10 万个系统逻辑单元。另一个好处是 RS-FEC 经解耦合后可用作独立模块，为用户在其自定义应用中提供专门构建的 FEC 模块。

为兼容光学应用还进行了进一步修改，即为以太网 MAC/PCS 添加 OTN 模式。这样可以让 MAC 从 PCS 中解耦出来，让 PCS 在用于 OTN 应用时独立于 MAC。与从可编程逻辑构建单独的 PCS 模块相比，可节省大约 7 万个系统逻辑单元。

用于 300G 链路的 Interlaken

Interlaken 在吞吐量方面的灵活性使之成为芯片间或主板子板间高带宽互联的首选。它可用于短距到中距连接。Interlaken 也适用于封装成帧数据，例如以太网协议中使用的数据。

Interlaken 集成模块现在提供合并两个相邻模块的功能，能使用 12 个 25Gb/s 收发器实现最高速率 300G 的链路。之前这一附加逻辑需要占用可编程架构资源。合并相邻模块带来的好处是每 150G 模块可节省大约 6 万个系统逻辑单元。

移动行业外设接口 (MIPI)

UltraScale+ 系列的并行 I/O 结构与 UltraScale 中的类似，但新器件能以 MIPI D-PHY 的形式提供更多功能。任何差分 I/O 对都可以配置成 MIPI TX 或 RX，让用户接口到图像传感器或显示串行接口 (DSI) 显示器。每个 HP I/O Bank 能够托管多达 8 个 RX 接口。该 PHY 符合 MIPI D-PHY1.1 规范，可通过 SLVS-400 切换到高速模式，也可通过 LVCMOS 切换到低速模式，便于用户在性能和功耗之间做出选择。

大容量片上存储器

在多代产品中赛灵思 FPGA 以存储器模块 (36Kb block RAM) 的形式提供片上存储器，还能把一定比例的查找表 (LUT) 配置为存储器 (每个 LUT 64 位的分布式 RAM)。随着 UltraScale+ 器件带来更多的片上数据，在本地缓存数据 (以避免使用外部 DDR 或 SRAM 产生的功耗或时延开销) 的需求比以往更为强烈。为满足这一需求，许多 UltraScale+ 器件内置了 UltraRAM，一种能够级联为约 100Mb 大型存储器阵列的 288Kb 双端口存储器模块。与最新赛灵思 FPGA 和 SoC 架构中的其他资源类似，UltraRAM 按列的分布在整个器件中。在每一列中模块自下而上级联。多个列可以使用架构逻辑与互联方式连接。这种可定制的建立片上存储器阵列的方法让用户能够在器件内部贴近应用，根据需要构建理想的存储器。

速率为 2,667Mb/s 的片外存储器接口

虽然 UltraScale+ 器件内置的片上存储器远远大于以往的 FPGA 和 SoC，但仍然有必要与片外存储器接口。由于每个 I/O Bank 中都有一个存储器 PHY，UltraScale+ 器件能够把所有的高性能 I/O 配置为存储器接口。这样就可以通过速率高达 2,667Mb/s 的 DDR4 和 DDR3、DDR3L、RLDRAM3 及 QDR IV 等协议与无法支持片上存储的更高密度存储器通信。

为了增加带宽和降低功耗，市场正在从低成本并行存储器向串行存储器过渡，UltraScale+ 通过支持 Gen2 和 Gen3 混合存储器配置及 MoSys 带宽引擎，跟上了这些新兴协议的步伐。根据新兴的 HMC Gen3，赛灵思 UltraScale+ 器件可通过 GTY 收发器以 30Gb/s 的速率接口到最大 8GB 容量。

数字信号处理带宽

UltraScale+ 器件的 DSP Slice 也有与 UltraScale 架构相同的改进 (如预加法器开方、宽位 XOR 和 27x18 乘法器) 并从中获益。与之前的 UltraScale 系列相比，增强体现为两种形式：DSP Slice 的数量和 DSP Slice 的运行性能。运行速率高达 891MHz 的最大型 Virtex UltraScale+ FPGA 内置近 12,000 个 DSP Slice，能在单个器件中实现 21TMAC/s 的定点数字信号处理能力。除提供本地定点支持外，在与少量逻辑结合后，这些 DSP Slice 经配置可同时支持单精度和双精度浮点运算。最大型 Virtex UltraScale+ FPGA 能提供 7 TFLOP 的单精度浮点能力。

异构多处理系统

Zynq UltraScale+ MPSoC 是赛灵思提供的第二代 SoC，其将 ARM® 处理系统 (PS) 与可编程逻辑 (PL) 完美结合在一起。Zynq UltraScale+ MPSoC 中的 PL 基本上与 Kintex UltraScale+ 和 Virtex UltraScale+ 器件使用相同的架构。Zynq UltraScale+ MPSoC 的不同点在于智能和灵活的 PS。它是将四核 ARM V8 Cortex®-A53 高性能低功耗 64 位应用处理器与双核 ARM Cortex-R5 实时处理器相结合。凭借新一代可编程引擎、保密性、安全性、可靠性以及从 32 位到 64 位的可扩展性，Zynq UltraScale+ MPSoC 提供了前所未有低功耗、处理能力、可编程加速能力、I/O 和存储器带宽，理想适用于需要异构处理的应用。

为支持该处理器的功能，PS 中包含一定数量带有专用功能的外设：

- 接口到外部存储器：多协议动态存储器控制器、NAND 控制器、DMA 控制器和 SD/eMMC 控制器
- 高速和普通连接：PS-GTR 收发器、PCIe® Gen2 模块、USB3.0、USB2.0 和 DisplayPort。

不断发展的工艺技术

UltraScale+ 系列采用台积电 (TSMC) 的 16nm FinFET+ (16FF+) 工艺技术, 标志着赛灵思与其代工合作伙伴台积电之间的合作关系更进一步, 共同推进第三代产品发展, 将赛灵思业经验证的 UltraScale 架构的性能和能效推到全新的高度。

虽然传统平面 CMOS 晶体管已良好地为行业服务数十年之久, 但物理和电气特性限制了这一结构进一步缩小到 20nm 之下的节点的潜力, 这就提出开发替代结构的要求。尽管数年来已研究过多种备选方案, 3D FinFET 晶体管被认为是近期晶体管继续小型化的首选解决方案, 原因是其电气特性一流且具备大规模制造能力。

通过 UltraScale+ 系列, 赛灵思和台积电继续他们之间的成功合作, 将业界首创技术投放市场, 以 All Programmable 架构交付 ASIC 级的新功能。台积电的 16nm FinFET 3D 晶体管技术为将使用 20nm、16nm 乃至更小工艺的增强型赛灵思 UltraScale 架构用于制造单片 IC 器件和 3D IC 器件奠定了基础。基于 3D IC 的产品使用的是运用台积电 CoWoS 工艺实现的业经验证的赛灵思堆叠硅片互联 (SSI) 技术。这种技术已在 28nm 节点上通过量产质量级认证。以这些技术为基础, 赛灵思和台积电继续为市场提供最高性能、最高能效、最高集成度和最可靠的 FPGA 和 SoC。

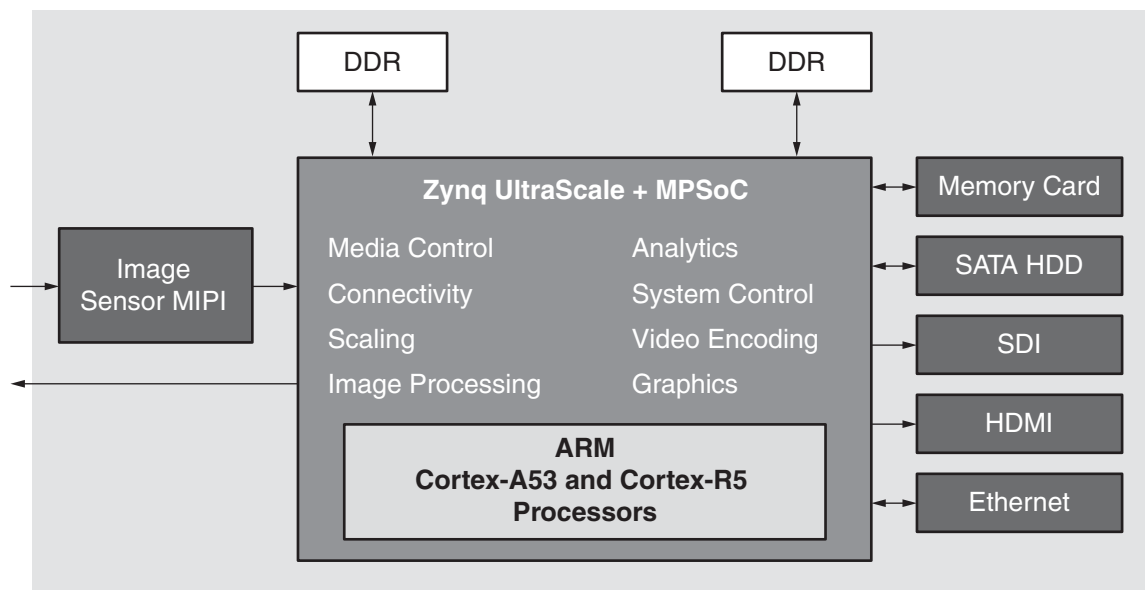
FinFET 工艺的主要优势在于宽工艺窗口。这种窗口允许用户根据应用的需要以不同供电电压运行器件。要获得绝对的最高性能, 用户可让器件工作在额定供电电压下。对功耗约束较严格的应用, 器件可工作在较低供电电压下, 让功耗降低高达 30%。

应用产品组合

UltraScale+ 系列的可编程性使它们适用于多种应用和市场。下面一些应用展示了这些产品新功能的作用与用途。

广播级摄像机

如 图 1 所示，Zynq UltraScale+ 器件为利用四核 ARM Cortex-A53 应用处理单元开发新一代广播级摄像机提供理想平台。MPSoC 为光路控制和用户界面提供理想解决方案。双核 ARM Cortex-R5 实时处理单元负责处理实时处理和视频编解码器单元（VCU）。该单元提供多标准视频编码和解码功能，包括符合 H.265 标准的高效率视频编码 (HEVC)、符合 H.264 标准的高级视频编码 (AVC)，在 60fps 帧速率下可达 4Kx2K，或较低帧速率下的 8Kx4K。



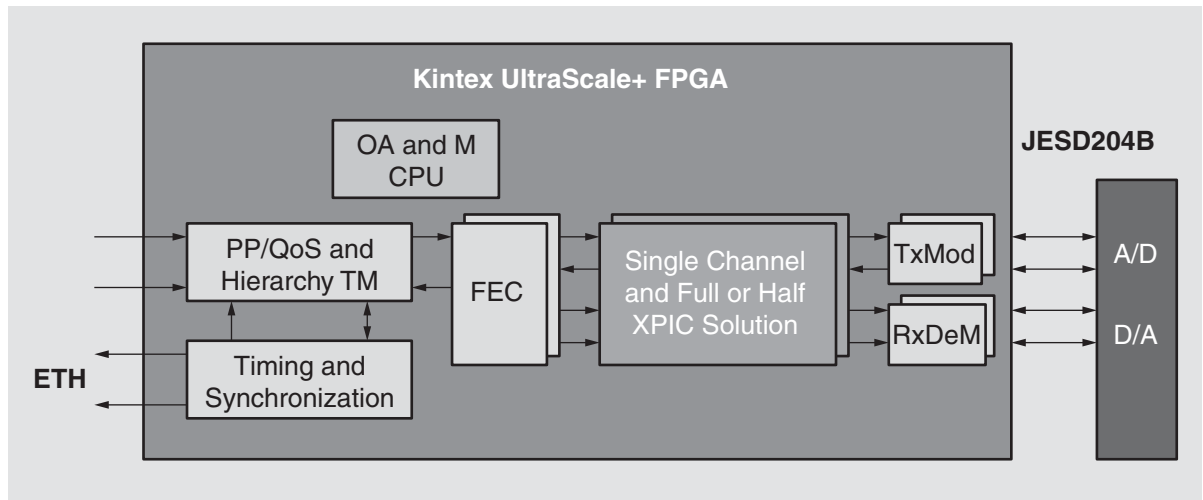
WP471_01_111015

图1: Zynq UltraScale+ MPSoC 结合用于广播级摄像机

可编程逻辑中并行 I/O 的最新 MIPI 功能让 MPSoC 无需额外的 IP 即能本地连接至图像传感器。片上 UltraRAM 提供足够的内存，可用作流缓冲器，从而避免使用外部存储器。成效：之前使用三个 Zynq-7000 SoC 的系统现在可以装入一个 Zynq UltraScale+ MPSoC，从而开发出性能更高、功耗更低、组件数量更少的系统，同时简化开发板。

eBand 调制解调器

Kintex UltraScale+ 系列属于中端器件，但其特性和模块性能与高端 Virtex UltraScale+ 系列可相媲美。中端系列的关键是提供合适的资源组合，同时让器件工作在较低功耗水平上并能够采用更小封装，以满足一般不具备主动式散热条件的高难度狭小空间环境的要求。无线通信市场就是典型的应用性能要求高，但功耗和空间严格受限的例子。



WP471_02_111215

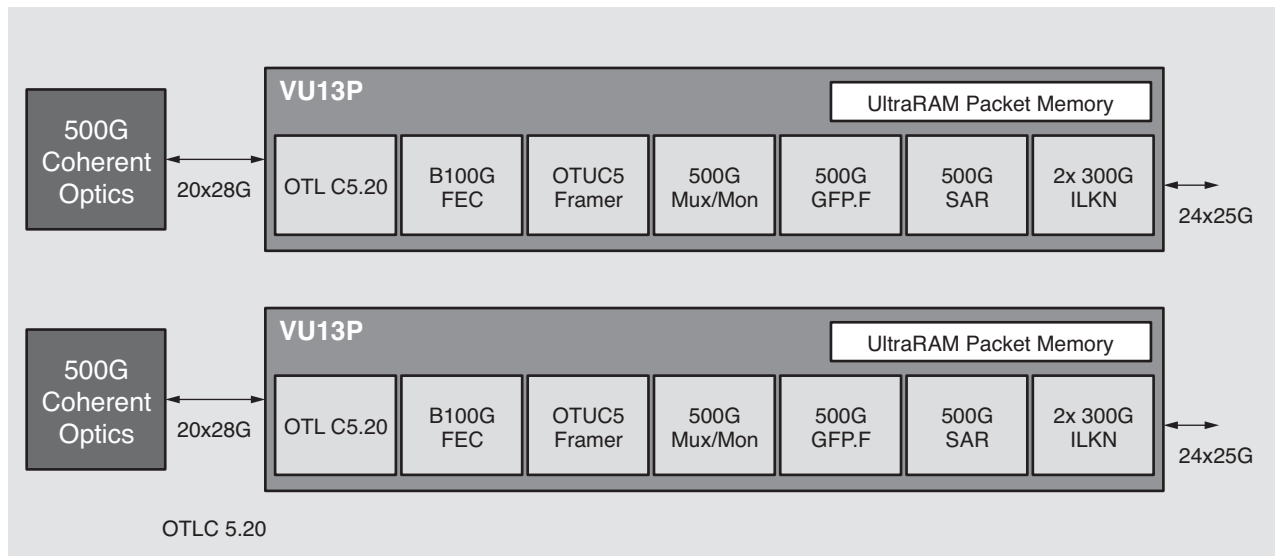
图2: Kintex UltraScale+ FPGA 用作毫米波调制解调器

图 2 所示的是将两个 Kintex-7 FPGA 的功能整合到一个器件中 Kintex UltraScale+ FPGA。16nm FinFET+ 工艺中的低功耗特性是一个显著的优势，但不能以牺牲性能为代价。Kintex UltraScale+ FPGA 按设计既能低功耗运行，还能实现对无线设计有重要意义的系统频率（比如许多 5G 系统要求的 491MHz-737MHz）。这些器件能包含多达 3,528 个可运行在将近 900MHz 频率下的 DSP Slice，从而显著提高众多无线设计的性能水平。Kintex UltraScale+ 器件结合运用 16.3Gb/s GTH 收发器和 32.75 Gb/s GTY 收发器，让中端产品具备 30+ Gb/s 的通信能力，确保器件拥有支持不断普及的 JESD204B 等标准所需的带宽。

1Tb MuxSAR 混合 OTN 交换

赛灵思提供的 Virtex 系列 FPGA 过去一直是行业速度最快、功能最强的 FPGA。Virtex UltraScale+ 延续这一优势，提供 128 个数据运行速率高达 32.75Gb/s 的 GTY 收发器，并在单个器件提供多达 24 个集成连接模块（用于实现 PCIe、以太网和 Interlaken 协议），但也产生比以往更多的片上数据。为存储和处理如此庞大的数据量，Virtex UltraScale+ 器件内置多达 360 万个系统逻辑单元和 11,904 个 DSP Slice。通过将最新 UltraRAM 功能与 UltraScale 器件中提供的 Block RAM 和分布式 RAM 结合，该系列中的最大型器件能提供前所未有的 0.5Gb 片上存储能力。

Virtex UltraScale+ 拥有的强大功能，能通过 16FF+ 工艺将日益增多的数据通道整合到单卡中，为在功耗可接受的情况下保持功能增强提供所需的功耗 - 性能平衡。图 3 所示的是由两个 VU13P FPGA 组成的 1Tb MuxSAR 混合 OTN 交换应用。



WP471_03_110415

图3：位于 1Tb OTN 卡上的 Virtex UltraScale+ 器件

每个 FPGA 在一侧使用增强型以太网 MAC 集成模块，通过 20 个 GTY 收发器接口到 500G 一致性光学器件。UltraScale+ FPGA 内置以太网模块独有的 OTN 映射模式能让 PCS 独立使用，与从可编程逻辑构建单独的 PCS 模块相比可节省约 7 万个系统逻辑单元。这一额外的逻辑节省加上 24 个 Interlaken 集成模块带来的逻辑节省，为用户的定制应用提供比以往架构明显增多的逻辑。为 UltraScale+ 器件添加 UltraRAM 能在单卡上增添容量超过 800Mb 的数据包存储器。由于以往设计中数据包存储器位于片外，Virtex UltraScale+ 解决方案可提供更低的存储器时延并简化材料清单 (BOM)。

经验证的架构和工具

过去数年中赛灵思仔细选择时机，做出了一系列产品开发和推出决策，在降低新产品推广风险的同时，为客户带来 ASIC 级的芯片架构和决策工具。历经四年开发，赛灵思于 2012 年 7 月公开发布了 ASIC 级的设计环境“Vivado® Design Suite”。两年多以后，赛灵思的大部分客户已经顺利过渡到 Vivado 工具，正在体验显著缩短的运行时间、更优异的质量结果、更高器件利用率和 UltraFast™ 设计方法带来的更快开发速度所带来的明显效益。

2013 年年底，赛灵思开始发运基于革命性创新型 UltraScale 架构的 20nm 器件。这是业界首款 ASIC 级可编程架构。对需要大规模 I/O 和存储器带宽、大规模数据流、一流 DSP 和包处理性能的高要求应用，UltraScale 器件提供前所未有的集成度和系统级性能。UltraScale 架构已在 20nm 节点通过验证，按设计可进一步缩小到 16nm，以满足需要更高性能、能效和集成度的新一代应用的要求。UltraScale+ 系列中的增强功能构成赛灵思新一代基于台积电公司 16nm FinFET+ 工艺技术的 FPGA 和 MPSoC 的基础。

通过战略性地引入新设计工具和架构并经一段时间的检验，赛灵思已经显著地降低向 FinFET 工艺技术过渡的风险。通过赛灵思对工具和架构进行的全面开发、培训和优化，使用 UltraScale+ 器件的客户能迅速引入器件并实现其效益。

关于赛灵思 UltraScale+ 产品系列的详细介绍，或如需立即使用这些产品开始设计，请登陆 china.xilinx.com，访问 [UltraScale 架构技术](#) 页面，参阅 [DS890](#) 《UltraScale 架构和产品简介》。

修订历史

下表列出了本文档的修订历史。

日期	版本	修订描述
2015 年 11 月 24 日	1.0	赛灵思初始版本

Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx’s limited warranty, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS