



WP500 (v1.0) 2018 年 2 月 13 日

采用 Zynq UltraScale+ MPSoC 满足汽车 ESD 和 SEED 要求

作者: James Karp、Michael J. Hart、Wai Kooi Wong、Krimo Semmoud、Desmond Yeo

对于需要安全性以及长期可靠性的设计而言，Zynq UltraScale+ MPSoC 能够提供灵活性和设计解决方案，完美适用于前沿技术，并满足汽车 ESD 和 SEED 的要求。

摘要

汽车行业对以下方面制定了严格的要求：

- 高可靠性
- 恶劣环境
- 低回报率
- 使用寿命长

防止静电放电 (ESD) 事件是促成此举措的一大关键设计参数

电子设备的 ESD 安全由两个级别的 ESD 保护来提供保证：片上组件级和系统级。后者是通过安装在 PCB 上的专用组件来实现的。

本白皮书描述了 16nm Zynq® UltraScale+™ MPSoC 的 ESD 保护，并重点讨论了集成至要求严格的汽车系统高效 ESD 设计 (SEED) 的优势。

介绍

赛灵思 ESD 白皮书 WP433 [参考资料 1] 总结了半导体行业的规模化趋势“摩尔定律”如何导致组件级 ESD 抗扰性的降低。从 28nm 7 系列器件开始，赛灵思 FPGA 的 ESD 抗扰性比前几代降低了约 50%。为了补偿和减轻这种 ESD 规模效应，客户在他们的生产现场引入了更严格的 ESD 控制环境。尽管如此，应用 ESD 环境仍毫无改善。

组件和系统 ESD 需求之间的差距越来越大，这成为一个持续受关注的问题，特别是在汽车应用方面。后者提供了最恶劣的用户 ESD 环境，因此需要最严格的系统级 ESD 规范。因此，汽车行业不愿意接受组件 ESD 抗扰性的规模性拓展，并继续坚持传统的 ESD 组件目标 [参考资料 2]。为了解决组件和系统 ESD 规范之间日益扩大的差距，业界提出了新的系统高效 ESD 设计 (SEED) 方法，该方法要求对板载和片上 ESD 保护进行协同设计，以实现系统级 ESD 稳健性的目标 [参考资料 3][参考资料 4]。Zynq UltraScale+ MPSoC 是配备 ESD 保护的赛灵思 All Programmable 器件，有助于随时支持 SEED，从而实现系统级 ESD 目标。

本白皮书描述了 Zynq UltraScale+ MPSoC 中的十大 ESD 保护功能，它们显著促进了 SEED 的实现。论证了 150V 充电器件模型 (CDM) 和 1500V 人体模型 (HBM) 两种 ESD 参数对满足汽车组件级 ESD 和 SEED 的充分理由。本白皮书评估了 SEED 相关的汽车应用，并强调了现有系统级 ESD 认证中的一个漏洞，该漏洞可能导致未检测到的泄漏相关 ESD 损害。增强的系统级 ESD 资格认证方法提出，组件和系统 ESD 拒绝标准应相匹配。这种方法显著减少了 PCB 在制造过程中或在 Zynq UltraScale+ MPSoC 使用过程中带来 ESD 损害的可能。

组件级和系统级 ESD

组件级和系统级的 ESD 保护是 ESD 安全电子产品的首要目标。在 Zynq UltraScale+ MPSoC 的制造、处理和测试过程中，HBM 和 CDM 属于能有效确保产量和可靠性的测试方法 [参考资料 1]。然而，当组装成一个系统（例如汽车驾驶辅助系统 (ADAS)）后，这些要求便不再适用。系统级 ESD 测试经国际电工委员会 IEC 61000-4-2 ESD 标准 [参考资料 5] 定义，或在汽车应用中受国际标准化组织 ISO 10605 标准 [参考资料 6] 定义。此外，汽车制造商通常有自己的内部 ESD 鉴定标准，例如福特汽车公司的 FMC1278 [参考资料 7]。

Zynq UltraScale+ MPSoC 为汽车和 SEED 应用提供妥善的 ESD 保护。下面介绍用于检验赛灵思器件的组件级和系统级的 ESD 认证测试。

HBM 测试

HBM 是指人类通过皮肤向无电源 IC 放电的人体带电模型。HBM 总存在于两个或更多引脚之间。Zynq UltraScale+ MPSoC 的最低合格 HBM 电压 = 1500V (I/O)，并针对任何电源引脚都能满足汽车行业标准 2000V 的目标 [参考资料 8]。

使用 HBM 测试仪进行 HBM 应力仿真或测试。在 HBM 应力测试中，IC 永远不会暴露于 HBM 电压⁽¹⁾下，这是由于人体皮肤的电阻率将 1500V HBM 电位转换为了 HBM 电流，如方程 1 所示：

$$I_{HBM} = \frac{V_{HBM}}{R_{skin}} = \frac{1500}{1500} = 1A \quad \text{Equation 1}$$

这里将 R_{skin} 建模为一个 1500Ω 电阻。1500V HBM 脉冲对应的电流振幅 ≈ 1.0A，上升时间 ≈ 5-10ns，衰减时间 ≈ 150ns。

应注意，HBM 并不是一个真正的 ESD 威胁，因为就所有的实际应用情况而言，在供应商和客户生产现场都不存在人体与 Zynq UltraScale+ MPSoC 的接触。相反，HBM 确实在 SEED 中发挥了重要作用。

CDM 测试

CDM 是唯一真实存在的 ESD 事件，发生 CDM 时，静电电荷在一个无电源 IC 中积聚，然后通过一个 IC 引脚被释放到接地端。CDM 放电由 CDM 测试仪进行仿真或测试，测试仪会产生 CDM 应力脉冲。对于 Zynq UltraScale+ MPSoC，最小合格 CDM 电压 = 150V，通常是电源引脚的两倍以上。这符合汽车行业 C2 CDM 组件分类标准 125V 到 <250V [参考资料 9] 的范围。CDM 应力的振幅是裸片或封装尺寸的弱函数 [参考资料 10]。对于 Zynq UltraScale+ MPSoC，150V 的 CDM 脉冲对应的电流振幅 ≈ 3.0A，上升时间 ≈ 200-300ps，衰减时间 ≈ 1-2ns。

在真实的工业环境中，CDM 应力通常是由 IC 在与环境接触过程中积累的摩擦电荷引起的，例如，IC 沿进料管滑动时，或通过机械臂在电离空气中移动时。当 IC 与接地金属（例如 ATE 插槽）接触时，这些电荷就会释放。

锁存与过压测试

Zynq UltraScale+ MPSoC 通过了锁存 ±100mA 注入和 50% 的供电过电压规范测试，符合汽车行业规范 [参考资料 11]。

1. 所谓的“无连接”引脚，即没有连接到裸片的浮动封装引脚，参见全 HBM 电压。

系统级测试

系统级测试既是上电测试，也是断电 PCB 测试，它能够反映不受用户控制的 ESD 环境。“ESD 放电枪”能够模拟接触和空气放电模式下的 ESD 事件。前者对直接进入系统的 ESD 应力进行仿真，后者对邻近系统的放电进行仿真，用于评估对电磁干扰 (EMI) 的防护能力。有关系统级 ESD 标准和测试的全面评述请参阅 [参考资料 3] 中的参考资料。

图 1 展示了同样尺度下的 ESD 应力，用于说明组件 CDM、HBM 和系统 ESD 之间存在显著的差异。此外，它还阐明了 SEED 的概念，即 ESD 放电由板载瞬态电压抑制器 (TVS) 和片上 ESD 保护共同处理 [参考资料 3]。

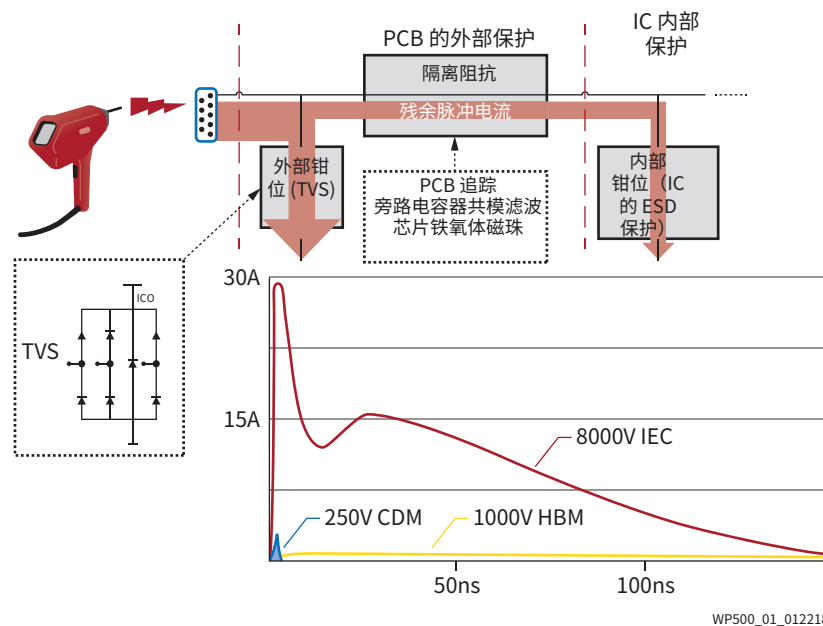


图 1: 组件 CDM、HBM 与系统 ESD 的 ESD 应力

CDM/HBM 设计以及 SEED 交互

片上 CDM 设计的首要考虑因素在于，确保 CDM 放电过程中任何电荷逃逸路径中的低 IR 降。当 CDM 电流为 3A 时，即使 CDM 放电路径上 1Ω 的电阻也能产生 3V 的跨晶体管应力。根据摩尔定律，较小的晶体管尺寸会导致电气强度降低（关键的 FinFET 晶体管击穿参数仅在 2-3 伏的范围内）。这正是 CDM 发展路线图向低电压发展的原因，为 20nm 和 16nm 技术节点设定了 125V CDM 限制 [参考资料 1]。赛灵思 UltraScale 和 UltraScale+ 系列分别采用 20nm 和 16nm 技术制造，超过了路线图要求，满足 150V CDM 发展机制。由于从 20nm 向 16nm 发展时，CDM 抗扰性没有变化，因此两个工艺节点的 ESD 安全认证是相同的，这有助于客户从 UltraScale 向 UltraScale+ 器件迁移。

HBM 片上设计与 CDM 的不同之处在于，必须在 HBM 放电路径中提供低电流密度 (j_{HBM})。这能够避免敷金属和 ESD 元件的熔化。为了降低 j_{HBM} ，ESD 设计依赖于更大的敷金属截面和更大的 ESD 元件。与 CDM 标准相反，HBM 设计标准主要脱离晶体管的电气强度。因此，HBM 强度看似与摩尔定律无关。但当 HBM 设计影响 I/O 性能时，事实并非如此。较大的 HBM 元件具有较大的电容；这会减慢 I/O 速度并减少带宽。从性能的角度来看，必须最大限度减小 I/O ESD 元件的尺寸。在赛灵思器件中，使用 T 线圈对消技术解决了性能与 ESD 协同设计的挑战 [参考资料 12]。这一创新取代了 1000V HBM 行业路线图，通过 1500V HBM 实现了 32Gb/s (GT) 收发器性能。

系统级 ESD 保护

充电器件模型 (CDM): 一旦将 IC 安装在 PCB 上，CDM 威胁便不复存在，这是由于它由组件级定义。因此，片上 CDM 保护的属性已不再使用，也不支持 SEED。这一论断经 95 亿已发货 IC 中 934 个 PCB 设计的失效分析统计支持。该研究表明，失效率与 CDM 稳健性无关 [参考资料 13]。

人体模型 (HBM): 与 CDM 不同，HBM 将成为 SEED 协同设计的主要参数。HBM 的建模采用 100pF 电容器，充电到 1500V 再通过 1500 Ω 电阻放电。IEC ESD 应力建模则采用 150pF 电容器，充电到 8000V 再通过 330 Ω 电阻放电。这导致二者放电的时域特性大致相同（参见图 1）。这种时域相似性构成了 SEED 协同设计的基础，其中约 95% 的系统 ESD 放电通过板载 ESD 保护转移到接地端。剩余的一小部分放电定义为“残留脉冲”，利用片上 HBM 资源转移到接地端（参见图 1）。在 ESD 缩放前，这一共享参数调节到了 2000V HBM。采用 ESD 缩放时，板载保护必须重新调节至 1000V HBM。为了便于重新调节，Zynq UltraScale+ MPSoC 的 HBM 稳健性经过了强化，对于任意 I/O 能够满足 1500V 的水平，而对于任意供电轨则能达到 2000V 水平。

支持 SEED 的十大 ESD 保护特性

Zynq UltraScale+ MPSoC 的 ESD 保护的设计与实现具有十项增强功能，旨在满足汽车与 SEED 的要求。

1. ESD 保护不使用基于锁存器的芯片控制整流器 (SCR) 和恢复器件⁽¹⁾。

过电压稳健性是汽车电子电子产品安全的关键。ESD 或 EMI 瞬态能够传输到器件中，触发 SCR 并恢复 ESD 保护器件进入低阻抗状态，从而对这些 ESD 元件造成损害。为了支持 SEED，Zynq UltraScale+ 器件不使用 SCR/恢复 ESD 保护。

1. V_{BATT} 是唯一使用超低泄漏恢复器件保护的引脚。 V_{BATT} 为加密存储器密钥提供电池备份供电；通常，汽车用户不使用此特性。

2. ESD 保护设计只采用正向偏置的 ESD 二极管和 RC 钳位。

遇到 ESD 瞬态时，启用 RC 钳位，ESD 二极管切换至正向偏置模式（参见图 2）。然而，通过这些器件的电流受到其固有阻抗的自我限制；当 ESD 或 EMI 瞬态被 SEED 抑制后，它们立即返回到关闭状态，实现反向偏置。

3. 所有的 ESD 器件均来自符合 TSMC 规格的 ESD 标准库，并具有 SPICE 支持，以“原状”形态提供。

TSMC 标准 ESD 库支持大电流 HSPICE ESD 模型。这些曲线适用于 IBIS 软件包的客户（可从 I/O 专家处获取）。它支持在同一个 PCB 上其他 IC 中类似 ESD 保护的 SEED 解决方案中实现协调与统一。

4. 隔离的接地域通过封装接地层或反向二极管进行耦合。

SEED 设计策略的基础在于将任何 ESD 瞬态转移至 PCB 接地层再外传至接地端，或在汽车实现中转移至通用底盘。第 4、5、6 项针对 Zynq UltraScale+ MPSoC 采用类似的策略。这对 SEED 提供了显著支持。

5. 任何域上的 ESD 电荷首先被导向低阻抗接地层，而后传导至外部。

6. 不同的供电电压之间没有 ESD 元件。

7. 封装电源接地电容器 ($\approx 1\mu\text{F}$) 提供芯片 ESD 旁路。

封装电源对地去耦电容器属于面向任何 ESD 事件的低阻抗分流器，是长期以来最优秀的 ESD 保护元件（参见图 2）。

8. 封装四角的引脚随时保持与封装接地层的连接。

汽车组件角引脚的 CDM 规范为 750V [参考资料 9]，而 Zynq UltraScale+ MPSoC 的 CDM 受高性能 I/O 的限制，因此比前者低大约 5 倍。为缩小这一差距，两款 Zynq UltraScale+ MPSoC (SBVA484 封装中的 XAZU2EG 和 XAZU3EG) 有四个角引脚连接 GND 封装面，从而确保了高 ESD 抗扰性。

9. 目前，所有供电电压都超过了汽车规范中 2000V HBM 的最大要求。

Zynq UltraScale+ MPSoC 的 ESD 保护电源设计采用 TSMC 电源钳位，具有承受 2000V HBM 和 500V CDM 的能力。在设计的角度上，这有助于确保通过汽车 HBM 水平。

10. 所有 I/O 都经过 HBM 强化，超过行业接受的 1000V，以满足 1500V。

残留脉冲能够穿透 I/O 引脚处的器件，如图 1 所示。在组件级 HBM 条件下，SEED 必须将残留峰值电流降低到低于 I/O 引脚失效电流的水平。组件 HBM 通过电压越高，SEED 任务就越容易执行。

如图 2 所示，Zynq UltraScale+ MPSoC 的 ESD 保护既依赖于片上 ESD 元件（蓝色），也需要专属片上低阻抗 ESD 路由（绿色）支持；将封装去耦

电容器 CD 作为额外的 ESD 保护元件，为 ESD 放电提供芯片旁路（红虚线所示）。

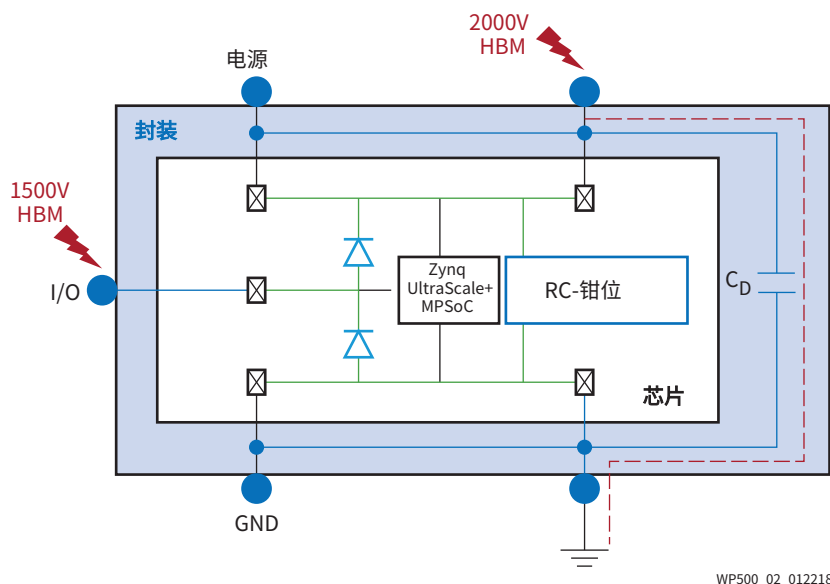


图 2: 基于片上 ESD 元件与片上低阻抗路由的 ESD 保护

SEED 协同设计

SEED 最重要的一个参数就是板载 ESD 保护，它始终优先于片上 ESD 保护。这是为了避免当数十安培的系统级 ESD 事件通过 1A 级片上 ESD 保护放电时出现 IC 损坏的情况。对于 Zynq UltraScale+ MPSoC，建议使用以下协同设计方法：

- **I/O ESD 保护**：基于正向偏置的芯片 ESD 二极管（参见图 2），为了取代 Zynq UltraScale+ MPSoC ESD 设计，SEED 可以使用在 Si PN 二极管之前开启的正向偏置肖特基 (Schottky) 二极管，如图 3 所示。
- **电源保护**：适当选用 TVS 可取代 Rc-钳位电源并吸收系统 ESD 放电。然而，同样的 TVS 在封装电容器存在的情况下将无效，如图 3（右）所示。由于并非所有 Zynq UltraScale+ MPSoC 都配有封装电容器，因此 SEED 协同设计需要参阅产品文档 [参考资料 14]，以获得具体的供应信息。

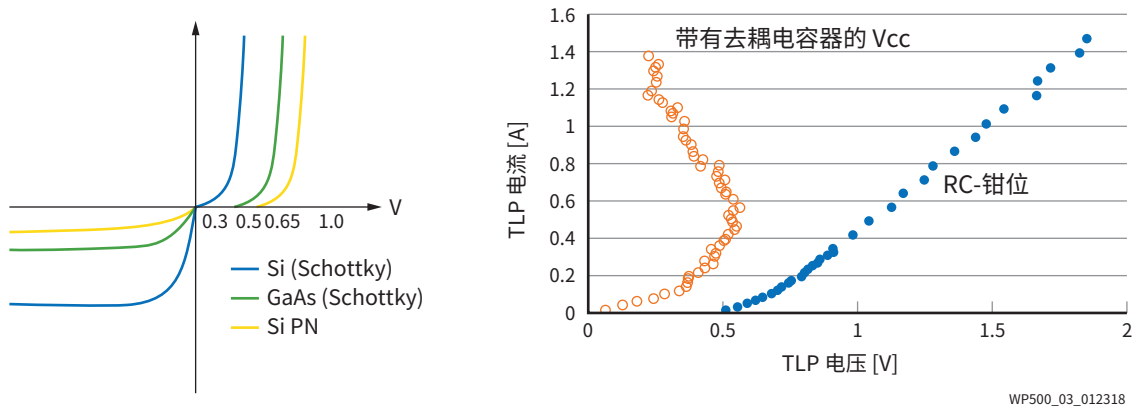


图 3: Zynq UltraScale+ MPSoC 片上与板载协同设计

SEED 始于外部和内部 IC 引脚的定义 (参见图 4)。收发器和器件上的 MIO 引脚可以直接连接外部环境。然而, I/O 通常由板上的其他 IC (例如存储器、处理器、摄像头) 从外部连接直接缓存, 并由板载精密电压调节器供电。图 4 展示了此类汽车应用的示例。

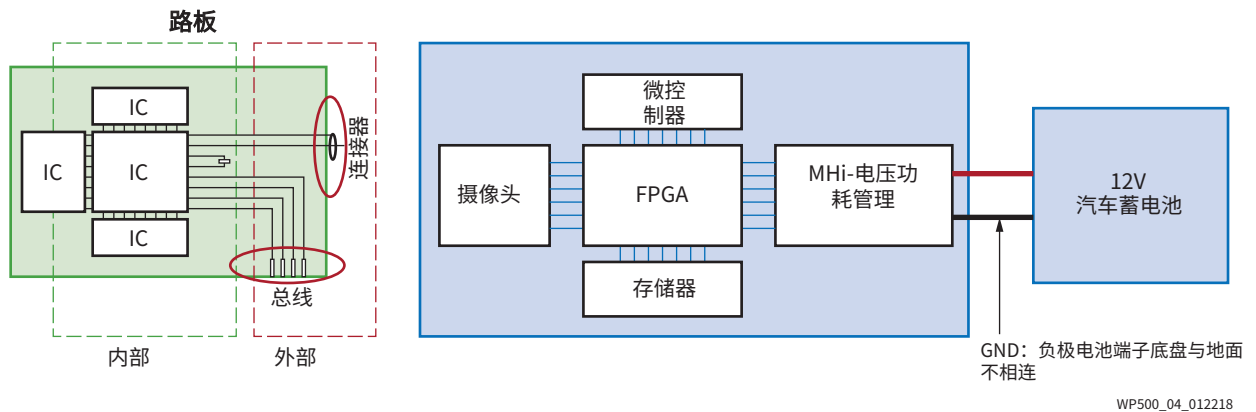


图 4: 汽车应用示例

赛灵思确曾收到过一些 RMA, 其内部引脚具有电致物理损害 (EIPD) 的特征, 这表明现实应用中的 ESD 和 EMI 事件可以耦合到内部引脚上并导致 EIPD。约 30% 的客户退货在内部电源连接到精密电压调节器处存在 EIPD, 例如低压降 (LDO)。通常, 此类损害表现出明显的电过应力 (EOS) 特征。为了避免电源损坏, PCB 设计人员必须考虑具有多种保护功能的 LDO, 包括:

- 应对所有正负脉冲。
- 应对反向输入极性; 在汽车应用中, 这意味着要能承受不正确的接电启动。
- 输入过压关断。在汽车应用中, 当电池线缆断开并由交流发电机为车辆供电时, 这就进入所谓的“负载突降保护”。
- 输出过压关断。在接地基准极差或完全失去接地基准的情况下, 后者可能会迫使 LDO 运算放大器将输出浪涌到非常高的水平。

EMI 也是 SEED 的另一大关注点。汽车 EMI 测试采用依次增加 EM 脉冲强度的方式 [参考资料 15]。汽车既处于“熄火”状态，又处于“发动机启动”状态。接触 EM 脉冲期间，“熄火”的汽车中没有观察到 EMI 效应。只有在行驶的汽车上才能观察到故障。这些行驶中的车辆大多无法立即重新启动。必须暂时断开电池，才能重新启动车辆。从这些结果中得到的两个关键结论是：a) EMI 无法在断电模式下损坏电子产品，后者为组件级 ESD 测试的条件；b) 如果电子产品处于电源启动模式，那么 EMI 可能会触发锁存。锁存电流在两个端子之间，即电源端和接地端之间。“厚”敷金属用于支持 2000 V HBM 的 Zynq SuperScale+MPSoC 电源，这减轻了 EMI 的 SEED。

“轻伤”

在可靠性方面，“轻伤”一词指的是已损坏但未发现故障的部件，并且存在持续关注的必要 [参考资料 16]。什么水平的测试或检查能够证明没有“轻伤”器件存在？汽车零部件理事会要求在室温及高温下，针对功能，参数，或 I-V 验证进行前后 HBM、CDM，以及锁存认证应力测试 [参考资料 2]。Zynq UltraScale+ MPSoC 通过/失败标准通常包括，与压力测试前的新单元相比泄漏增加。通常需要更高的 ESD 应力才能导致功能故障。后者往往与 EIPD 有关。因此，是泄漏增加，而不是 EIPD 或功能故障，才真正地为 Zynq UltraScale+ MPSoC 的 ESD 抗扰性设定了极限。

相反，受测板 (BUT) 的功能则是系统级 ESD 认证的通过/失败标准 [参考资料 3]。这就造成了一种不完整的 SEED 能通过认证的条件。就像在系统认证期间一样，SEED 不完整的系统可以成为“轻伤员”。在实际应用中，这些未发现的损害可以发展为功能性损害，并报告为 RMA。为了弥补系统级 ESD 认证期间“轻伤”的漏洞，赛灵思建议将 Zynq UltraScale+ MPSoC 组件和系统级通过/失败标准 [参考资料 17] 进行如下匹配：

1. ATE 前测试：⁽¹⁾ 将在 BUT 上的所有 Zynq UltraScale+ 器件采用组件 ESD 认证期间相同的方式重新测试 ATE，并记录测试结果。
2. ATE 后测试：⁽¹⁾ 在认定一个系统“通过 ESD 认证”后，将所有 Zynq UltraScale+ MPSoC 都从 BUTS 中取出，重新准备，然后进行 ATE 后测试。
3. 采用类似 ESD/锁存 Zynq UltraScale+ MPSoC 认证的通过/失败标准，对 ATE 前后的结果进行比较。

1. ATE 前后测试可在承包商测试室进行，或经过适当安排在赛灵思进行。

总结

对组件级 ESD 抗扰性应用摩尔定律缩放，产生了系统高效的 ESD 设计 (SEED) 方法。SEED 要求对板载和片上 ESD 保护进行协同设计，以实现系统级 ESD 稳健性的目标。

为了满足这些新的需求，Zynq UltraScale+ MPSoC 的 ESD 保护设计纳入了十大 SEED 友好特性。CDM 抗扰性对系统 ESD 设计没有影响，其中 1500V I/O HBM 抗扰性的降低与缩放前的 2000V 规格必须采用 SEED 协同设计进行补偿。“轻伤”漏洞是广为人知，并可通过 SEED 认证的方法加以识别；要填补这些漏洞，组件和系统级的通过/失败标准必须匹配。

后记：

在 20 世纪 50 年代到 60 年代，大多数美国汽车的钣金厚度都在 0.05 英寸左右。新车使用了约 0.03 英寸或更薄的钣金材料。然而，人们对新车的人身安全要求却比过去高得多。此类要求已经通过落实安全带、安全气囊、安全电子产品和众多其他技术创新得到了满足。

组件 ESD 抗扰性方面也呈现出类似的趋势，ESD 抗扰性一直在以汽车钣金厚度的方式下降，并且同样是因为成本和性能。有史以来又一次引入了全新的解决方案（包括 SEED），以确保现代汽车电子产品的安全。

本白皮书展示了赛灵思在这一重要市场领域，对汽车安全和客户支持的持续不断的努力。

参考资料

1. J. Karp, M. J. Hart, and T. C. Chai, "Understanding and Mitigating System-Level ESD and EOS Events in Xilinx 7 Series Devices", Xilinx White Paper WP433 v1.0, June 24, 2013
https://www.xilinx.com/support/documentation/white_papers/wp433-Mitigating-ESD-EOS.pdf
2. Failure Mechanism Based Stress Test Qualification For Integrated Circuits; AEC-Q100, Rev H, September 11, 2014
http://www.aecouncil.com/Documents/AEC_Q100_Rev_H_Base_Document.pdf
3. "White Paper 3: System Level ESD, Part I: Common Misconceptions and Recommended Basic Approaches", Rev 1.0, December 2010
<https://www.esda.org/about-esd/white-papers>
4. C. Duvvury and H. Gossner, "System Level ESD Co-design", IEEE Press, John Wiley & Son, West Sussex, UK, 2015
5. "Electromagnetic Compatibility (EMC), Part 4-2: Testing and Measurement Techniques—Electrostatic Discharge Immunity Test", IEC 61000 4-2, 2008
<https://webstore.iec.ch/publication/4189>
6. "Road vehicles—Test Methods for Electrical Disturbances from Electrostatic Discharge", ISO Standard 10605, International Organization for Standardization, 2008
<https://www.iso.org/standard/41937.html>
7. "Electromagnetic Compatibility (EMC) Requirements for Electrical/Electronic Components and Subsystems", FMC1278, for Ford Motor Company (FMC)
<http://www.fordemc.com/docs/download/FMC1278.pdf>
8. "Automotive Electronic Counsel HBM", AEC-Q100-002 Rev-E, p. 5, August 20, 2013
http://www.aecouncil.com/Documents/AEC_Q100-002E.pdf
9. "Automotive Electronic Counsel CDM", AEC-Q100-011 Rev-C1, p. 12, March 12, 2013
http://www.aecouncil.com/Documents/AEC_Q100-011C1.pdf
10. J. Karp, V. Kireev, D. Tsaggaris, and M. Fakhruddin, "Effect of Flip-Chip Package Parameters on CDM Discharge", EOS/ESD Symposium, Tucson, AZ, 2008
<http://ieeexplore.ieee.org/document/4772108/>
11. "Automotive Electronic Counsel Latch-Up", AEC-Q100-004, p. 2, Rev-D, August 7, 2012
http://www.aecouncil.com/Documents/AEC_Q100-004D.pdf
12. J. Karp, M. J. Hart, M. Fakhruddin, et al, "FinFET MPSoC 32Gb/s Transceivers: Custom ESD Protection and Verification", 2016 IEEE 59th International Midwest Symposium on Circuits and Systems, October 2016
<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=7869952>
13. "White Paper 2: A Case for Lowering Component Level CDM ESD Specifications and Requirements", pp. 69–70, March 2009, Rev. 1.0.
<https://www.esda.org/about-esd/white-papers>
14. Xilinx Zynq UltraScale+ MPSoC Packaging and Pinouts Product Specification, [UG1075](#)
15. J. Emanuelson, "EMP Effects on Vehicles", Futurescience, LLC
<http://www.futurescience.com/emp/vehicles.html>
16. J. E. Vinson et al, "ESD Design and Analysis Handbook", p. 52, Kluwer Academic Publishers, Norwell, MA, USA, 2003
17. J. Karp et al, "Automotive System Level ESD Qualification with Component Level Pass/Fail Criteria", to be published in proceedings of International ESD Workshop, Belgium, May, 2018

附加资源

如需了解赛灵思器件的可靠性测试数据和结果的摘要，请参阅器件可靠性报告 [UG116](#)。该报告每年更新两次。

修订历史

日期	版本	修订描述
02/13/2018	1.0	赛灵思初始版本。

免责声明

本文向贵司/您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用时的参考资料。在适用法律允许的最大范围内：

(1) 资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且 (2) 赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的任何类型的损失或赔偿），均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其他责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，贵司/您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<http://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向贵司/您签发的许可证中所包含的保证与支持条款的约束。赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能用途。如果把赛灵思产品应用于此类特殊用途，贵司/您将自行承担风险和责任。请参阅赛灵思销售条款：<http://china.xilinx.com/legal.htm#tos>。

关于与汽车应用的免责声明

如将汽车产品（部件编号中含“XA”字样）用于部署安全气囊或用于影响车辆控制的应用（“安全应用”），除非有符合 ISO 26262 汽车安全标准的安全概念或冗余特性（“安全设计”），否则不在质保范围内。客户应在使用或分销任何包含产品的系统之前为了安全的目的全面地测试此类系统。在未采用安全设计的条件下将产品用于安全应用的所有风险，由客户自行承担，并且仅在适用的法律法规对产品责任另有规定的情况下，适用该等法律法规的规定。